

第一章 緒論

第一節 研究背景

"眼睛乃靈魂之窗"，切實地道出人類對於視覺的依賴，甚至遠大於其他的知覺。另一方面隨著科技進步，許多的電子廠商也看準此點，推出許多結合視訊、影像功能的服務產品，其目的皆是為了提供更為人性化的服務。這類結合視訊、影像的產品中，最重要的元件為影像感測晶片，影像感測晶片的製程可分為 CCD(Charge Coupled Device, 光電荷耦合元件)及 CMOS(Complementary Metal Oxide Semiconductor, 互補金屬氧化半導體)兩類。

表 1-1. CCD 影像感測晶片與 CMOS 影像感測晶片特性比較

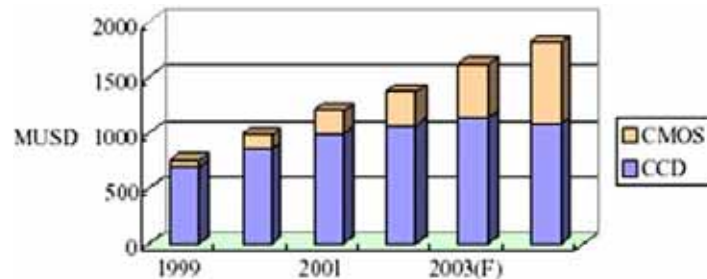
	優點	缺點
CCD 感測器	低雜訊、高感度、線路設計及製程單純、技術成熟。	高耗電量、畫素無法隨機讀取、電荷傳遞須接近完美無缺。
CMOS 感測器	低價位、低耗電量、畫素可隨機讀取、相機功能可整合在單一晶片上。	雜訊度較高、感度較差、晶片線路複雜、技術尚未完全成熟。

資料來源：PIDA

CCD 影像感測晶片由於發展時間早，自 1969 年貝爾實驗室成功開發出來後[27]，再將由廠商沿革至今已有二十餘年的歷史，製程極為成熟，良率穩定性高。而 CMOS 是由 1980 年發明，但製程技術不高，以及內部暗電流所致，在影像品質一直落後於 CCD，雖近年來 CMOS 以新的"主動式"製程得到較好的品質，但卻犧牲亮度的敏感度，尤其在光線昏暗的場所，另外"主動式"製程也造成內部佈線更麻煩，其良率也跟著下降，至今

仍無兩全其美的解決方式。

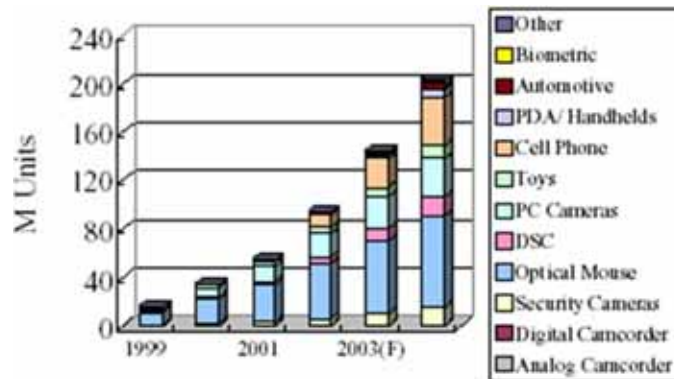
目前 CMOS 影像感測晶片的製作技術已漸漸成熟，雖然品質遜色於 CCD 影像感測晶片，但就成本考量 CMOS 元件的成本比 CCD 來得低廉。根據國際知名專業市場研究調查公司 Cahners In-Stat/MDR 公佈的影像感測器市場預估，從 1999 至 2003 以來，CMOS 影像感測晶片在市場呈大幅成長，漸漸嶄露頭角，如圖 1-1 所示。



資料來源：In-Stat Group,2002,寶來證券整理

圖 1-1. 影像感測晶片市場規模預估

最常被應用的場合有光學滑鼠、玩具、手機、監控、數位相機、視訊會議、汽車倒車雷達...等等應用，詳細情形如圖 1-2 所示。近幾年來，藉由數位相機與手機的影像服務，更讓消費者對影像感測晶片，有更多的瞭解與使用機會。



資料來源：In-Stat Group,TSR,2002,寶來證券整理

圖 1-2. CMOS 影像感測晶片需求量預估

雖然各界對於影像感測晶片的市場一致看好，但要整合視訊、影像服務到產品正式上市，牽扯到許多複雜的技術環節，卻無法輕易達成，以下分別針對系統開發廠商與晶片廠商，兩方面各自的困難說明。

壹、系統開發廠商：整合難、配套措施少

若就系統應用的廠商，要去使用影像晶片加到他們的設計中，必須詳細了解影像晶片的工作方式，並以微處理器擷取影像感測晶片的影像資料，此微處理器也許是 89C51、PIC、ARM... 等等。分析這樣的作法，將會產生以下令廠商頭痛的問題：

一、擷取影像，造成處理器分身乏術

當微處理器擷取影像時，所有的處理資源都耗在等待、回應與控制此影像感測晶片的訊號，取得影像資料還必須安排記憶空間存放... 等等繁瑣的流程。在這段時間微處理器，無法接收外界訊號、輸出訊號或接受中斷請求。如果系統只需抓一張影像且外界環境較為單純，影響並不大，但若是要擷取一段時間的連續影像，影響將會非常嚴重。

二、採用協同處理器分擔工作，卻造成成本提升或效能降低

針對上述問題，通常解決的方式，為加入一協同處理器 (Coprocesor) 來專門做影像擷取，如圖 1-3 所示。此時系統便有兩個處理器以上，如果協同處理器的等級選用較高階處理器，例如：DSP、ARM... 等等，雖然功能強大速度快，可提升擷取影像的速度，但同時導致成本提升。若考量成本，只能使用較為低階處理器進行影像擷取，例如：ATMEL 89C51, 華邦 51 系列... 等等，這些低階處理器由於本身速度、功能有限，也沒辦法讓影像晶片的每秒輸出圖框 (Frame

Rate)提升到很高的層次。

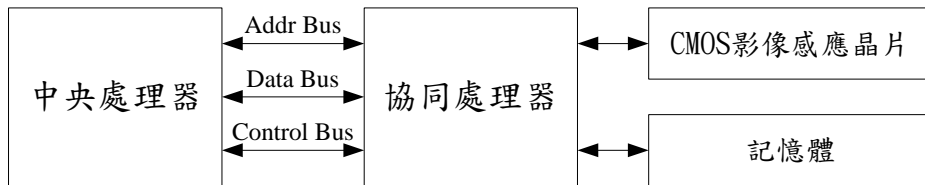


圖 1-3. 雙處理器應用於影像擷取的硬體結合示意

貳、晶片廠商：CMOS 影像品質比 CCD 影像品質差

CMOS 影像感測晶片的發展伴隨半導體產業的精進，短短不過數十年的光景，在影像品質及感光度上仍然無法與 CCD 媲美。

綜合上述對於消費者、開發廠商與晶片廠商三方面討論後，可知目前 CMOS 影像感測晶片的市場需求已被炒熱，產生大量的需求，而 CMOS 短期內也無法與 CCD 的影像品質較勁，解決方式就是依賴後端的處理來強化影像品質。因此本研究欲提出以 FPGA 實做影像濾波器，藉由濾波器來改善影像於不同頻率的雜訊，並結合硬體影像擷取模組來提升取像速度的配套硬體，具體理由如下：

一、藉由專用硬體，提升取像速度，避免耗用主系統資源

一張影像中內含大量的資料，這也意味著一張高解析度的影像需要數萬像素(Pixels)來表現其內容。擷取一筆影像資料的工作對於處理器而言雖然不難，但對於反覆進行幾萬次的取像工作來說，處理器的資源將嚴重耗損。應用於視訊影像處理的場合時，對於運算能力不足的彌補方式大概是犧牲每秒的 Frame 數、影像的解析度或者降低影像處理演算法的複雜度。如何權衡整體的利弊得失，將是影像處理系統

是否能達到即時效能(*Real Time Performance*)的關鍵。

二、減輕主處理器浪費時間於繁雜的影像濾波

影像濾波複雜度雖然不高，但就像上一點所談，若要達到上萬次的反覆運算，對於計算能力的需求相當高，此時使用特殊的硬體來進行上萬次重複且簡單事情對於處理器節省計算量或拿來進行複雜度更高的處理是相當有幫助。

三、以 FPGA 實現來求得快速、高效益的成果

若就硬體實現影像處理的方式來說[2][4][10][11][18]，可用微處理機、數位訊號處理器、動態可程式化硬體(*Dynamically Reprogrammable Hardware*)或特殊用途晶片(*Application Specific Integrated Circuit, ASICs*)皆可達成。但使用微處理機實現數位影像處理演算法，其成本尚未達到符合商業價值的標準，因為硬體成本依舊偏高，無法大量的應用在日常生活的各種場合中。而使用數位訊號處理器有成本偏高以及使用者介面不夠友善等缺點。特殊用途晶片也是發展影像處理系統的方法之一，雖然 ASIC 是降低量產商品成本的有效方法，不過也僅是用於可導入量產的商品，並不適用於初期系統開發。此外，其發展時程也太長，無法跟上現今市場上產品的快速演變，因此在本研究中，試圖採用 FPGA 來實現影像濾波，以期得到較高的成本效益。

第二節 研究動機

目前許多的影像處理應用，都需要非常大量的計算量。若以即時視訊的應用來說，不僅處理速度快，且隨著影像像素的增加，計算量也呈倍數成長，需要更強的處理器才能在短時間完成。上述所談，僅就處理器於影像處理的部分來說，一般還需要負責其他周邊的控制，例如：乙太網路、USB 裝置...等等。

有鑑於晶片設計技術快速成長，許多學者便想到使用硬體實現部分的影像處理演算法，以減輕主要處理器的負擔，讓處理器可以進行演算法複雜度更高的任務。前人關於硬體實現影像前處理的方式，如處理目的為改善影像品質，則多為以消除雜訊[15][25]、高通與低通濾波為主，其他的特殊應用還有影像處理型態學的邊緣偵測、細線化...等等。

但在這些研究中，多為針對一至二種演算法實現，分析其原因主要為研究者針對不同的處理，求出最佳化硬體來達成，最後所得的結果，固然在某方面影像處理有獨特的成效，但通常影像處理的應用中，必須綜合使用數種不同的處理才符合需求。

因此本研究欲發展一具有多重影像處理功能的硬體電路，並整合硬體 CMOS 影像感測晶片取像功能，能夠於取出 CMOS 影像感測晶片的影像，便立即進行高通濾波、低通濾波、高斯平滑濾波、最大值、最小值與中間值濾波，以取得更好的影像品質。

第三節 研究目的

綜合上節所談，本研究目的扼要列出四點：

壹、精簡開發成本與縮短開發時程

本研究開發之影像擷取與濾波架構，對於縮短設計人員或廠商結合影像晶片至系統的時程，有確實的參考價值與輔助。

貳、即時影像擷取與影像品質改善

使用 FPGA 進行影像晶片取像作業，並將取得之影像送至硬體影像濾波硬體，以達到即時取像且改善影像品質。

參、影像前處理參數化、排程化

為改善影像品質，在本研究預計提出多種目前最常被使用的前處理方式，包括針對影像頻率成分處理的高通、低通濾波器，以及對於影像胡椒鹽雜訊特別有效的中值濾波、最大值濾波、最小值濾波之設計。這些濾波器各有本身的參數設定，本研究將建立各種濾波器的參數與處理的排程控制方式，以提升影像前處理硬體介接至其他的系統更具通泛性。

肆、硬體系統整合

前人的研究多針對單方面的影像濾波硬體，進行設計或改善，對於如何將其整合至系統運作卻不多。本研究裡，提出實際地電腦端與 FPGA 參數化整合方式，提供學術界或工業界於實現類似硬體有所依據。

伍、預計完成之影像濾波功能

一、線性濾波器：高通濾波、低通濾波。

二、非線性濾波：最大值濾波、中值濾波、最小值濾波。

第四節 研究步驟

本研究的步驟可分為前期、中期與後期三階段研究，如圖 1-4 所示。前期研究主要工作為擬定研究方針與文獻搜尋探討，中期研究分為三步驟進行，首先針對要實施的演算法進行高階語言的模擬，根據模擬所得結果提出可能的硬體實現方式，最後將其以 VHDL 實體化為硬體，後期研究以測試各項實驗成果為主。

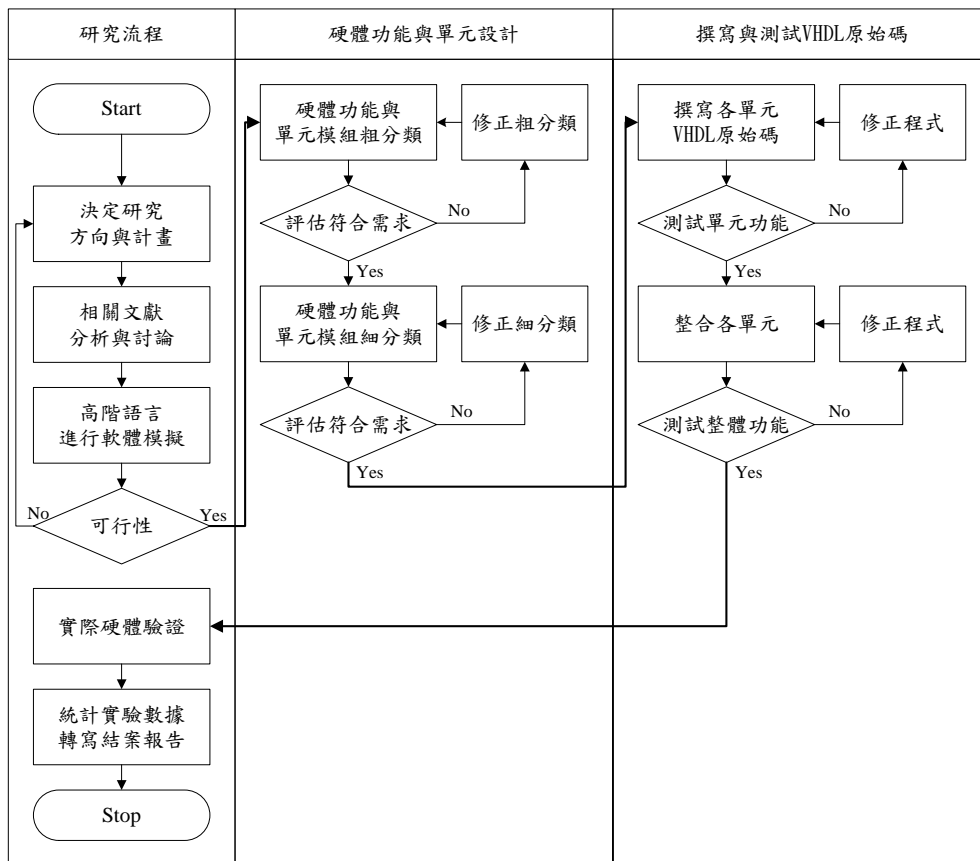


圖 1-4. 研究步驟流程圖