

國立臺灣師範大學應用電子科技學系

碩士論文

指導教授：蔡政翰 博士

應用於 77 GHz 汽車防撞雷達系統之毫米波積體電路設計

Design of 77 GHz Millimeter-Wave Integrated Circuits for

Anticollision Radar Applications



研究生：林繼揚 撰

中華民國 101 年 07 月

應用於 77 GHz 汽車防撞雷達系統之毫米波積體電路設計

學生：林繼揚

指導教授：蔡政翰 博士

國立臺灣師範大學應用電子科技學系碩士班

摘 要

本論文主要針對 77 GHz 汽車防撞雷達微波 CMOS 射頻前端 RFICs 以及毫米波電路設計研究討論，晶片製作透過國家晶片中心提供的標準 TSMC CMOS 90nm 製程，內容分為兩個部分，第一個部分為介紹毫米波汽車防撞雷達研究背景，第二部分為毫米波 CMOS RFICs 之設計與量測。

論文將介紹三個電路，第一個為低雜訊放大器，此設計頻率為 71 至 77 GHz 設計上採用三級串接，第一級為共源級組態，主要考量於低雜訊之訴求，第二級與第三級將採用疊接組態，疊接組態將提供高增益，來滿足系統所需規格，本設計考量將在疊接組態之增益以及雜訊指數，利用中間匹配電感來設計，其電感可以使疊接組態之雜訊指數降低，並可以提高增益，本論文於第三章內容將作設計考量分析，而量測結果在 74 GHz 時有最小雜訊指數 6.17 dB，增益高達 20 dB 以上，晶片面積 $0.596 \times 0.583 \text{ mm}^2$ 。第二個電路為功率放大器，此設計操作頻率為 71 至 77 GHz，設計考量於功率為重，且採用疊接組態提高增益，量測結果於頻率 71 至 77 GHz 增益維持在 20 dB，其晶片面積大小為 $0.596 \times 0.596 \text{ mm}^2$ 。第三部分為混頻器，採用環型混頻器架構，系統主要於低 LO 功率，以及低功率消耗，供應電壓為 1.2 V，操作頻率在 71 至 77 GHz，降頻混頻器之 $OP_{1\text{dB}}$ 發生在輸入 RF 功率為 -3 dBm 時有 -0.5 dBm 輸出功率。

關鍵字：低雜訊放大器、功率放大器、雜訊指數、收發機、CMOS、疊接組態

Design of 77 GHz Millimeter-Wave Integrated Circuits for Anticollison Radar Applications

student : Ji-Yang Lin

Advisors : Dr. Jeng-Han Tsai

Institute of Applied Electronics Technology
National Taiwan Normal University

ABSTRACT

The subject is design of 77 GHz millimeter-wave integrated circuits for Anticollison radar applications. The presented low noise amplifier, power amplifier, down/up-conversion ring mixers are designed and fabricated on TSMC 90 nm 1P9M CMOS process. The Contents divide into two parts. The first part is the background of Millimeter-wave anticollison radar.

The paper presents three circuits. One is low noise amplifier. The LNA utilizes three-stage configuration amplifier. The first stage is common source due to small low noise figure. The second and third stages are cascade because of the high gain. The low noise amplifier is simulated at 71-77 GHz. Noise figure is 6.17 dB at frequency 74 GHz. The gain is 20 dB. The chip size is $0.596 \times 0.583 \text{ mm}^2$. The second is power amplifier . The amplifier utilizes three-stage configuration and large size transistors to design. The result of gain measurement is 20 dB. The final part is down/up-conversion ring mixers. The $OP_{1\text{dB}}$ of down-conversion mixer is -0.5 dBm @ -3 dBm.

Keywords: Low Noise Amplifier, Power Amplifier, Noise Figure,transceiver, CMOS,
Cascode

誌 謝

碩士學業即將結束，將邁向另一個階段，能在師大完成碩士學位感到很榮幸，也受到許多人的幫助，首先感謝我的指導教授蔡政翰博士，感謝老師的容忍以及研究領域上的細心指導，在研究上其實幫忙很多，讓我每遇到研究難題時，有所方向思考，在這段期間微波領域的知識也因此有所成長，並且也在其中學到研究心態以及做研究執著，希望在碩士所學習到的知識，將能順利應用在以後的職場生涯。

感謝台大博士班葉景富學長，幫助我在研究電路時，所遇到之問題有所解答，以及量測時的問題幫助。感謝林益璋學長、施宏達學長，耐心的帶領我，在我研究電路時耐心協助，也解惑了我非常多關於微波上的觀念，並且在下晶片時在旁適時的提醒與幫忙，在碩班生活能遇到這兩位學長的幫助，感到非常的幸運與深深的感謝。感謝系辦的鄭琇文學姐、蘇婷節助教、葉嘉安學長及院長室的琮姿姐，對於課務文件申辦的協助。感謝已畢業的施登耀學長、廖述立學長、謝正恩學長在碩士研究生生活的幫助與陪伴。

感謝實驗室的同學周健平、馬瑜傑、王冠勳、林翰江、賴拓文、胡育碩、葉幸彰在碩士研究生生活上的幫助與陪伴，渡過兩年的白天黑夜，以及課業上的協助，感謝學弟鍾懿威、趙家祥、王人緯、黃紹緯、歐陽弘文、張瑞安、張嘉玲、張榮堃、張欽德、張懷霏，在實驗室的幫忙與協助以及生活上的陪伴，有你們在實驗室也不苦悶。

感謝父親林宜田先生以及母親李惠美小姐，從小培育我做人處事態度，總是無條件支持我的選擇，並且包容我，讓我能順利完成學業，謝謝。

林繼揚

2012/08/29 師大科技學院 515 研究室

目 錄

摘 要	I
ABSTRACT	II
誌 謝	III
目 錄	IV
圖 目 錄	VII
第一章 雷達簡介	1
1.1 汽車防撞雷達簡介	1
1.2 論文架構	4
第二章 汽車防撞雷達射頻前端系統簡介	5
2.1 汽車防撞雷達射頻前端系統簡介[1]	5
第三章 E BAND 低雜訊放大器	11
3.1 低雜訊放大器簡介	11
3.2 E BAND 共源級組態與疊接組態比較分析	13
3.2.1 共源級組態放大器電晶體尺寸選擇分析	13
3.2.2 疊接組態放大器分析	19
3.2.3 雜訊觀點分析	19
3.2.4 反射係數觀點分析	24
3.2.5 最佳疊接組態低雜訊放大器設計	28
3.3 三級串接放大器	34

3.3.1 匹配網路設計	36
3.4 偏壓電路設計考量	41
3.5 模擬結果	43
3.6 模擬與量測結果	45
3.7 結果與討論	49
 第四章 E BAND 功率放大器	 57
4.1 功率放大器簡介	57
4.2 功率放大器電路設計	60
4.2.1 電晶體偏壓設計	60
4.2.2 共源級組態分析	61
4.2.3 疊接組態分析	63
4.2.4 共源級與疊接組態分析與比較	65
4.2.5 三級串接放大器	67
4.2.6 偏壓電路設計考量	69
4.2.7 匹配網路設計	70
4.3 模擬結果	75
4.4 模擬與量測結果	76
4.5 結果與討論	81
 第五章 77 GHz 汽車防撞雷達系統	 83
5.1 雷達系統簡介	83
5.2 混頻器	84
5.2.1 混頻器設計考量	85
5.3 功率分配器	87
5.3.1 威爾生功率分配器設計	87
5.3.2 威爾生功率分配器模擬	88

5.4 收發器之模擬分析	89
第六章 結 論	97
參 考 文 獻	98

圖 目 錄

圖 2-1	脈衝雷達發射和接收訊號示意圖	6
圖 2-2	雷達示意圖	7
圖 2-3	77 GHz 雷達發射系統架構圖	8
圖 2-4	FMCW 訊號調變	8
圖 3-1	E BAND 接收機系統架構圖	11
圖 3-2	共源級組態放大器	13
圖 3-3	疊接組態放大器	13
圖 3-4	GM & IDS & NFMIN 對 V_{GS} 電壓變化圖	14
圖 3-5	不同通道寬度下最大穩定/可用增益(MSG/MAG)頻率響應圖	14
圖 3-6	當操作頻率為 77 GHz 時不同通道寬度下 MSG & MAG & NFMIN.....	15
圖 3-7	不同 FINGER 數下 MSG & MAG 頻率響應圖	16
圖 3-8	當操作頻率為 77 GHz 時不同指叉數下 MSG & MAG & NFMIN	17
圖 3-9	MSG & MAG & NFMIN 頻率響應圖	17
圖 3-10	共源級組態之等效電路圖	18
圖 3-11	疊接組態	20
圖 3-12	計算電晶體雜訊因數等效電路[6][7]	20
圖 3-13	電晶體寬度與雜訊指數關係圖	21
圖 3-14	疊接組態與電感分析表示圖[8]	22
圖 3-15	疊接組態與電感分析雜訊指數表示圖	23
圖 3-16	疊接組態輸入及輸出之反射係數模擬圖	24
圖 3-17	共閘級組態輸入輸出反射係數示意圖	25
圖 3-18	共閘級組態穩定圓模擬(A)OUTPUT STABILITY CIRCLE(B)INPUT STABILITY	

CIRCLE	25
圖 3-19 共源級組態在不同指叉數下模擬輸出阻抗分佈史密斯圖	26
圖 3-20 共閘級組態掛載共源級輸出阻抗反射係數示意圖	27
圖 3-21 共閘級組態(A) Γ_s 頻率響應圖(B) Γ_{out} 頻率響應圖	28
圖 3-22 共源級組態架構圖	28
圖 3-23 共源級組態在不同指叉數下 MSG/MAG & NF_{MIN} 與 IDS	29
圖 3-24 疊接組態示意圖	30
圖 3-25 共閘級電晶體在不同指叉數下 MSG & MAG & NF_{MIN}	30
圖 3-26 在不同指叉數下 1~64 (A)共源級電晶體輸出阻抗史密斯分佈圖	31
圖 3-26 (A)在不同指叉數下 1~64 (B)共閘級電晶體輸入阻抗史密斯分佈圖	32
圖 3-27 (A)採用電感匹配疊接放大器	33
圖 3-27 (B)採匹配電感下 MSG&MAG& NF_{MIN} 頻率響應圖	33
圖 3-28 三級串接放大器示意圖	34
圖 3-29 E 頻帶低雜訊放大器架構圖	36
圖 3-30 三級串接放大器匹配網路設計	36
圖 3-31 第一級雜訊匹配網路架構圖	37
圖 3-32 第一級匹配網路軌跡史密斯圖	37
圖 3-33 (A)第一與第二級間匹配網路架構	38
圖 3-33 (B)第一與第二級匹配網路軌跡史密斯圖	38
圖 3-34 (A)第一與第二級間匹配網路架構圖	39
圖 3-34 (B)第二與第三級匹配網路軌跡史密斯	39
圖 3-35 (A)第三級與 PAD 之間匹配網路架構圖	40
圖 3-35 (B) 第三級與 PAD 之間匹配網路軌跡史密斯	40
圖 3-36 77 GHz 低雜訊放大器架構圖	41
圖 3-37 偏壓電路設計圖	41

圖 3-38	偏壓電路隔離度分析圖	42
圖 3-39	偏壓電路隔離度分析圖	43
圖 3-40	S 參數模擬結果	44
圖 3-41	雜訊指數模擬結果	44
圖 3-42	(A)晶片佈局圖 (B)晶片微影圖	45
圖 3-43	低雜訊放大器之 GAIN.....	46
圖 3-44	低雜訊放大器之 INPUT RETURN LOSS	46
圖 3-45	低雜訊放大器之 OUTPUT RETURN LOSS.....	47
圖 3-46	低雜訊放大器之雜訊指數	47
圖 3-47	低雜訊放大器之輸出功率模擬圖	48
圖 3-48	低雜訊放大器之輸出功率模擬圖	48
圖 3-49	模擬 PAD 之寄生電容考量圖	50
圖 3-50	低雜訊放大器之嵌入損耗參數示意圖	50
圖 3-51	低雜訊放大器之增益以及嵌入損耗參數示意圖	51
圖 3-52	電感之阻抗示意圖	52
(A) THIN-FILM MICROSTRIP LINE 電感 (B) 採用無 M1 層金屬當參考地之電感		52
圖 3-53	共源級組態加入電感匹配阻抗示意圖	53
(A) THIN-FILM MICROSTRIP LINE 電感 (B) 採用無 M1 層金屬當參考地之電感		53
圖 3-54	採用參考地的電感模擬低雜訊放大器之 S 參數圖	53
圖 3-55	低雜訊放大器之電感示意圖.....	54
圖 3-56	低雜訊放大器之修改電路圖.....	54
圖 3-57	低雜訊放大器之輸入/輸出反射損耗參數圖	55
圖 3-58	低雜訊放大器之增益以及輸出反射損耗參數圖	55
圖 4-1	E BAND 發射機系統架構圖	57
圖 4-2	VDS vs. IDS 曲線圖	60
圖 4-3	共源級組態之電路圖	61

圖 4-4	共源級組態之不同指差數分析之最大穩定/可用增益(MSG/MAG)頻率響應圖	61
圖 4-5	LOAD-PULL 模擬最大輸出功率以及功率負載點	62
圖 4-6	共源級組態之電路圖	63
圖 4-7	疊接組態之不同指差數分析之最大穩定/可用增益(MSG/MAG)頻率響應圖	63
圖 4-8	LOAD-PULL 模擬疊接組態最大輸出功率以及功率負載點	64
圖 4-9	共源級阻抗匹配示意圖	65
圖 4-10	共源級阻抗匹配示意圖	65
圖 4-11	疊接組態之不同指差數分析之最大穩定/可用增益(MSG/MAG)頻率響應圖	66
圖 4-12	LOAD-PULL 模擬疊接組態最大輸出功率以及功率負載點	67
圖 4-13	E 頻帶低雜訊放大器架構圖	67
圖 4-14	E 頻帶功率放大器架構圖	68
圖 4-15	偏壓電路設計圖	69
圖 4-16	偏壓電路隔離度分析圖	70
圖 4-17	功率放大器匹配網路示意圖	70
圖 4-18	(A)第一級與 PAD 間匹配網路架構	71
圖 4-18	(B)第一級與 PAD 間匹配網路架構	71
圖 4-19	(A)第一級與 PAD 間匹配網路架構	72
圖 4-19	(B)第一級與第二級間匹配網路架構	72
圖 4-20	(A)第二級與第三級間匹配網路架構	73
圖 4-20	(B)第二級與第三級間匹配網路架構	73
圖 4-21	(A)第三級功率匹配網路架構	74
圖 4-21	(B)第三級功率輸出匹配網路架構	74
圖 4-22	功率放大器之 S 參數模擬結果	75

圖 4-23	功率放大器之 PAE、POWER GAIN、OUTPUT POWER 模擬結果	76
圖 4-24	功率放大器之晶片顯影圖(面積: $0.596 \times 0.596 \text{ MM}^2$)	76
圖 4-25	功率放大器之輸入反射損耗	77
圖 4-26	功率放大器之輸出反射損耗	78
圖 4-27	功率放大器之增益	78
圖 4-28	功率放大器之 PAE、POWER GAIN、OUTPUT POWER 模擬與量測結果	79
圖 4-29	功率放大器之 PAE、POWER GAIN、OUTPUT POWER 模擬與量測結果	79
圖 4-30	功率放大器之 P_{SAT} 和 $OP_{1\text{DB}}$ 量測結果	80
圖 4-31	功率放大器模擬誤差考量示意圖	81
圖 4-32	功率放大器模擬誤差考量 S 參數圖	82
圖 5-1	77 GHz 雷達前端收發系統.....	84
圖 5-2	混頻器示意圖	84
圖 5-3	混頻器示意圖	85
圖 5-4	偏壓之弱反轉降頻混頻器示意圖.....	87
圖 5-5	威爾生功率分配器示意圖	87
圖 5-6	威爾生功率分配器示意圖	88
圖 5-7	威爾生功率分配器示意圖	89
圖 5-8	FMCW 雷達系統收發機	90
圖 5-9	接收機之增益圖	90
圖 5-10	接收機之雜訊圖	91
圖 5-11	發射機之增益圖	92
圖 5-12	發射機之功率圖	92
圖 5-13	FMCW 雷達晶片之布局圖	93

表 目 錄

表 1-1	各國家之規格制定組織.....	3
表 1-2	各國家之規格定義表.....	3
表 3-1	共閘級組態穩定因子&輸入輸出反射係數.....	24
表 3-2	(A)特定指叉數下(8, 20)MSG、NFMIN、ID 比較表	29
表 3-2	(B)特定指叉數(8, 20)下參數差異值表.....	29
表 3-3	(A)特定指叉數(6, 14)下 MSG& NFMIN 比較表.....	31
表 3-3	(B)特定指叉數(6, 14)下參數差值.....	31
表 3-4	加匹配與不加匹配電感參數比較.....	33
表 3-5	三級串接放大器 MSG、P _{DC} 評估表	35
表 3-6	77 GHz 低雜訊放大器之模擬與量測比較表	49
表 3-7	本晶片與已發表論文之比較.....	56
表 4-3	77 GHz 功率放大器之模擬與量測比較表	82
表 5-1	收發機與已發表論文比較表.....	94
表 5-2	收發機與已發表論文比較表.....	95
表 5-3	收發機與已發表論文比較表.....	96

第一章 雷達簡介



1.1 汽車防撞雷達簡介

隨著經濟發展快速，汽車已經是普遍之交通工具，世界先進國家的公路系統越趨複雜，歐美日各國致力發展「智慧型運輸系統」(Intelligent Transportation System, ITS)，其改善交通狀況，達到更安全、便利的目的，先進車輛控制與安全系統是達成全智慧型運輸系統功能之重要且不可或缺的部分，而「汽車防撞警示系統」(Collision Warning System) 則為其核心組件之一，目的在輔助人類感測能力的不足，主要利用先進的通訊、控制與資訊科技，偵測車輛週遭的動態狀況。

汽車基本的車輛安全系統分為可避免事故發生的主動式(Active safety)，以及能在事故發生時減低人員傷害的被動式(Passive safety)兩大類，估計未來車輛電子控制與安全防護系統將佔據整車成本的 30%，主動汽車行車安全系統已受到廣泛的重視，主要針對發生意外前能有預先提出警告之安全系統，據統計全球每年有超過 200 萬人死於交通事故，而其中大部分是由於反應不及追撞所造成的，高速行駛中的車輛，如果增加一秒的反應時間，則可以增加 30 公尺的煞車距離，降低 90% 的車禍傷亡，保護駕駛人與乘客生命安全的車輛安全系統，是現今全球汽車電子技術的重點發展項目之一，因此汽車前端防撞雷達是未來行車安全不可或缺的配備，也是各大車廠努力研發的目標。自從 1971 年開始，相關技術應用在車用雷達依據傳輸介質不同，可分為微波雷達、超聲波雷達、紅外線雷達及雷射雷達，為此，我們將各項雷達裝置的優缺進行了比較分析，如下文所示：

1. 紅外線：紅外線波長有明顯的熱效應和較強的傳透能力，紅外線雷達測距基本上與超聲波雷達原理相同，都是根據發射訊號與反射訊號之時間來判斷目標之距離，任何目標物體在任何時候都會發出紅外線，

發射訊號與反射訊號，根據訊號的強弱以及波長不同，同時分析時間差，可計算出目標物體與紅外線雷達之距離，若達到必須減速之距離，系統則會送出訊號使汽車減速，避免相撞。紅外線雷達在技術上難度不大、成本較便宜是其優點，而缺點是易受天氣影響以及因測量距離相對雷射雷達及毫米波較短，無法應用於較長測距方面，較不適合滿足汽車防撞之需求，主要可以應用於夜視系統。

2. 超聲波雷達：超聲波雷達結構簡單價格低廉、體積小、重量輕，主要由發射器、接收器和訊號處理器所組成，具有穿透性強、衰減小以及反射能力強等，超聲波汽車防撞雷達的工作原理基本上是由發射器不斷發射其一頻率之超聲波，遇到目標物體反射，當超聲波接收器接收到反射訊號時，將測出發射訊號與反射訊號之時間差，根據速度的時間差即可求得距離，得知距離達到預設距離時，控制器將會使汽車減速，避免相撞。

超聲波汽車防撞雷達系統也有缺點，主要是探測距離短，受天氣狀態影響很大，在空氣中傳播速度較小並且隨溫度和天氣因素而變化，另外是對於距離較遠之目標物體，由於受到很多干擾以及影響使得反射訊號過於微弱，靈敏度下降，造成測距誤差。目前超聲波功率小，使用距離不超過幾十米，因此應用在汽車倒車防撞雷達較適合。

3. 雷射雷達：雷射雷達具有高單色性、高方向性等優點，雷射光束近似直線性，測量精度高、波速能量為集中，測量距離較長，基本原理是利用雷射雷達發射雷射光照射前車之反光鏡，接受反射回來之雷射光，根據雷射光束從發射到接受之時間差來判斷距離，但缺點在包含雨、雪、霧等惡劣環下，測量性能會下降，多使用於偵測行車速度之雷射測速照相系統、汽車防撞偵測器、高爾夫球場上常用到之雷射測距望遠鏡、營建業與室內裝潢業者常用到之測距儀等等。目前應用在汽車雷射雷達系統可分為非成像式以及成像式雷射雷達，非成像式雷射雷

達更具有實用價值，與成像式雷射雷達相比具有較低成本價格、速度較快、穩定性較高等優點。

4. 毫米波雷達：毫米波器車防撞雷達由感測器、信號處理器和控制器所組成，按測量原理不同，可分為脈衝調頻(pulse frequency modulation, PFM)和調頻連續波(frequency modulation continuous wave, FMCW)，使用頻率主要集中在 23~24, 60~61, 76~77 GHz 3 個頻段，由發射訊號以及反射訊號可以計算出相對距離、速度、角度等，其優點為穩定精確的測距性、較高的距離分辨力，使得測量距離遠、運行較穩定，不受物體之表現形狀、顏色等關係影響，也比較不受外在天候影響，並且毫米波雷達天線也部會因為灰塵汙染而產生較大的誤差，擁有良好的環境適應性，使得毫米波雷達的穿透能力較強，其測距精度受雨、雪、霧以及陽光等天氣因素影響較小，可以確保在任何天氣下正常計算距離，毫米波雷達之優越性能較適合汽車防撞雷達之需求，在相同測量條件下毫米波雷達結構簡單、分辨率高、天線尺寸小，當然毫米波也有缺點，主要是訊號處理部分相對其他雷達複雜。

歐美日對於車用雷達的頻段使用各有不同的策略，從規範車用雷達的頻段範圍來確保車用雷達在無干擾下能正常使用，達到交通安全的目標，至於各國使用的車用雷達上。

表 1-1 各國家之規格制定組織

Frequency Band(s) Supported	Organisation
76 - 77 GHz	CEPT (Europe)
76 - 77 GHz	ETSI (Europe)
46.7 - 46.9 GHz, 76 - 77 GHz	FCC (USA)
60 - 61 GHz, 76 - 77 GHz	ITU
60 - 61 GHz, 76 - 77 GHz	MPT (Japan)

表 1-2 各國家之規格定義表

性能參數	德國	瑞典	美國	日本	英國
頻率	77 GHz	77 GHz	77 GHz	60.5 GHz	77 GHz
調變訊號	FMCW	FMCW	FMCW	FMCW	FMCW
作用距離	150 m	200 m	100 m	120 m	100 m
相對距離精度	1 m	0.3 m	0.2 m	0.3 m	0.5 m
相對速度	-80~240 km/h	-360~+360 km/h	-	0.4~180 km/h	-
掃描速度	33 Hz	10 Hz	-	-	20 Hz

1.2 論文架構

本論文分六個章節針對收發器中 CMOS 晶片進行設計討論研究與製作，包含低雜訊放大器、功率放大器、以及混頻器，晶片製作均透過國家晶片中心 (CIC) 提供之 TSMC 90 nm 製程。

本論文第一章緒論，探討研究雷達系統應用方向，以及各個裝置應用之優缺點，第二章為毫米波汽車防撞雷達之理論分析，第三章為低雜訊放大器，頻率操作在 71 至 77 GHz，此放大器考量低雜訊，因此在設計考量匹配網路，架構選擇設計，電感模擬分析，均以低雜訊為訴求之設計，第四章為功率放大器，頻率操作在 71 至 77 GHz，此放大器是為了將功率放大，論文上分析功率放大器之設計概念，第五章為混頻器與系統之整合，第六章為結論，探討第三章至第五章之電路設計的模擬與量測結果。

第二章 汽車防撞雷達射頻前端系統簡介

2.1 汽車防撞雷達射頻前端系統簡介[1]

脈衝雷達(pulse radar)發射一連串方波週期訊號，每一個微小的微波訊號表示一個方波，如圖 2-1 所示，脈衝之寬度為 τ 而週期表示為 $T_p=1/f_p$ (f_p 表示脈衝重複頻率)，工作週期定義為：

$$\text{Duty cycle} = \frac{\tau}{T_p} \times 100\% \quad (2.1)$$

脈衝雷達平均功率(average power)與峰值功率(peak power)之關係式為：

$$P_{av} = \frac{P_t \tau}{T_p} \quad (2.2)$$

P_t : 脈衝峰值功率。

發射訊號與接受之時間差為 t_R ， t_R 主要大小主要決定於雷達與目標物之距離如圖 2-1 所示，時間參數與速度參數(c 為光速， $c = 3 \times 10^8 \text{ m/sec}$)並可得知與距離之關係式為：

$$c \times t_R = 2R \quad (2.3)$$

而距離為：

$$R = \frac{1}{2} c t_R \quad (2.4)$$

為了避免距離模糊，必須確認在下一次發射脈衝訊號時，已接收了待測物之反射訊號，此最大 t_R 應該小於 T_p 。最大距離表示為：

$$R_{max} = \frac{1}{2} c T_p = \frac{c}{2f_p} \quad (2.5)$$

脈衝雷達之最大距離可以由此式子分析出，若增加 R_{max} 可以由增加 T_p 或者減少 f_p ，基本上 f_p 設計為 100 至 100 kHz 以避免距離模糊兩可。

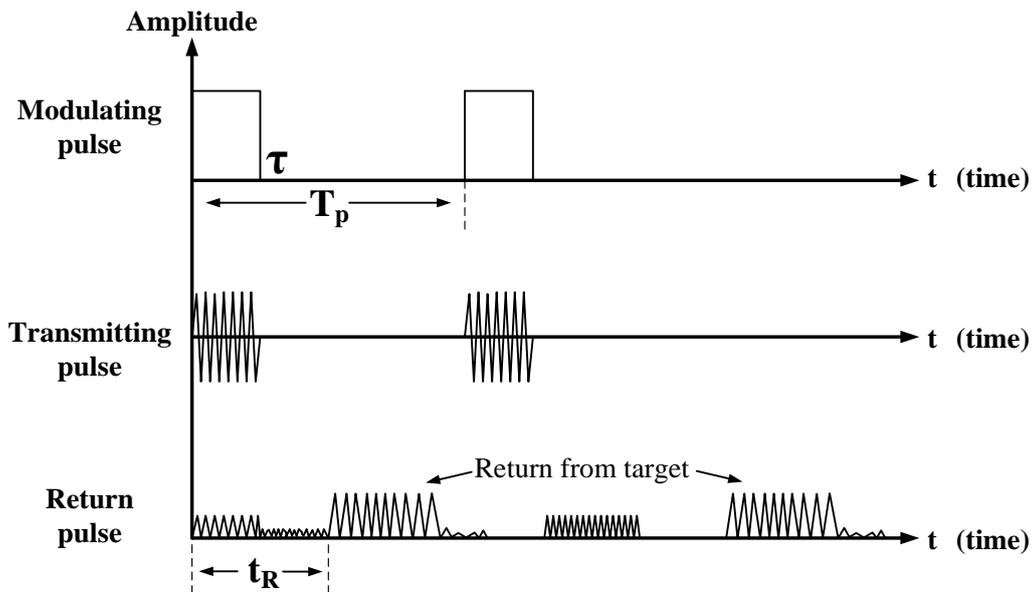


圖 2-1 脈衝雷達發射和接收訊號示意圖

連續波雷達(Continuous Wave)是一個簡單型式的系統，製作成本便宜並廣泛被應用在偵測警用測速、飛機海拔偵測等等，雷達主要發射固定振幅和固定頻率的電磁波，發射電磁波出去之後再反射回來的電磁波沒有相對應的時間關係，因此不能計算目標物與雷達發射器之間的距離，但能偵測相關速度。

連續波雷達基本上是都卜勒效應之應用，當雷達與目標發生相對運動時，所接受的波之頻率會發生變化，電磁波之都卜勒頻率轉移(Doppler frequency shift)，主要表示都卜勒效應會造成多大之頻率變化量它之數學表示式如下：

$$f_d = \frac{2v}{\lambda} \cos \alpha \quad (2.6)$$

f_d : 都卜勒效應之頻率變化(Doppler frequency)

v : 電磁波之發射頻率(Transmission frequency of electromagnetic wave)

λ : 波長(Wavelength)

電磁波之相位變化量 Φ ，假設 R 為雷達與目標之距離，考量雷達發射頻率 f_0

與相關速度 v_r ，則可以求得總共之波長為 $2R/\lambda$ ，而角偏移量(difference phase)為：

$$\Phi = 2\pi \frac{2R}{\lambda} \quad (2.7)$$

若目標與雷達擁有相對速度，則 R 和 Φ 會連續改變，因此可以微分 Φ 求得角速度為：

$$\omega_d = 2\pi f_d = \frac{d\phi}{dt} = \frac{4\pi}{\lambda} \frac{dR}{dt} = \frac{4\pi}{\lambda} v_r \quad (2.8)$$

因此求得都卜勒頻率：

$$f_d = \frac{2v_r}{\lambda} = \frac{2v_r f_0}{c} \quad (2.9)$$

f_0 : 雷達發射之頻率(Transmitting signal frequency)

c : 光速 $3 \times 10^8 \text{ m/sec}$

考量目標移動方向與雷達之關係，若目標移動方向與雷達訊號方向夾角為零度，則速度為 v ，若角度為 90° ，則速度為零，關係式如下：

$$v_r = v \cos \theta \quad (2.10)$$

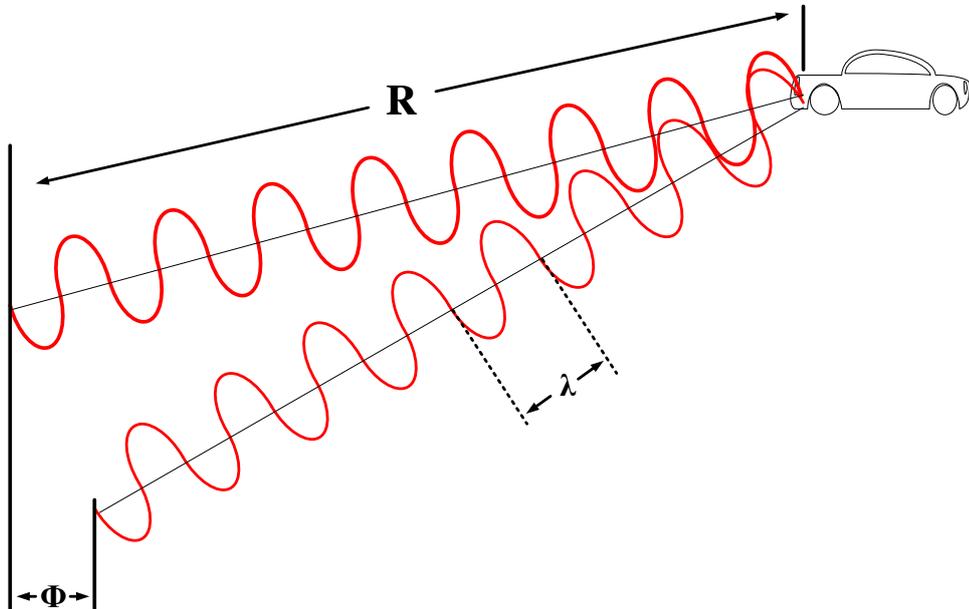


圖 2-2 雷達示意圖

FMCW 雷達系統是由 CW 雷達所發展而來，主要利用於短距離傳輸測距離，FMCW 雷達發射機和收發機中，如圖 2-3 所示，其連續波使用調頻方式產生 FMCW 訊號，如圖 2-4 所示，以連續波的方式傳送使得在發射端與接收機利用兩個天線提供發射與接收可提高之間的信號隔離度，週期性頻率調變的 FM 射頻訊號，藉由天線輻射至目標物，經由時間 T_R 之後接受反射訊號，再由混頻器產生 f_b (Beat Frequency)，利用此頻率與 f_R 的關係來得到與目標物之間的距離。

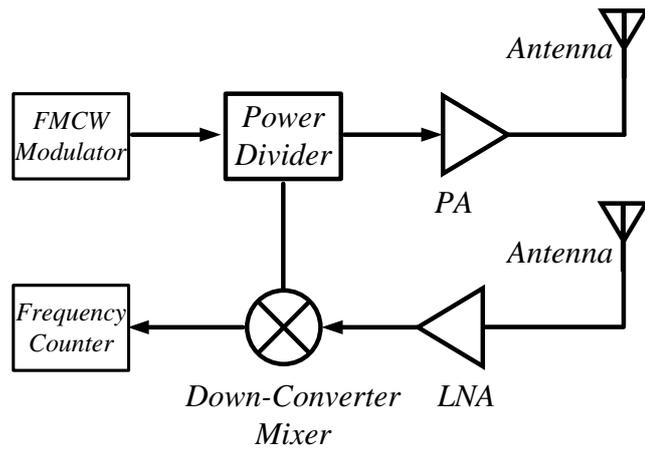


圖 2-3 77 GHz 雷達發射系統架構圖

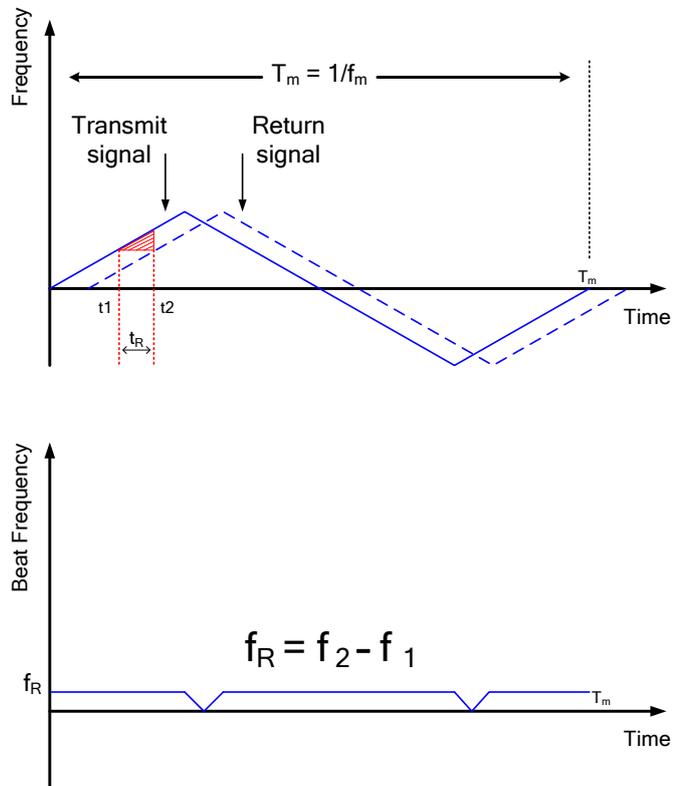


圖 2-4 FMCW 訊號調變

在靜止目標物體考量下，電磁波訊號發射(實線)至目標物反射回來訊號(虛線)，如圖 2-2 所示，兩者之間的時間差為 t_R 或者 $t_2-t_1(t_R=2R/c)$ ，在時間 t_1 時，信號由天線輻射之頻率為 f_1 ，時間為 t_2 時，天線接收反射信號頻率為 f_2 ，此時藉由混頻器產生 f_b (beat frequency)，測得距離。

FM 的單位時間的頻率改變量定義為 A_b ，因此可定義一個調頻的改變量為 ω_b 如式(2.11)：

$$\omega_b = A_b t \quad (2.11)$$

將調頻改變量 ω_b 對時間積分而得到一個 FM 訊號為 $\frac{A_b}{2} t^2$ (rad)，如式(2.12)

$$V(t) = A_c \cos \left(\left(\omega_c + \frac{A_b}{2} t \right) t \right) = A_c \cos \left(\omega_c t + \frac{A_b}{2} t^2 \right) \quad (2.12)$$

當電磁波經時間 T_p 之後，皆收到訊號之訊號表示式(2.13)為：

$$V(t - T_p) = A_c \cos \left(\omega_c (t - T_p) + \frac{A_b}{2} (t - T_p)^2 \right) \quad (2.13)$$

訊號經過混頻器，解調出一含有距離量測之中頻訊號為：

$$V_o(t) = \frac{A_c^2}{2} \cos \left[(2\omega_c - A_b T_p) t + A_b t^2 + \left(\frac{A_b}{2} T_p^2 - \omega_c T_p \right) \right] + \frac{A_c^2}{2} \cos \left[A_b T_p t + \left(\omega_c T_p - \frac{A_b}{2} T_p^2 \right) \right] \quad (2.14)$$

經混頻器所解調之訊號(2.14)，雷達偵測距離之訊號存在第二項弦波訊號中，藉由低通濾波器可得到第二項成分之訊號，接著做相位微分即可得到一個固定頻率差之 f_b ，如式(2.15)：

$$f_b = \frac{1}{2\pi} \frac{d}{dt} \left[A_b T_p t + \left(\omega_c T_p - \frac{A_b}{2} T_p^2 \right) \right] = \frac{A_b}{2\pi} T_p \quad (2.15)$$

拍頻率(beat frequency)正比於時間來回 T_p ，FM 訊號周極為 T_b ，假設 $T_b \gg T_p$ ，則

頻率對時間的斜率為 Δf 除以 T_b ，意即 $A_b = \frac{\Delta f}{T_b}$ ，得知 f_b 之另一種形式表示式為：

$$f_b = \frac{A_b}{2\pi} T_p = \frac{\Delta f}{2\pi T_b} T_p \quad (2.16)$$

電磁波在空氣中傳播，來回時間差 T_p 以及目標物的距離為 $2R$ ，可推算出雷達接收機與目標物之間的距離表示式，如式(2.17)：

$$T_p = \frac{2R}{c} \quad (2.17)$$

整理之後為：

$$f_b = \frac{\Delta f}{T_b} \cdot \frac{2R}{c} \quad (2.18)$$

$$R = \frac{T_p c}{2\Delta f} f_b \quad (2.19)$$

因此可以得知距離(R)。

第三章 E band 低雜訊放大器

本章將介紹應用於 E band 之低雜訊放大器，內容包含設計考量參數，匹配網路詳細設計流程，設計之 E band 低雜訊放大器將採用三級串接架構，第一級為較低雜訊指數之共源級組態，後兩級為高增益之疊接組態，使用 TSMC 90nm CMOS RF 製程模擬驗證並實現，供應電壓採用 1.2 與 2.4 V，消耗功率為 15.1 mW。

3.1 低雜訊放大器簡介

在射頻接收機中，如圖 3-1 所示，低雜訊放大器為其中一關鍵元件，當射頻訊號經由天線接收，經由低雜訊放大器放大微弱射頻訊號後，由降頻器將射頻(Radio Frequency)訊號轉降至中頻(Intermediate Frequency)

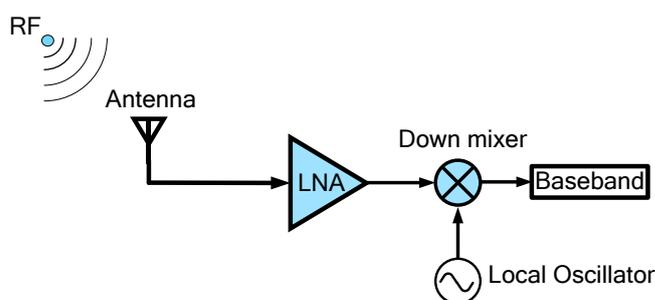


圖 3-1 E band 接收機系統架構圖

低雜訊放大器在接收機(Receiver)中提供足夠的增益放大訊號，並有效的降低後級電路雜訊增加，可提升接收機整體雜訊比(Signal to Noise Ratio ,SNR)，使接收到訊號正確解調變。以下將介紹低雜訊放大器之相關特性參數

- 增益(Gain)

增益為放大器的放大指數，當射頻訊號在空氣路徑上傳播時，由於訊號

在空氣中損耗很大，使得訊號衰減，如此一來接收到將會微弱，在電路架構中，必須放置其放大器將訊號放大至下一級電路。

- 雜訊指數(Noise Figure)[2]

評估一個低雜訊放大器的性能，雜訊指數是一個基本且重要的參數之一，定義為，主要用來評估訊號經過放大器後雜訊比之劣化程度。

$$\text{Noise Factor}(F) = \frac{SNR_{in}}{SNR_{out}} \quad (3.1)$$

$$\text{Noise Figure}(NF) = 10\log F \quad (3.2)$$

- 穩定度(Stability)

以 K 因子、穩定圓來頻估設計，若放大器不穩定則可能會產生震盪。

- 阻抗匹配(Impedance Matching)

放大器輸入輸出與各級電路之中必須做良好的阻抗匹配，使訊號以最大功率進入放大器並傳送至下電路。

- 隔離度(Isolation)

低雜訊放大器後級之壓控震盪器提供較強之訊號，若隔離度不佳震盪訊號益洩漏置天線端發射至大氣中，干擾其他頻帶。

- 線性度(Linearity)

使用 P_{1dB} 、IIP3 參數來評估，在寬頻接收機中可能接收數個頻道訊號，抑或是收到鄰近頻帶之訊號，放大器的非線性特性將產生交互調變，影響接收機整體效能。

- 功率消耗(Power Consumption)

現代消費性電子產品，在節能的要求下，低功率消耗也成為重要的設計考量之一

3.2 E band 共源級組態與疊接組態比較分析

現今低雜訊放大器設計大部分採用共源級(common source ,CS)組態或疊接(cascode)組態，以下將針對這兩種組態分析其優劣。

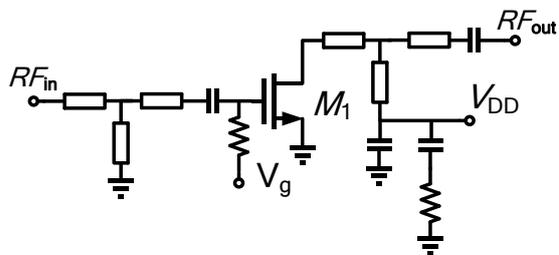


圖 3-2 共源級組態放大器

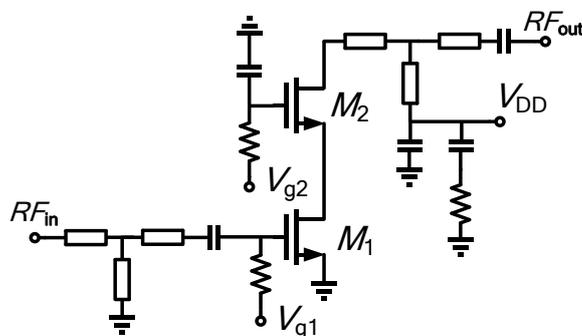


圖 3-3 疊接組態放大器

3.2.1 共源級組態放大器電晶體尺寸選擇分析

設計低雜訊放大器需考量 g_m 、雜訊指數、線性度、功率消耗等參數，根據不同系統要求，將從中做為取捨，共源級組態之 V_{DD} 因採用 90 nm 製程決定於 1.2 V， V_{gs} 選擇的主要考量為電晶體轉導值(g_m)，轉導值越大代表電晶體放大能力越好，次之考量最小雜訊指數及電流消耗，圖 3-4 為 V_{DD} 在 1.2 V 時電晶體轉導(g_m)對 V_{gs} 以及汲源級電流(i_{ds})、最小雜訊指數對 V_{gs} 模擬圖，從模擬圖可得知 g_m 在 V_{gs} 偏壓於 0.8 伏特時趨近飽合，若 V_{gs} 偏壓設計於大於 0.8 伏特之後，最小雜訊指數(NFmin)及電流消耗隨 V_{gs} 增加，但 g_m 卻以達飽合，在考量放大器需有足夠的放大能力及合適的最小雜訊指數、功率消耗下，選擇閘源級偏壓(V_{gs})為 0.75 V。

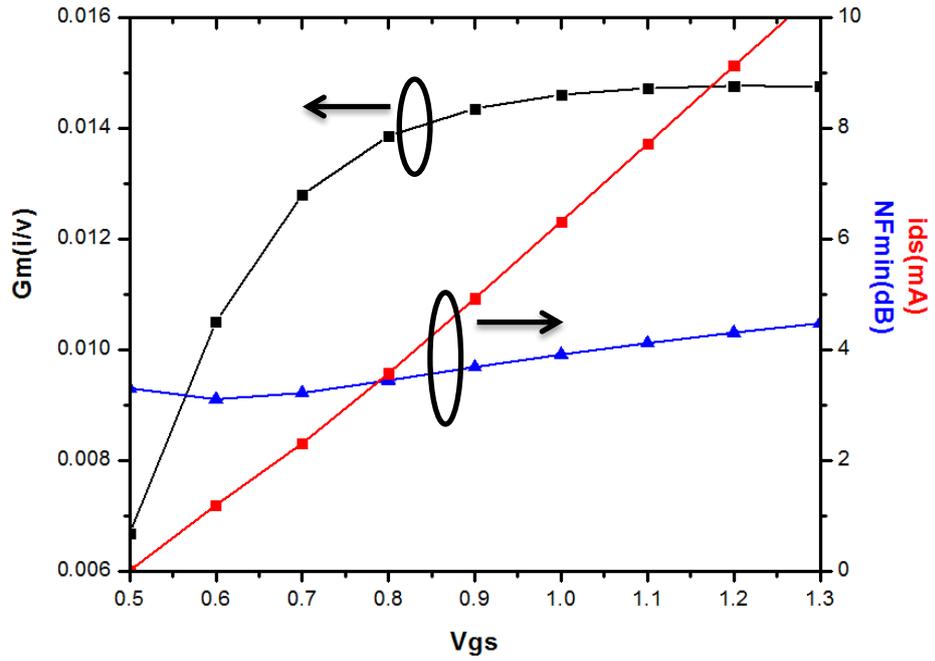


圖 3-4 Gm & ids & NFmin 對 V_{gs} 電壓變化圖

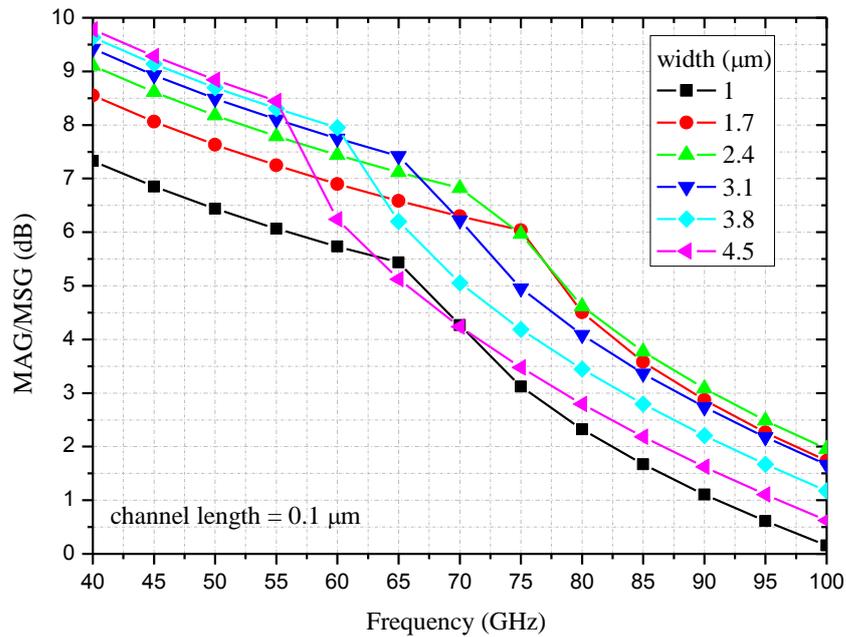


圖 3-5 不同通道寬度下最大穩定/可用增益(MSG/MAG)頻率響應圖

第二步驟為選擇合適的電晶體大小，電晶體可調整的參數有通道長度(channel length)、通道寬度(channel width)、指叉數(number of finger)，選擇電晶體大小的主要考量參數為最小雜訊指數，設計上電晶體的通道長度選擇最小通道長度，在

TSMC CMOS 90 nm RF 製程中最小通道長度為 $0.1\ \mu\text{m}$ ，接著針對電晶體在通道長度為 $0.1\ \mu\text{m}$ 且指叉數為 1 條件下選擇通道寬度，圖 3-5 為不同通道寬度之最大穩定/可用增益(MSG/MAG)頻率響應圖，從圖 3-5 中可得知，最大穩定/可用增益(MSG/MAG)益隨著通道寬度增加而增加，但在通道寬度大於 $1.7\ \mu\text{m}$ 之後增益上升趨緩，且頻率轉折點也隨著通道寬度增加而往低頻移動，圖 3-6 為當操作頻率在 77 GHz 時，最小雜訊指數(NFmin)以及最大穩定/可用增益(MSG/MAG)在不同通道寬度下模擬圖，當通道寬度設計過小或過大，都有偏高的最小雜訊指數，當通道寬度設計在 $2\ \mu\text{m}$ 上下的範圍時有較低的最小雜訊指數，以及足夠的最大可用增益，綜合以上考量在本設計中，選擇通道寬度為 $1.7\ \mu\text{m}$ 。

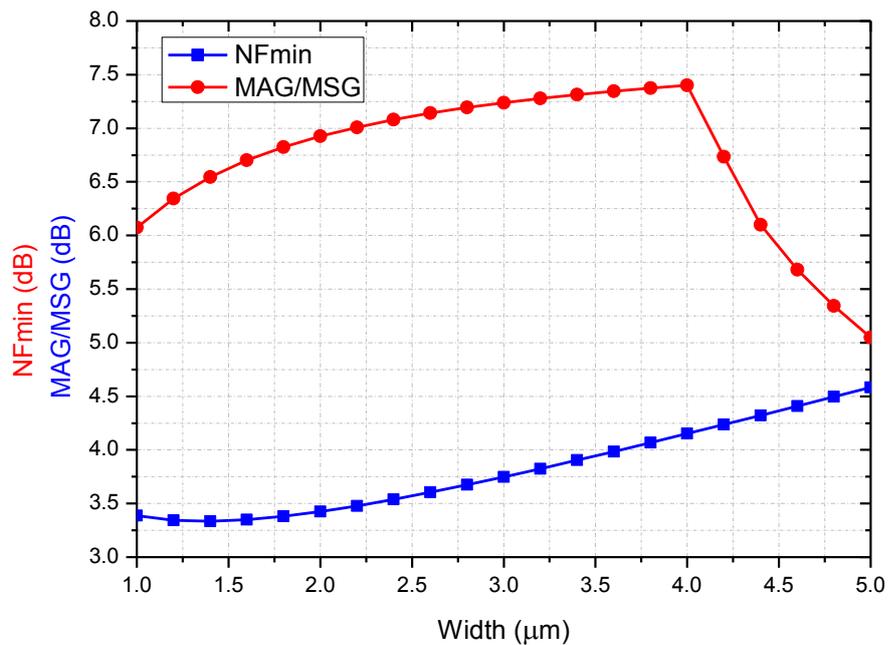


圖 3-6 當操作頻率為 77 GHz 時不同通道寬度下 MSG & MAG & NFmin

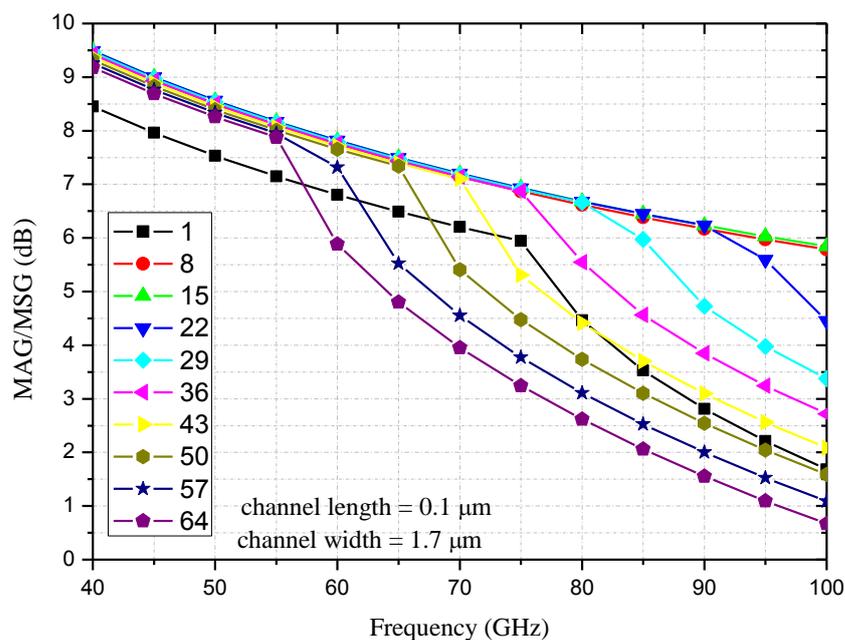


圖 3-7 不同 finger 數下 MSG & MAG 頻率響應圖

圖 3-7 為頻率在 77 GHz 下通道長度為 0.1 μm 、通道寬度為 1.7 μm 條件下，模擬不同指叉數下最小雜訊指數以及最大穩定/可用增益，可知指叉數在小於 4，因增益不足抑制不住雜訊，指叉數大於 15 時雜訊指數隨指叉數增加而上什，最適合的指叉數選擇介於 4 到 15 之間，此時有夠低的最小雜訊指數，及夠大的最大穩定增益，在此設計中指叉數選擇 8。

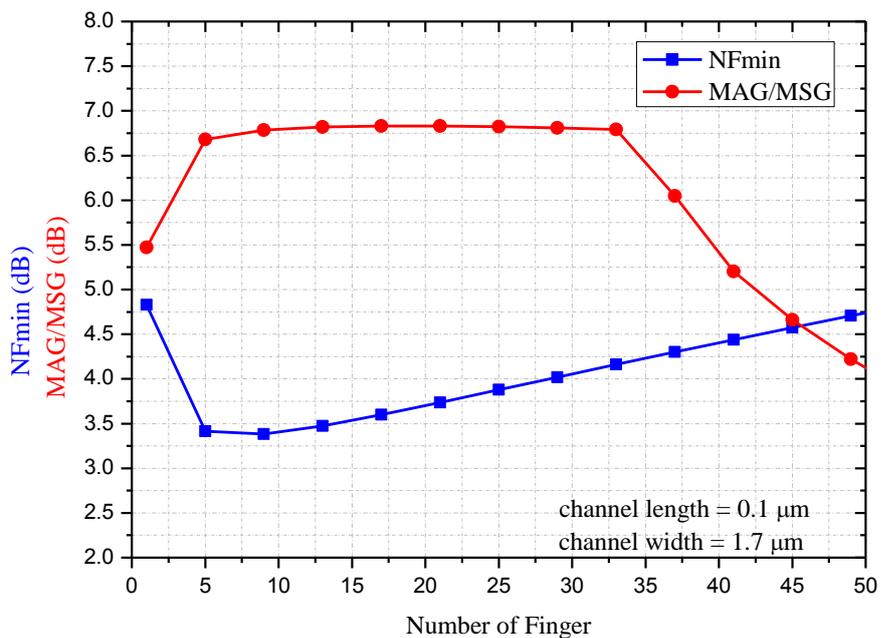


圖 3-8 當操作頻率為 77 GHz 時不同指叉數下 MSG & MAG & NFmin

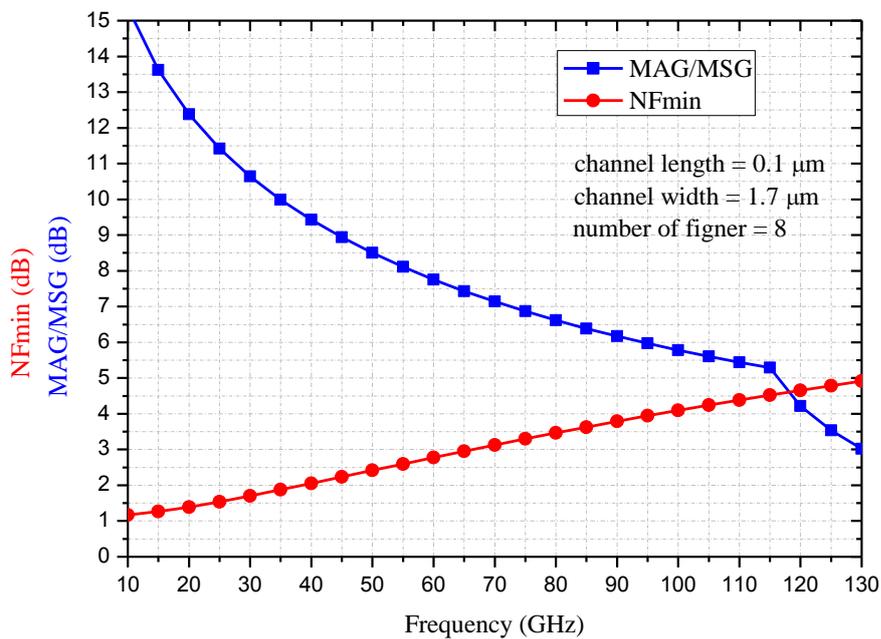


圖 3-9 MSG & MAG & NFmin 頻率響應圖

低雜訊放大器在設計考量上，希望可以有最大增益及最小雜訊指數，根據以上兩點考量可選出電晶體大小其通道長度為 0.1 μm 、通道寬度為 1.7 μm 、指叉數

為 8。圖 3-9 為電晶體在通道長度為 0.1 μm 、通道寬度為 1.7 μm 、指叉數為 8 時，共源級組態下所模擬的最大穩定增益(MSG)在 77 GHz 時為 6.766 dB，最小雜訊指數在 77 GHz 時為 3.241 dB。

共源級組態雜訊指數分析，如圖 3-10 所示，考量輸入雜訊參數為 V_s 、輸入相關雜訊(input-referred noise)為 V_n 、輸入相關雜訊電流為 I_n 。

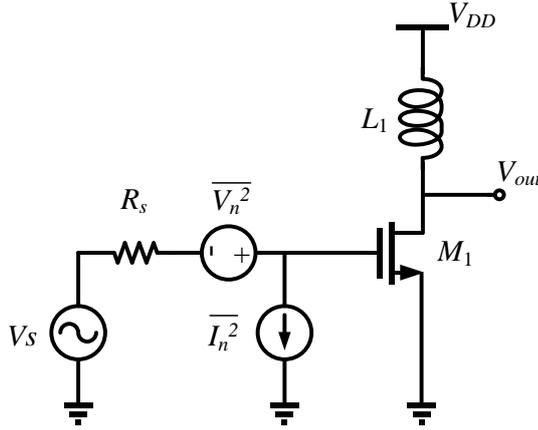


圖 3-10 共源級組態之等效電路圖

雜訊指數定義為式子 3.3 所示：

$$\text{Noise Figure} = \frac{SNR_{in}}{SNR_{out}} \quad (3.3)$$

輸入訊雜比為式子 3.4 所示：

$$SNR_{in} = \frac{\alpha^2 V_{in}^2}{\alpha^2 V_s^2} \quad (3.4)$$

輸出訊雜比為式子 3.5 (A_v 表示為增益)所示：

$$SNR_{in} = \frac{\alpha^2 A_v^2 V_{in}^2}{\alpha^2 A_v^2 [\overline{V_s^2} + \overline{V_n^2} + \overline{I_n^2 R_s^2}]} \quad (3.5)$$

利用式子 3.4 以及式子 3.5 帶入式子 3.3 之後，得知雜訊指數為：

$$NF = \frac{\overline{V_s^2} + \overline{V_n^2} + \overline{I_n^2 R_s^2}}{\overline{V_s^2}} = 1 + \frac{\overline{V_n^2} + \overline{I_n^2 R_s^2}}{\overline{V_s^2}} = 1 + \frac{\overline{V_n^2}}{4kTR_s} + \frac{\overline{I_n^2 R_s^2}}{4kTR_s} \quad (3.6)$$

3.2.2 疊接組態放大器分析

疊接組態考量最大穩定/可用增益、最小雜訊指數作分析設計，如圖 3-11 所示疊接組態放大器是由共源級組態(M_1)及共閘級組態(M_2)所組成，此組態之電晶體具有輸出阻抗較高之特性，主要由共源級組態提供足夠轉導來放大訊號，使疊接組態放大器可提供較高增益，但此時疊接組態輸出反射係數 Γ_{out} 大於 1 (如圖 3-16 所示)，必須考量輸出阻抗匹配設計不易，為了分析此問題，把疊接放大器分成共源級組態及共閘級組態做個別分析，以達到在系統穩定時之最佳增益。

疊接組態其優勢在於較高增益，但不可避免的雜訊指數也相對較高，疊接組態操作至高頻時，其中間節點擁有寄生電容效應，使得共閘級組態之電晶體所產生熱雜訊，此雜訊將會增加總輸出雜訊指數，因此採用疊接組態時，必須抑制此雜訊之增加。

3.2.3 雜訊觀點分析

低雜訊放大器設計上，必須考量雜訊因數，由[1]整理可得知雜訊指數定義為 SNR_{in} 與 SNR_{out} 之關係式如下：

$$Noise\ Factor = \frac{SNR_{in}}{SNR_{out}} \quad (3.7)$$

疊接組態(如圖 3-11 所示)分析將不考量輸入匹配網路及輸出匹配網路所產生之雜訊，若共源級組態以及共閘級組態所產生之輸出雜訊，兩者不相關，因此可以將關係式定義如下：

$$Noise\ Factor = F_1(\omega) + F_2(\omega)$$

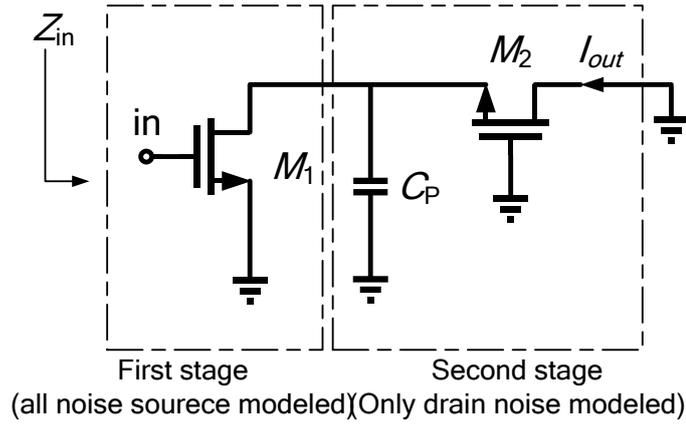


圖 3-11 疊接組態

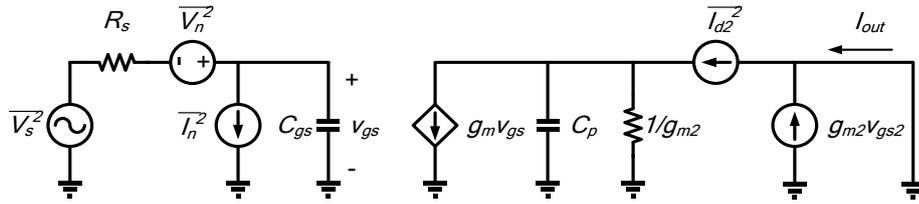


圖 3-12 計算電晶體雜訊因數等效電路[6][7]

疊接組態放大器之雜訊模型如圖 3-12 所示，共源級以及共閘級中間提供寄生電容 (C_p)，雜訊源所提供之輸入相關雜訊(input-referred noise)以及等效熱雜訊 (equivalent thermal noise resistance)，可以得知 i_o ，如式子 3.8 所示：

$$i_o = g_m v_{gs} = g_m \cdot \frac{v_s}{R_s + \frac{1}{j\omega C_{gs}}} \left(\frac{1}{C_{gs}} \right) \quad (3.8)$$

由於 $i_o = G_m v_s$ ，因此式子 3.9 可以改寫為：

$$G_m = -j \cdot \frac{\omega_T}{\omega} \cdot \frac{1}{R_s} \quad (3.9)$$

考量輸入相關雜訊(input-referred noise)、等效熱雜訊(equivalent thermal noise resistance)，以及共閘級之通道熱雜訊並表示為：

$$\overline{i_{o,To}^2} = G_m^2 \left(\overline{V_n^2} + \overline{I_n^2} R_s^2 + \overline{V_s^2} \right) + \overline{I_{d2}^2} \quad (3.10)$$

計算出雜訊指數，表示為式子 3.11：

$$NF = 1 + \frac{\overline{V_n^2} + \overline{I_n^2 R_s^2}}{\overline{V_s^2}} + \frac{\overline{I_{d2}^2}}{G_m^2 \overline{V_s^2}} \quad (3.11)$$

最後得知其疊接組態之雜訊指數表示式[7]：

$$NF = 1 + \frac{\overline{V_n^2}}{4kTR_s} + \frac{\overline{I_n^2 R_s^2}}{4kTR_s} + R_s \gamma_2 g_{do2} \left(\frac{\omega}{\omega_T} \right)^2 \left(1 + \frac{\omega^2 C_p^2}{g_{m2}^2} \right) \quad (3.12)$$

g_{do2} : $V_{ds} = 0$ 之汲極-源極電導。

由式子 3.12 所示，疊接組態之雜訊指數與寄生電容相關， ω 的二次方函數與二次方函數寄生電容(C_p)相乘，表示疊接組態放大器之寄生電容對於整體雜訊指數影響非常大，尤其在高頻時影響甚鉅，如圖 3-13 所示，模擬共源級電晶體寬度為 $2 \mu\text{m}$ ， $V_{gs}=0.75\text{V}$ ，頻率在 77GHz 時，共閘級電晶體寬度與疊接組態之理想雜訊指數關係圖，可得知電晶體寬度越大時，所造成之雜訊指數越大。

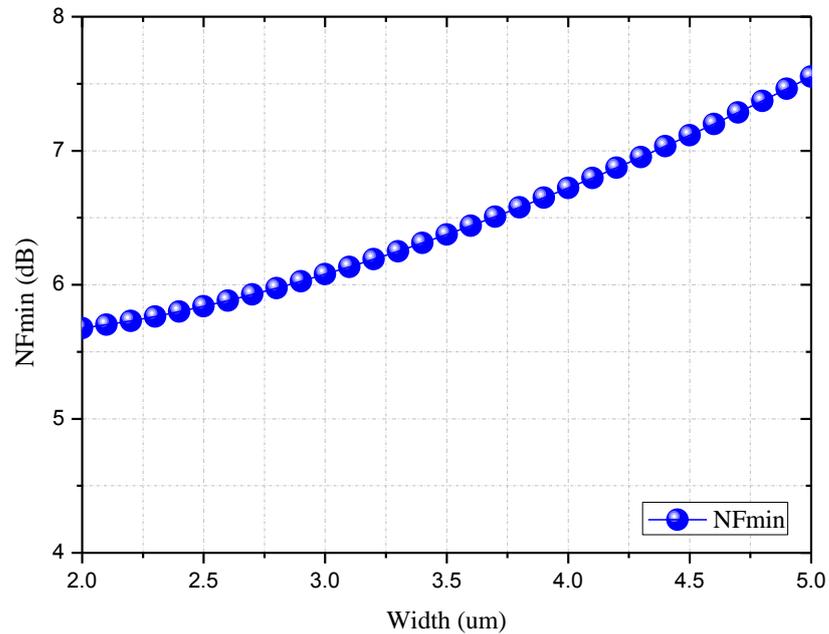


圖 3-13 電晶體寬度與雜訊指數關係圖

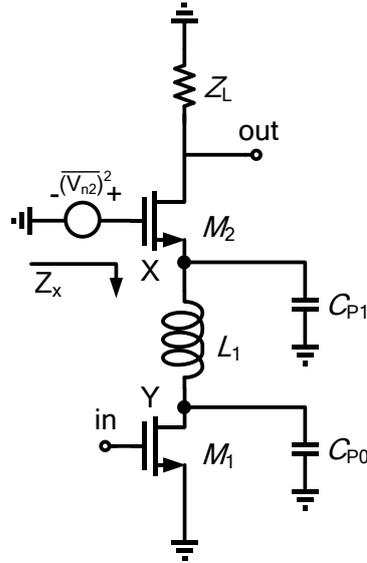


圖 3-14 疊接組態與電感分析表示圖[8]

由式子 3.13 所示，疊接組態之寄生電容是產生放大雜訊的主要因素，因此為了避免，可以採用串聯電感的方式，以抵銷寄生電容之效應，並且抑制雜訊地被放大，如圖 3-14 所示。

$$\frac{v_{n.out}}{v_{n2}} = \frac{-Z_L}{\frac{1}{g_{m2}} + \frac{1}{\omega C_p}} \quad (3.13)$$

節點 X 分析其阻抗為 Z_x ，如式子 3.14 所示

$$Z_x = \frac{1}{sC_{p1}} \parallel \left(sL + \frac{1}{sC_{p0}} \right) = \frac{1}{sC_{p1}} \parallel \left(\frac{s^2LC_{p0} + 1}{sC_{p0}} \right) \quad (3.14)$$

簡單整理之後表示為式子 3.15 所示

$$Z_x = \frac{s^2LC_{p0} + 1}{s(C_{p0} + C_{p1} - \omega^2LC_{p0}C_{p1})} \quad (3.15)$$

其放大增益表示為式子 3.16 所示

$$\frac{v_{n.out}}{v_{n2}} = \frac{-Z_L}{\frac{1}{g_{m2}} + Z_x} \quad (3.16)$$

若雜訊減少，式子 3.17 之阻抗 Z_x 必須等於零，則表示式如下

$$C_{p0} + C_{p1} - \omega^2LC_{p0}C_{p1} = 0 \quad (3.17)$$

求得最低雜訊之電感值式子 3.18 所表示

$$L = \frac{C_{p0} + C_{p1}}{\omega^2 C_{p0} C_{p1}} \quad (3.18)$$

模擬疊接組態(如圖 3-15)之雜訊指數，共源級電晶體選擇於寬度為 2 μm、指叉數為 8，共閘級選擇寬度為 2 μm、指叉數為 20，此時頻率為 77 GHz，理想雜訊指數為 5.6 dB，若模擬電感值設定為 0.1 nH 至 0.4 nH，理想雜訊指數如圖 3-15，可以得知模擬結果證實電感可以降低雜訊指數，最低雜訊指數在電感值為 0.25 nH，雜訊指數為 4.0 dB。

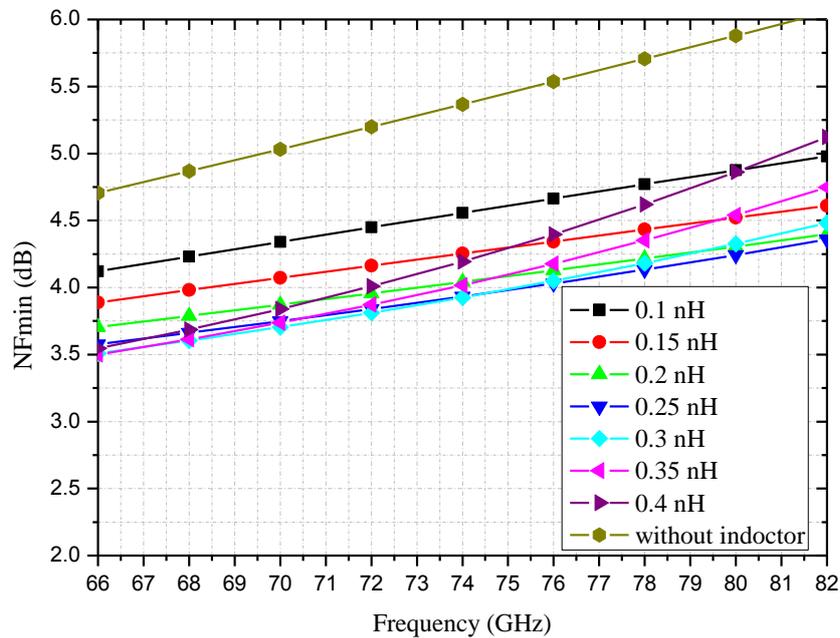
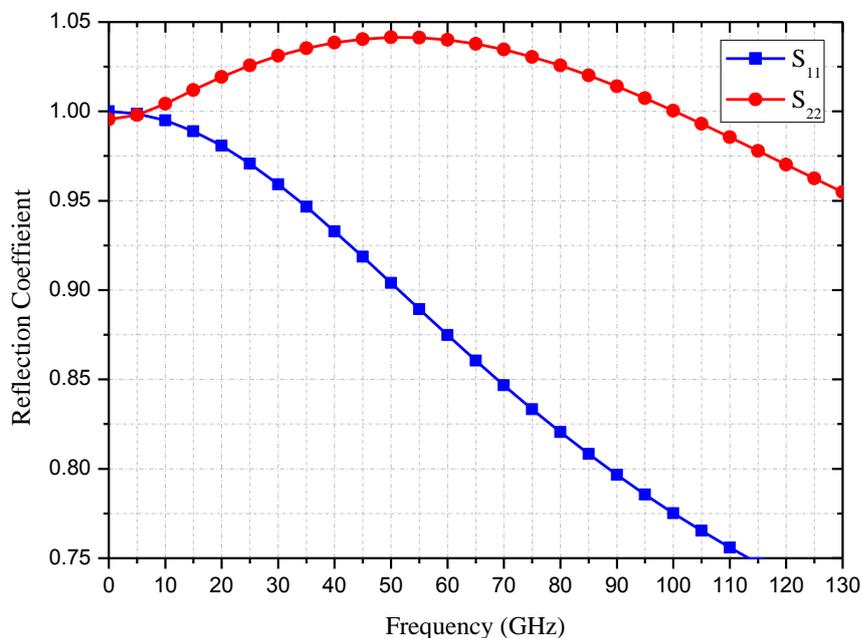


圖 3-15 疊接組態與電感分析雜訊指數表示圖

3.2.4 反射係數觀點分析



k

圖 3-16 疊接組態輸入及輸出之反射係數模擬圖

由於疊接組態的阻抗高，因此輸出反射係數(Γ_{out})大於 1 呈現不穩定的狀況，故首先針對輸出端的共閘級組態穩定度做分析，如圖 3-16 所示，表 1-1 為在頻率 77 GHz 點針對穩定因子(K factor)、輸入輸出反射係數做模擬。

表 3-1 共閘級組態穩定因子&輸入輸出反射係數

Frequency	stabfact	Δ	S(1,1)	S(2,2)
77GHz	0.027	0.932	0.854	0.889

從表 3-1 可知共閘級電晶體在不接共源級電晶體時處於潛在不穩定($K < 1$, $\Delta < 1$)，如圖 3-17 所示，在掛載 50 歐姆時輸入輸出反射係數皆處於穩定狀態，為了更進一步了解在哪些負載點將使輸出反射係數大於 1 ($\Gamma_{out} > 1$)，以下將針對輸入穩定圓、輸出穩定圓做模擬分析。

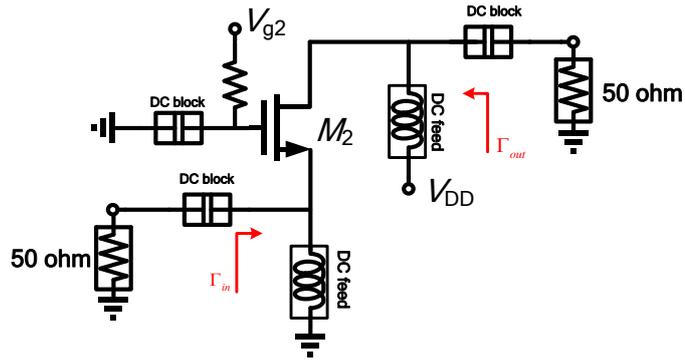


圖 3-17 共閘級組態輸入輸出反射係數示意圖

從圖 3-18(a)輸出穩定圓模擬可得知輸入反射係數(Γ_{in})幾乎在所有輸出阻抗點(穩定圓外)皆小於 1 ($\Gamma_{in} < 1$)，處於穩定的狀態，從圖 3-18(b)輸入穩定圓模擬可得知輸出反射係數(Γ_{out})在輸入穩定圓內小於 1 ($\Gamma_{out} < 1$)，在輸入穩定圓外輸出反射係數大於 1 ($\Gamma_{out} > 1$)，由以上結果可得知疊接組態中的共源級組態(M_1)輸出阻抗(S_{22})必須落在共閘級組態(M_2)輸入穩定圓內，否則將使疊接組態輸出反射係數大於 1 ($\Gamma_{out} > 1$)。

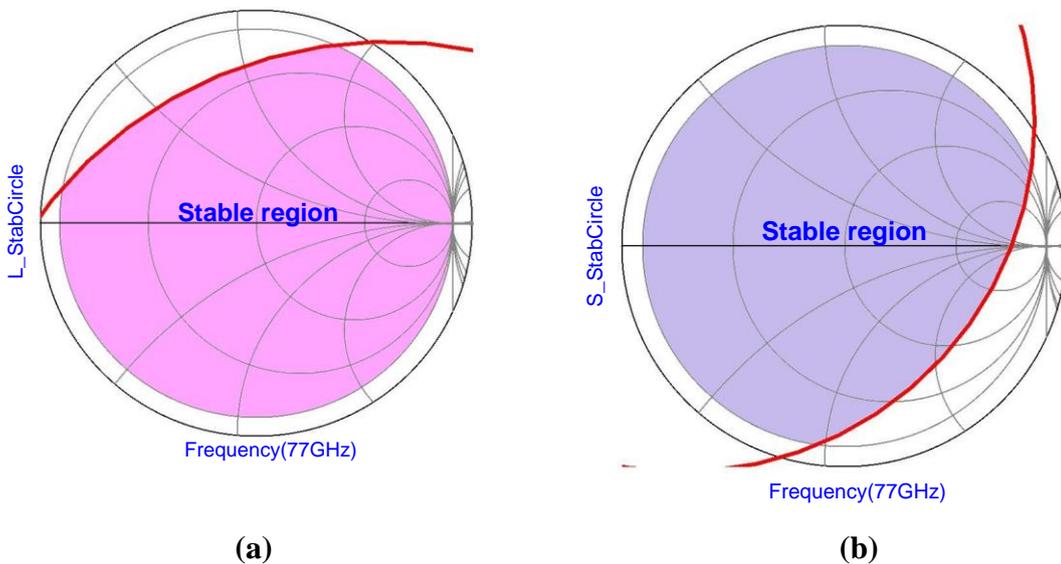


圖 3-18 共閘級組態穩定圓模擬(a)output stability circle(b)input stability circle

為了解共源級組態輸出阻抗(S_{22})，在頻率 77 GHz 下不同電晶體尺寸之阻抗變化分佈，將針對共源級組態在不同指叉數下做輸出阻抗模擬(S_{22})，從圖 3-19 可

看出共源級輸出阻抗隨著電晶體的尺寸增加而變小，欲使疊接組態放大器輸出反射係數小於 1 則需選擇指叉數大於 6 之尺寸，另一能使疊接組態放大器輸出反射係數小於 1 的方法，為在共源級放大器(M_1)汲級(drain)端串接一電感，改變其輸出阻抗使阻抗繞進穩定區，使共源級組態輸出反射係小於 1 ($\Gamma_{out} < 1$)。

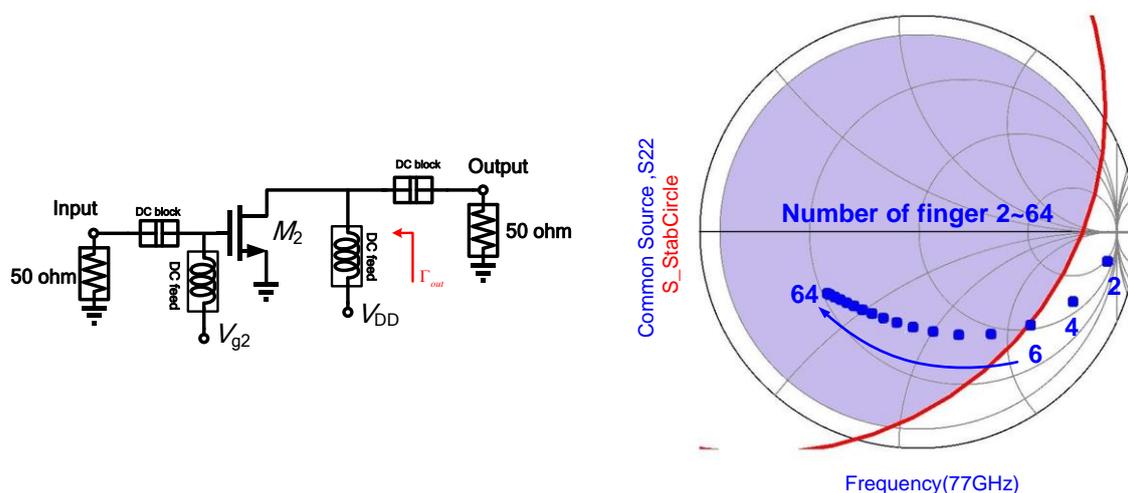


圖 3-19 共源級組態在不同指叉數下模擬輸出阻抗分佈史密斯圖

總結以上模擬分析可知，設計一疊接放大器，輸出反射係數小於 1，可利用選擇較大電晶體尺寸抑或是選擇一適當電感來做設計，前者方式，選擇較大電晶體尺寸適合功率放大器 (power amplifier) 設計，原因是其大尺寸之電晶體可以提供較高之功率輸出，而低雜訊放大器訴求於較低之雜訊指數，過大之電晶體將會提供較高之寄生電容，因此不適合採用，若增加尺寸換取穩定度，則最小雜訊指數提升，最大穩定/可用增益下降，功率消耗也無法降低。後者方式，利用串聯電感，適合低雜訊放大器 (low noise amplifier) 設計，由於低雜訊放大器要求最小雜訊指數、最大穩定/可用增益，故選擇較小電晶體尺寸將得到最佳效能、較低功耗，利用串聯電感來改善頻帶穩定度、提升增益、降低雜訊將是最好的選擇，但此方法則不適合設計功率放大器，由於功率放大器設計要求大功率輸出，伴隨大電流使電感實現不易等問題。

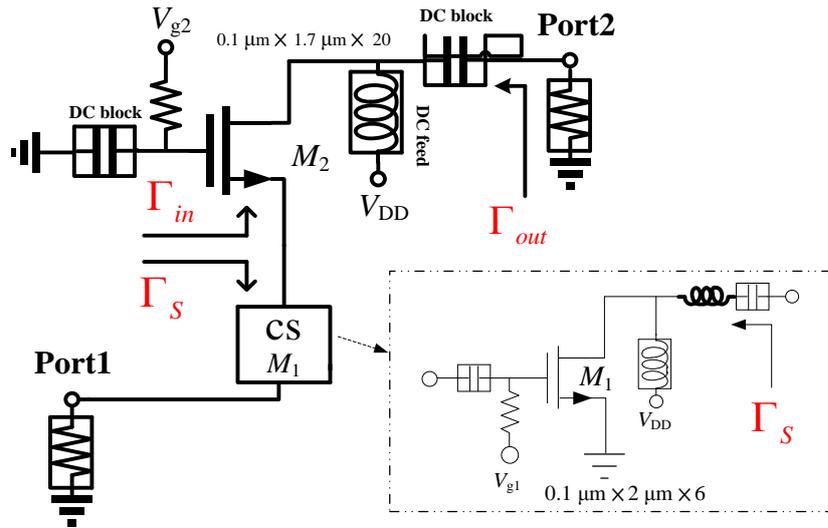


圖 3-20 共閘級組態掛載共源級輸出阻抗反射係數示意圖

分析疊接組態放大器輸出反射係數會大於 1，首先將疊接組態放大器拆成共閘級組態與共源級組態，如圖 3-20 所示，並且針對共閘級組態做分析，將共源級組態輸出阻抗視為共閘級輸入網路阻抗，共閘級輸出反射係數如式 3.19 所示，實際共閘級電晶體為雙向性(bilateral)元件也就 $S_{12} \neq 0$ ，此時 $\Gamma_{out} \neq S_{22}$ 與式中的第二項有關，從式中第二項 $(S_{12}S_{21}\Gamma_s)/(1-S_{11}\Gamma_L)$ 中觀察得知，在無法改變 S_{22} 的前提下，欲降低輸出反射係數應使第二項中 $S_{12}S_{21}\Gamma_s$ 三個參數降低，但在放大器的設計中要求高增益故降低 S_{21} 不可行，應降低 S_{12} 與 Γ_s 使輸出反射係數降低，從以上推論可知欲改善疊接放大器輸出反射係數，必須使共源級組態(M_1)的輸出阻抗與共閘級組態(M_2)的輸入阻抗達成匹配。

$$\Gamma_{out} = S_{22} + \frac{S_{12}S_{21}\Gamma_s}{1 - S_{11}\Gamma_s} \quad (3.19)$$

圖 3-21(a)(b)分別為共閘級組態、頻率響應圖，其中虛線為共閘級輸入阻抗與共源級輸出阻抗未使用電感匹配，實線則使用電感匹配，從模擬結果可知若未使用電感匹配 其值維持在 0.7 以上，這將造成大於 1 造成輸出匹配網路設計的困難，若使用電感匹配，則在所設計匹配頻帶可得夠低使小於 1 使輸出匹配網路設計容易。由於阻抗匹配是設計在 77 GHz 頻率範圍，故離開所設計的頻帶後 仍處於大

於 1，但這問題並不會在設計上造成麻煩，由於疊接放大器匹配網路常設計為帶通(band pass)型式如圖 3-21 (a)所示，此時在設計頻帶外 S_{21} 趨近為 0 代入式(3.19) 得到 $\Gamma_{out} < 1$ 處於穩定狀態，在設計頻帶內因具有高增益(S_{21})，需設計匹配電感改善 Γ_s 使 Γ_{out} 小於 1。

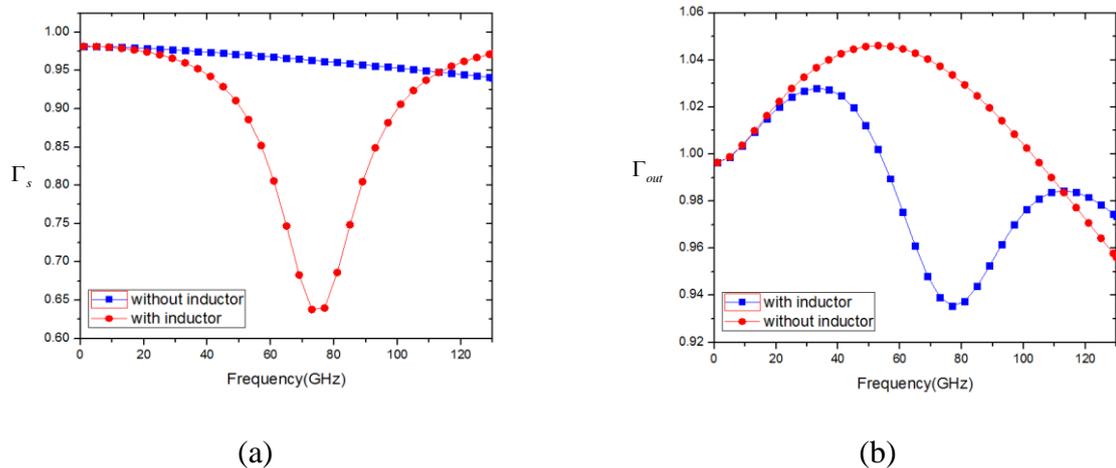


圖 3-21 共閘級組態(a) Γ_s 頻率響應圖(b) Γ_{out} 頻率響應圖

3.2.5 最佳疊接組態低雜訊放大器設計

選擇適當電晶體尺寸(M_1 、 M_2)、電感值(L)，使疊接組態低雜訊放大器有最佳效能做探討分析。

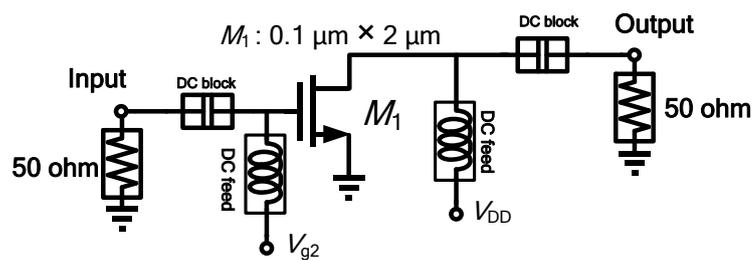


圖 3-22 共源級組態架構圖

共源級放大器設計中，使用閘級偏壓(V_g)為 0.75 伏特(V)供應電壓(V_{DD})1.2 V，且通道寬度為 $2 \mu\text{m}$ ，在最小雜訊指數、最大穩定/可用增益與及消耗電流的考量下，選出共源級組態電晶體最佳尺寸，圖 3-23 為最大穩定/可用增益、最小雜訊指數、汲級電流(id)在頻率 77 GHz 時對不同的指叉數做模擬圖，最大穩定增益在

指叉數為 17 得到峰值 7.974 dB，最小雜訊指數在指叉數為 8 時得到最低值 2.813 dB，而汲級電流(i_d)隨指叉數增加而線性上升。

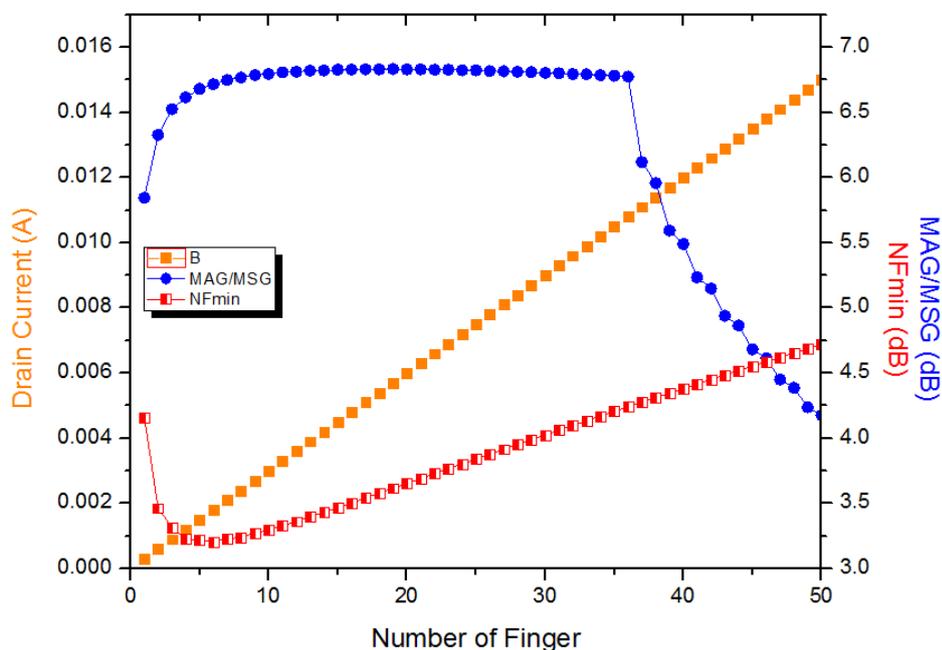


圖 3-23 共源級組態在不同指叉數下 MSG/MAG & NF_{min} 與 i_d s

表 3-2 (a)特定指叉數下(8,20)MSG、 NF_{min} 、 i_d 比較表

指叉數	MSG(dB)	NF_{min} (dB)	i_d (mA)
20	6.829	3.653	6.0
6	6.715	3.207	1.8

表 3-2 (b)特定指叉數(8,20)下參數差異值表

	MSG(dB)	NF_{min} (dB)	i_d (mA)
Δ (兩者差值)	0.114	0.446	4.2

在設計低雜訊放大器中，設計者無非希望降低功率消耗、提升增益、降低雜訊指數，從表 3-2 (a)(b)中可看出指叉數 20 與 6 在最大穩定增益只有 0.114 dB 的差異，在最小雜訊指數上指叉數 6 則比指叉數 20 低了 0.446 dB，且電流消耗也降低 4.2 mA，故共源級放大器電晶體尺寸選擇通道長度 $0.1 \mu\text{m}$ 、通道寬度 $2 \mu\text{m}$ 、指叉數為 8 的電晶尺寸，與傳統設計方法不同的是在此完全不考慮疊接組態穩定度問題。

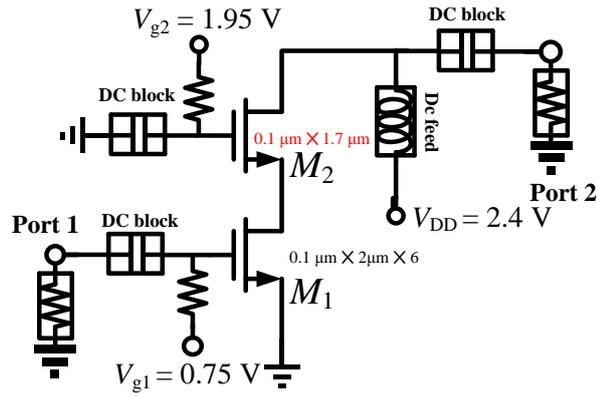


圖 3-24 疊接組態示意圖

決定共源級組態最佳電晶體尺寸後，同樣的在最小雜訊指數、最大穩定/可用增益考量下找出共閘級最佳電晶體尺寸，由於疊接放大器電流由共源級電晶體決定，因此在此就不考慮汲級電流，圖 3-25 為最大穩定/可用增益、最小雜訊指數頻率 77 GHz 時對不同的指叉數做模擬圖，最大穩定/可用增益在指叉數為 6 得到峰值 12.909 dB，最小雜訊指數在指叉數為 14 時得到最低值 5.447 dB，

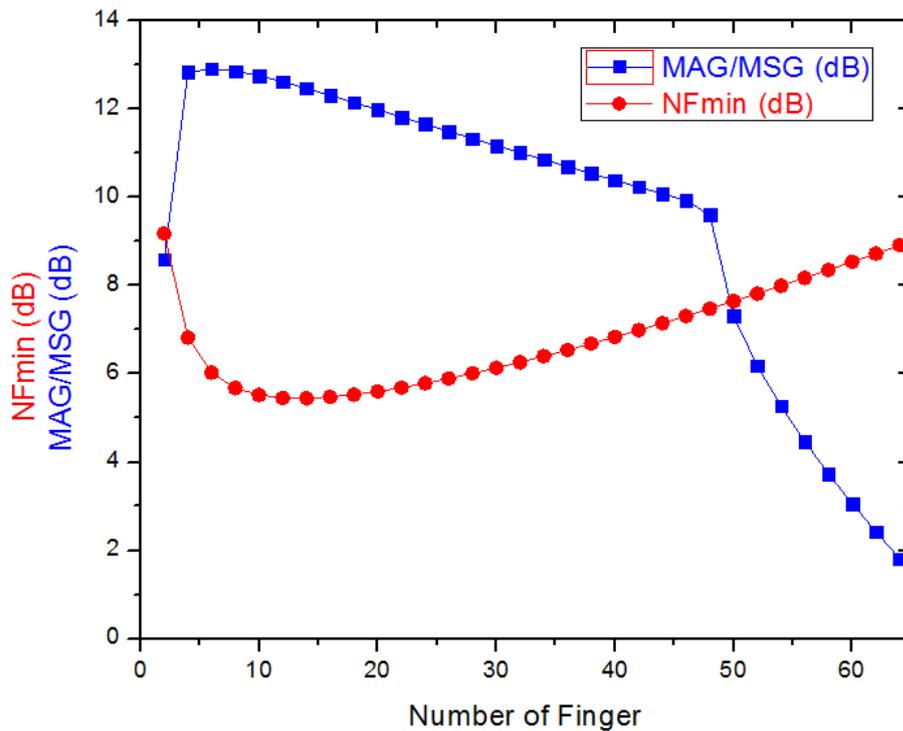


圖 3-25 共閘級電晶體在不同指叉數下 MSG & MAG & NFmin

表 3-3 (a)特定指叉數(6,14)下 MSG& NFmin 比較表

指叉數	MSG(dB)	NFmin(dB)
6	12.909	6.026
14	12.465	5.447

表 3-3 (b)特定指叉數(6,14)下參數差值

	MSG(dB)	NF _{min} (dB)
Δ(兩者差值)	0.444	0.559

從表 3-3 (a)(b)中可看出指叉數 6 與 14 在最大可用增益有 0.444 dB 的差異，在最小雜訊指數上指叉數 17 則比指叉數 6 低了 0.559 dB，從以上模擬可知道，共閘級電晶體最佳指叉數設計範圍從 8 至 22，全看設計者在最大穩定增益與最小雜訊指數之間做選擇(trade-off)，指叉數設計範圍若不在 8 至 22，將使增益下降雜訊指數上升，在此共閘級放大器電晶體(M₂)尺寸選擇通道長度 0.1 μm、通道寬度 1.7 μm、指叉數為 20 的電晶尺寸。

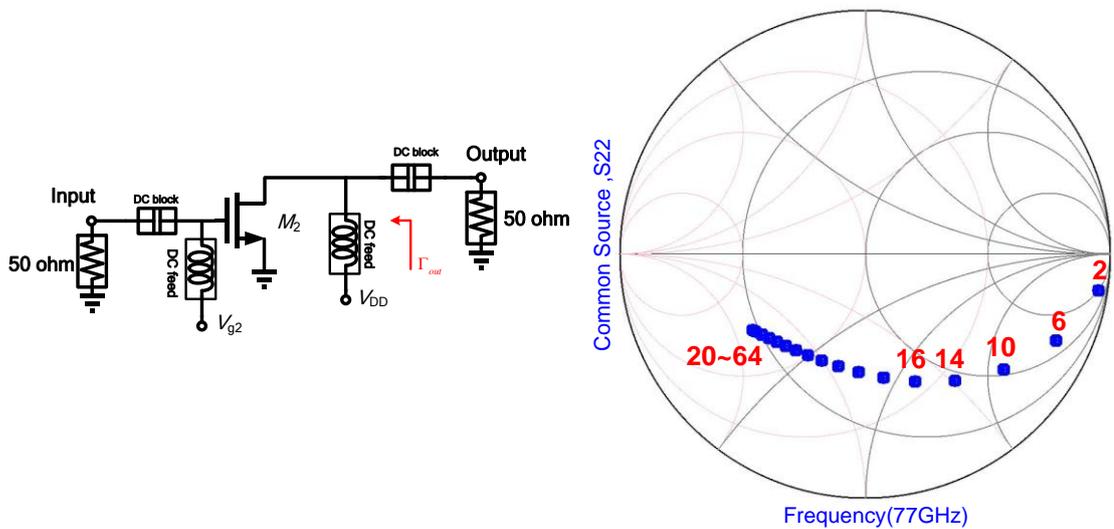


圖 3-26 在不同指叉數下 1~64 (a)共源級電晶體輸出阻抗史密斯分佈圖

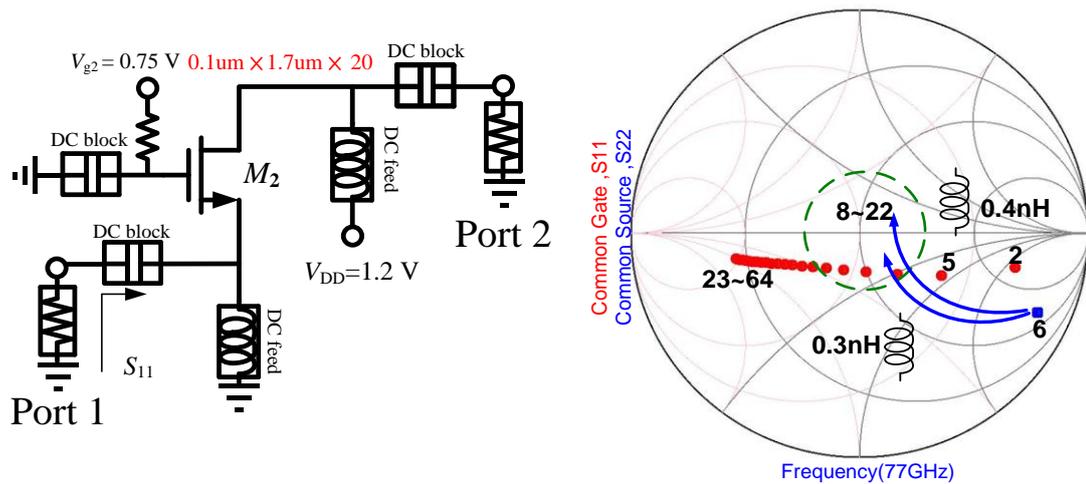


圖 3-26 (a)在不同指叉數下 1~64 (b)共閘級電晶體輸入阻抗史密斯分佈圖

圖 3-26(a)為共源級電晶體輸出阻抗，在不同指叉數下阻抗分佈，在步驟一選出了指叉數 6 為共源級電晶體尺寸，在此基礎下找最佳共閘級電晶體尺寸，從圖 3-26(b)共閘級電晶體輸入阻抗，在不同指叉數下阻抗分佈，可觀察出共閘級電晶體輸入阻抗在指叉數 8 至 22 阻抗分佈，與共源級電晶體指叉數為 6 時輸出阻抗分佈相近，這意味著共源級與共閘級間有著相對匹配的阻抗，這與圖 3-25 有一樣的模擬結果，在此範圍阻抗得到了較高的最大穩定增益及最小雜訊指數，此外兩者的輸出入阻抗分佈相近(共源級輸出,共閘級輸入)，更可使用簡單的電感性元件，使阻抗更進一步的匹配，得到更好的最大可用增益，與更小的最小雜訊指數。

確定疊接放大器電晶體尺寸後，接著選出共源級組態與共閘級組態間的匹配電感，其選擇感值的方法，可利用最大穩定增益/最大可用增益 (MSG/MAG)頻率響應圖來選出感值，如圖 3-27(b)所示選出一感值使放大器設計頻帶(71~77 GHz)穩定因子大於 1($K > 1$)，此時最小雜訊指數也從未加匹配電感的 5.061 dB，降低至加匹配電感的 4.439 dB，如表 3-4 所示。

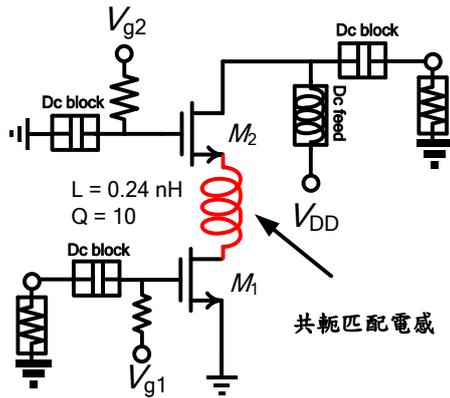


圖 3-27 (a)採用電感匹配疊接放大器

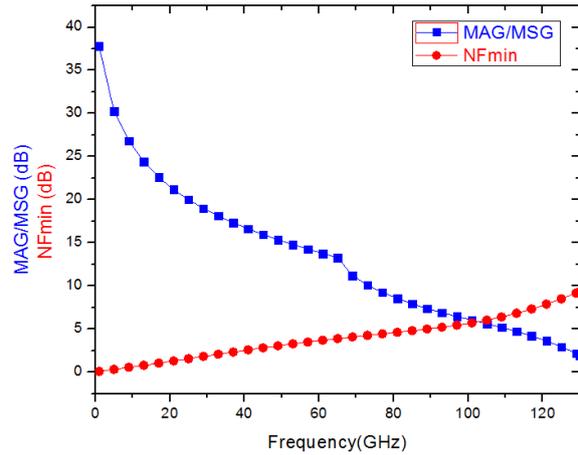


圖 3-27 (b)採匹配電感下 MSG&MAG&NFmin 頻率響應圖

表 3-4 加匹配與不加匹配電感參數比較

	MSG/MAG(dB)	NF _{min} (dB)
採電感匹配	9.261(MAG)	4.439
未採電感匹配	11.982(MSG)	5.601

除了從最大穩定/可用增益頻率響應圖，找出匹配的感值外，也可由阻抗觀點找出適當感值，為分別在頻率 77 GHz 時共源級組態電晶體輸出阻抗(S_{22})與共閘級電晶體輸入阻抗(S_{11})分佈，可看到串聯一個電感在共源級組態電晶體輸出端，可使其輸出阻抗往共閘級輸入阻抗移動，達成進一步阻抗匹配，採電感匹配後，疊接組態放大器 S_{22} 、 S_{11} 都更加穩定，此外在這要特別說明，在步驟二中認為共閘級電晶體(M_2)指叉數最佳設計的範圍為 8 至 22，但在此必須考量實際電感設計問題，如圖 3-26 所示，當共閘級電晶體指叉數為 8 至 10 的範圍時，其輸入阻抗偏大，需採較大電感值以達匹配，例如當共閘級電晶體 M_2 指叉數為 6 時，其匹配感值需 0.24 nH，這將花費較大佈局面積設計電感，故認為共閘級電晶體 M_2 指叉數 8 至 22 為最佳設計。

3.3 三級串接放大器

E band 低雜訊放大器設計常採用多級串接的方式提供系統足夠增益，如圖 3-28 所示，以發表的設計中多以三級共源級組態或疊接組態串接，其中三級共源級組態串接有增益偏低問題，而三級疊接組態串接則有功耗、雜訊指數偏高問題，針對共源級組態、疊接組態分別作最大穩定/可用增益，最小雜訊指數、功率消耗、評估模擬，那麼三級串接放大器各級採何種組態設計能獲得較佳效能呢？，以下將使用串接放大器系統特性，評估各種串接組合的效能。

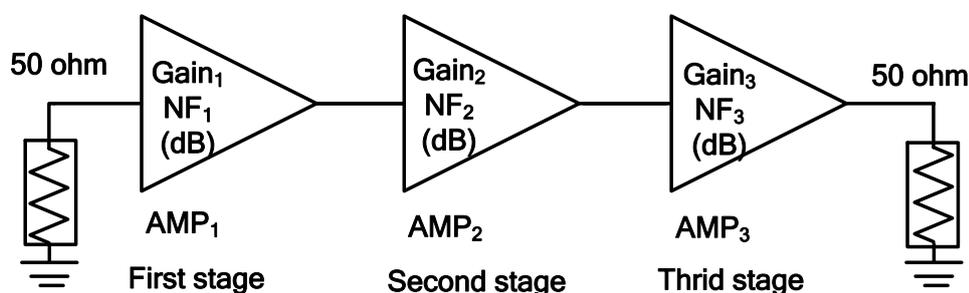


圖 3-28 三級串接放大器示意圖

- 增益: 在 n 級串接系統中整體系統增益如式(3.20)。

$$\text{Gain(dB)} = \text{Gain}_1(\text{dB}) + \text{Gain}_2(\text{dB}) + \dots + \text{Gain}_n(\text{dB}) \quad (3.20)$$

- 雜訊指數: 在多級串接系統中，系統雜訊指數可用 Friiss's Formula 式(3.21) 來表示，n 級串接系統中，每級放大器皆對系統雜訊指數有損害，但主宰系統雜訊指數的是第一級放大器，越往後級將隨著增益提什對系統雜訊指數影響降低。

$$NF = NF_1 + \frac{NF_2 - 1}{\text{Gain}_1} + \dots + \frac{NF_n - 1}{\text{Gain}_1 \dots \text{Gain}_{n-1}} \quad (3.21)$$

- 功率消耗: 串接系統中功率消耗，為各級功率消耗之總和。

$$P_{dc} = P_{dc1} + P_{dc2} + \dots + P_{dc(n)} \quad (3.22)$$

低雜訊放大器設計首重雜訊指數，次之考量增益及功率消耗，從 Friiss's Formula 式(3.21)中可知，欲使串接系統有較低雜訊指數，第一級放大器應採用共源級組態，這是因為共源級組態有較低最小雜訊指數，接下來第二與第三級該採

何種組態，在考量接收機系統中，希望低雜訊放大器可提供 20 dB 增益前提下，第二第三級組態應滿足 20 dB 增益需求，表 3-5 列三級串接放大器最大穩定增益、功率消耗，其求法為將表 3.6 所列值分別帶入式 3.21、式 3.22，在此必須特別說明所求得三級串接最大穩定增益，是在假設各級間完美共軛匹配且無損耗下所求得，但在實際匹配網路設計上無法達成(有損耗)，故在評估時必須考量匹配網路之損耗，從模擬經驗上得知以 7 dB 損耗考量，故選擇 2、3、4 組合，接著考量功率消耗，組合 2、3 有較低功率消耗，那麼組合 2、3 何者為佳，再度考量 Friiss's Formula 式子 3.21，第二級放大器應採雜訊指數較低的疊接組態，使三級串接放大器獲得較佳效能，圖 3.28 為此次設計 E 頻帶低雜訊放大器架構圖，前一級電路採用共源級組態，使其有較低雜訊指數及功率消耗，輸出級採用疊接組態，使 E 頻帶低雜訊放大器有較高增益。

表 3-5 三級串接放大器 MSG、 P_{dc} 評估表

組合	第一級	第二級	第三級	MSG(dB)	P_{dc} (mW)
1	Cs	Cs	Cs	20.298	8.82
2	Cs	Cs	cascode	25.5141	11.376
3	Cs	Cascode	Cs	25.5141	11.376
4	Cs	Cascode	cascode	30.7342	13.932

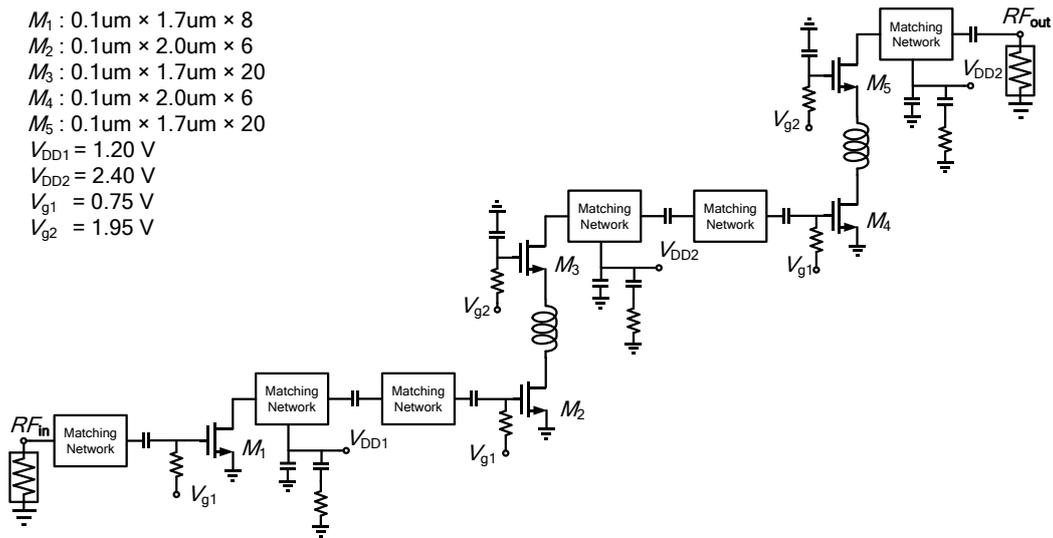


圖 3-29 E 頻帶低雜訊放大器架構圖

3.3.1 匹配網路設計

在選擇完三級放大器組態後，接著將設計低雜訊放大器匹配網路，匹配網路採用薄膜微帶線(Thin Film Microstrip Line, TFMS line)實現，使用 TSMC 90 RF 1P9M CMOS 製程，第九層金屬作為訊號線，第一層金屬作為參考地，並採用特性阻抗為 50 ohm，線寬為 6 μm 以及 10 μm 的傳輸線做為匹配網路。

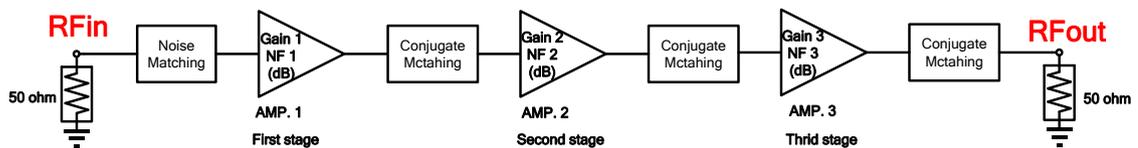


圖 3-30 三級串接放大器匹配網路設計

如圖 3-30 所示，在三級串接低雜訊放大器設計中，輸出級與各級之間採用共軛匹配(conjugate match)，使訊號能以最低損耗傳輸至下一級放大器，而輸入級則是採用雜訊匹配(noise match)使三級串接放大器獲得最低雜訊指數，匹配網路設計順序將由輸入級至輸出級，這是由於低雜訊放大器的匹配網路設計首重輸入級的雜訊匹配，故希望能先針對輸入級的匹配做精準的雜訊匹配設計，再設計各級之間匹配網路及輸出匹配網路，最後針對各匹配網路微調以達到良好的效能，以下將列出仔細的匹配網路設計步驟。

輸入匹配網路設計-雜訊匹配

首先找出雜訊圓(Noise circle)，圖 3-32 為輸入雜訊圓模擬，在 NF_{min} 阻抗點可獲得最低雜訊，為了使放大器得到最低雜訊，需使阻抗從 Port1 的 50 ohm 轉移至 NF_{min} 阻抗點，圖 3-31 為所設計雜訊匹配網路，採用一階 T 型匹配網路，TL1 主要為連接至 RF Pad 對整體匹配網路只有輕微影響，接著並聯 TL2 再串聯 TL3 使阻抗匹配至最小雜訊指數阻抗點，阻抗轉移軌跡如圖 3-32 所示。

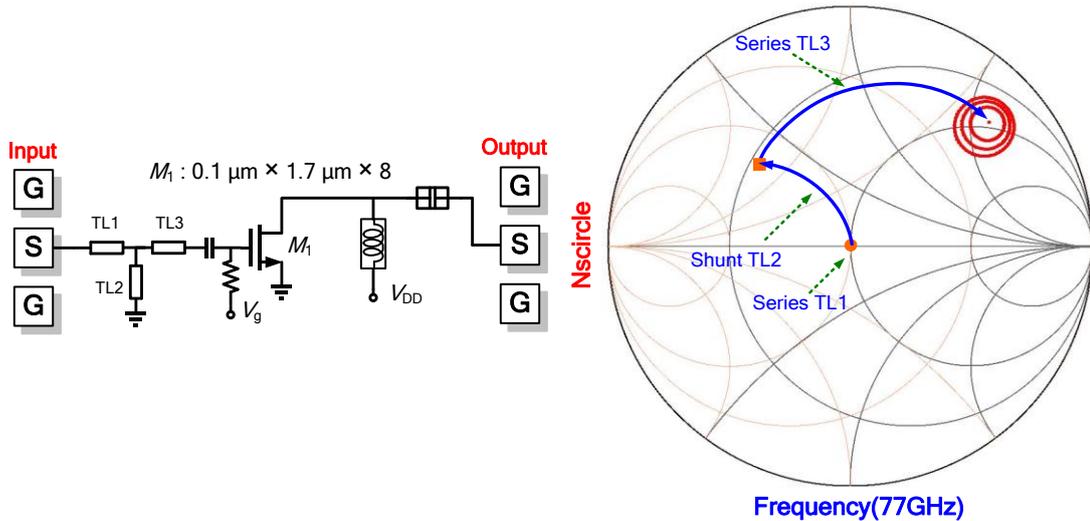


圖 3-31 第一級雜訊匹配網路架構圖

圖 3-32 第一級匹配網路軌跡史密斯圖

第一級與第二級間匹配-共軛匹配

當設計完輸入匹配網路後，接著設計第一級與第二級間匹配網路，如圖 3-33(b) 所示首先找出第一級疊接放大器輸出阻抗點(S_{22})，接著模擬第二級疊接放大器 gain Circle，接著設計共軛匹配網路，如圖 3-33(a)所示使用串聯 TL4 再並聯 TL5 使阻抗匹配到 Gain Circle 以獲得最佳增益，而串接一小段的 TL6，是為了方便連接至第二級疊接放大器而設計，故間級匹配實際上只需簡單的 L 型匹配網路即可達成。

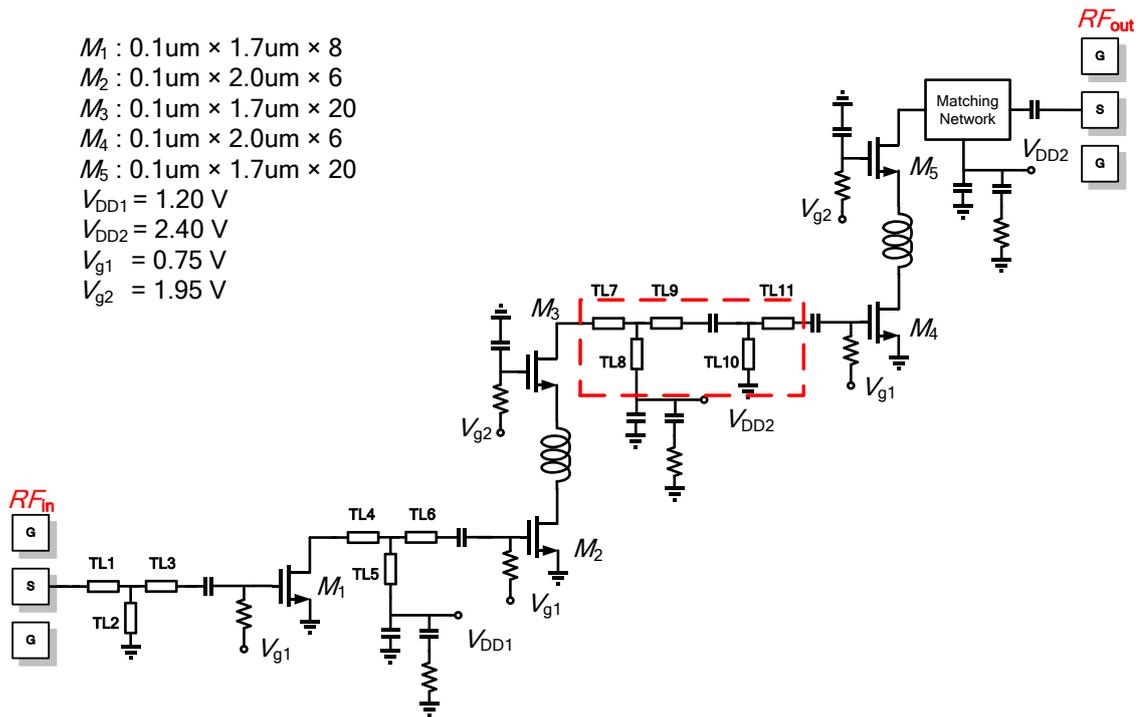


圖 3-34 (a)第一與第二級間匹配網路架構圖

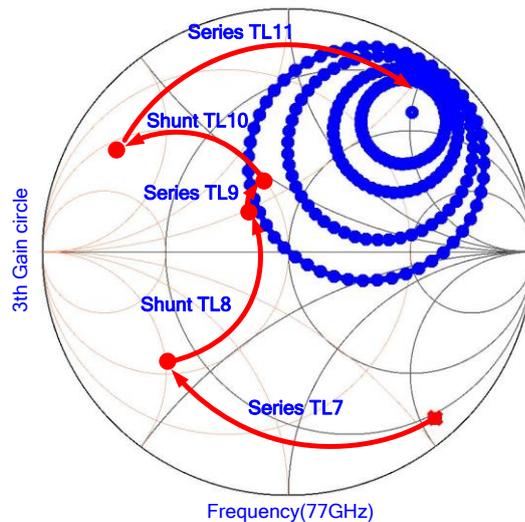


圖 3-34 (b)第二與第三級匹配網路軌跡史密斯

第三級輸出匹配-共軛匹配

最後設計輸出匹配網路，輸出匹配網路要求共軛匹配以獲得最大增益，如圖 3-35(b)所示首先找出輸出共軛阻抗點，接著從史密斯圖 50Ω 出發考量，為了使輸出匹配網路與輸出 RF Pad 連接方便串接一小段 TL12，接著並聯 TL13 再串接 TL14 使阻抗匹配到共軛點以獲得最大增益。

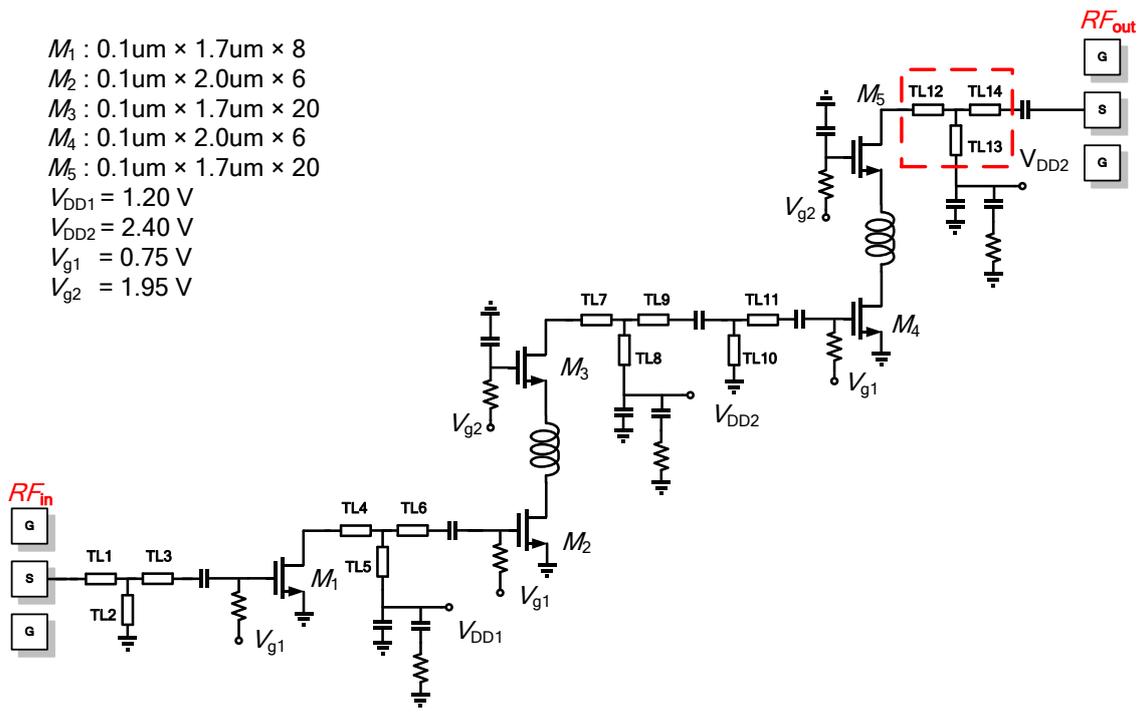


圖 3-35 (a) 第三級與 pad 之間匹配網路架構圖

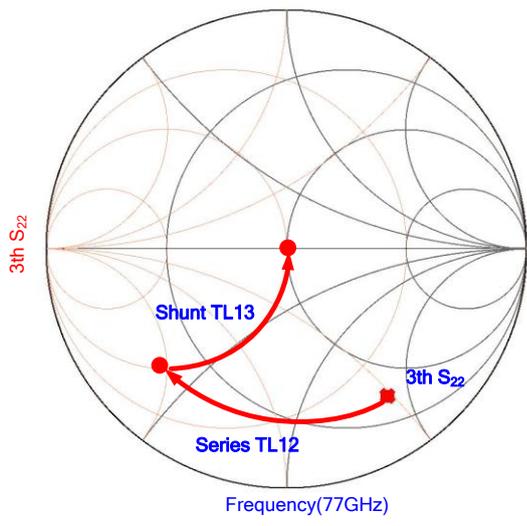


圖 3-35 (b) 第三級與 pad 之間匹配網路軌跡史密斯

匹配網路微調- gate line

當匹配網路設計完成，最後步驟進行微調，使增益頻寬、雜訊指數符合設計要求，放大器設計當 $K=1$ 時可獲得最大增益，而通常匹配網路設計使穩定因子 $K>1(5\sim15)$ 無法得到最佳增益，如圖 3-36 所示，為了解決此問題在疊接放大器的共閘級組態閘級端接上一小段傳輸線 TLG1、TLG2，使其穩定度降低以獲最佳增

益，當未加 gate line 時 k factor 最小值為 6.675，當加上 gate line 時 k factor 降到 5.5，如圖 3-36 所示，當雙級放大器加上 gate line 之後增益獲得提升。

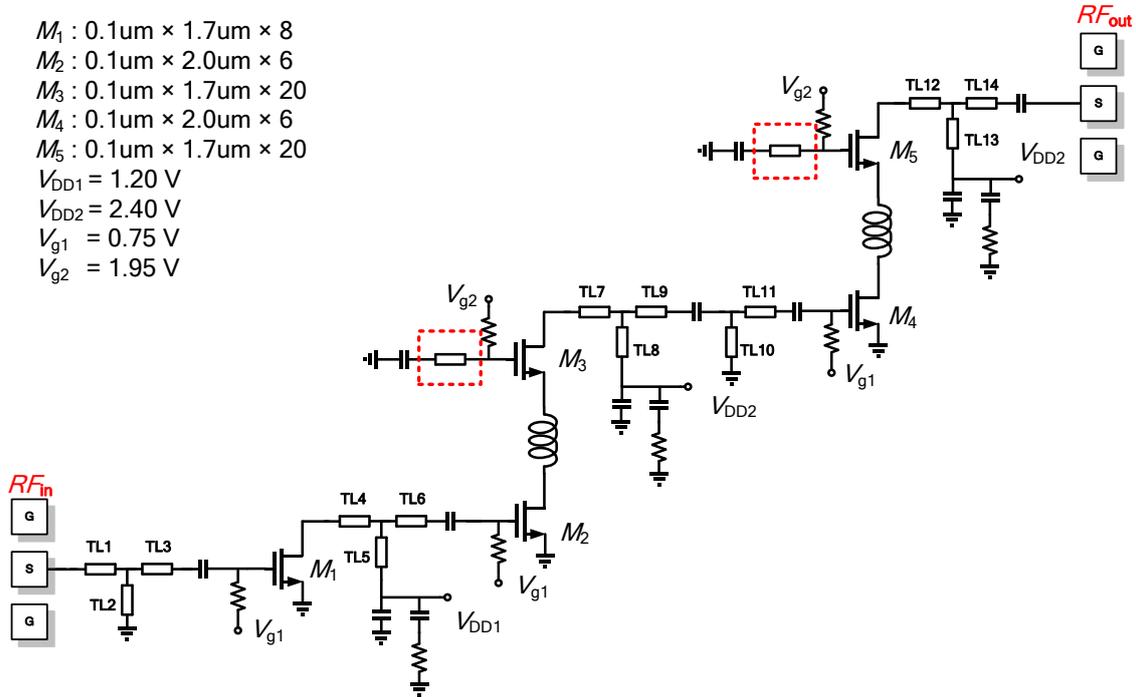


圖 3-36 77 GHz 低雜訊放大器架構圖

3.4 偏壓電路設計考量

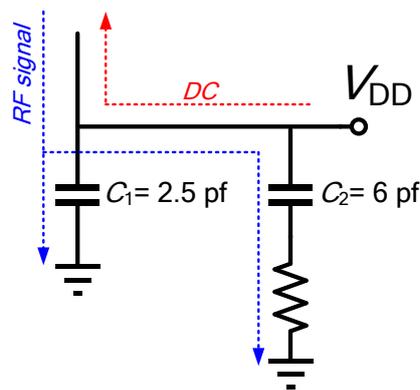


圖 3-37 偏壓電路設計圖

電晶體之偏壓電路設計上，為了區隔直流電壓以及射頻訊號，採用兩個電容和一個電阻所組成兩路電路如圖 3-37 所示，分別掌管不同之頻率訊號，電容 C_1 提供 E 頻帶訊號，一個小阻抗接至地，電容 C_1 由式子 3.19 可以求得理想值為 2.5pF，而電容 C_2 提供一個小阻抗於低頻訊號，因此串聯 15 歐姆使低頻訊號衰減，避免

在低頻產生不必要之震盪，而電容理想值採用 5.8 pF，進一步採用電磁模擬軟體 (SONNET)，分析 TSMC 90 nm 製程之實際電容值，實際上電容值並非只有電容阻抗值，還會考量其寄生電感值，因此如圖 3-38 所示，隔離度在頻率 77 GHz 擁有最低點，表示射頻訊號將在此有低阻抗流入地，並且在低頻損耗上也有不錯的表現。

$$\frac{1}{2\pi f_c C} = 1 \sim 5\Omega \quad (3.23)$$

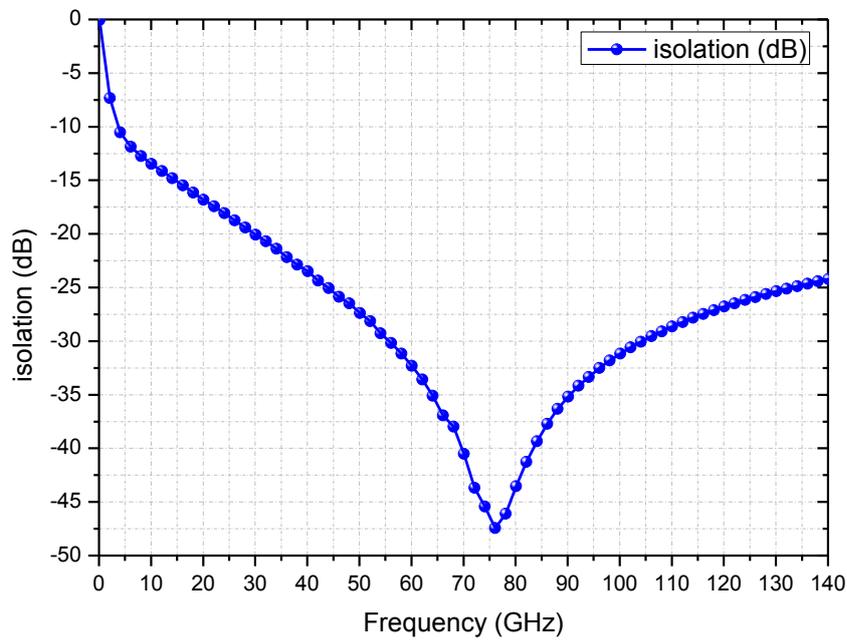


圖 3-38 偏壓電路隔離度分析圖

3.5 模擬結果

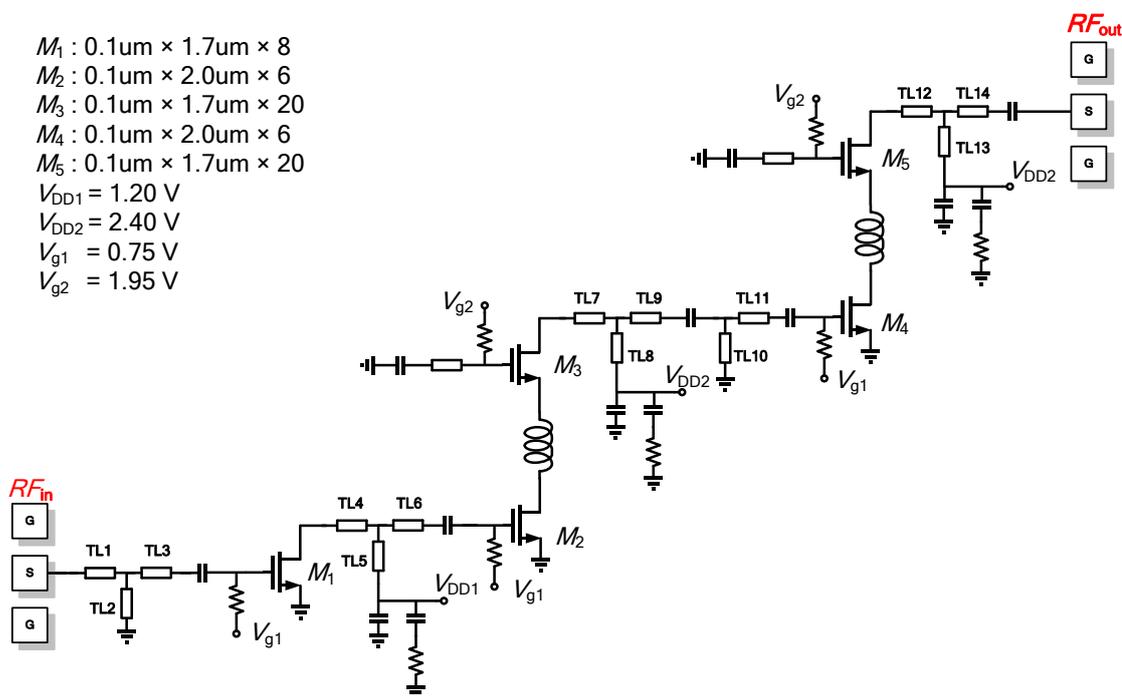


圖 3-39 偏壓電路隔離度分析圖

低雜訊放大器採用 TSMC 1P9M 90 nm Mixed-mode 製程如圖 3-39 所示，使用安捷倫 ADS (Advanced Design System) 模擬其電路分析 S 參數，而架構上所採用之傳輸線電路、電感、電容皆採用 SONNET 電磁模擬軟體進行全波電磁模擬其數值，並帶回 ADS 進行模擬分析，操作頻率為 71 至 77 GHz，供應電壓為 1.2 V 以及 2.4 V，功率消耗為 15.1 mW，圖 3-40 為 S 參數模擬結果，增益 (S_{21}) 之表現方面為 20 dB，輸入輸出反射損耗大於 17 dB，雜訊為此晶片最大考量之一，如圖 3-41，雜訊表現為 6.11 dB，使用 Cadence 設計布局如圖 3-42，設計晶片大小為 $0.596 \times 0.583\text{ mm}^2$ 。

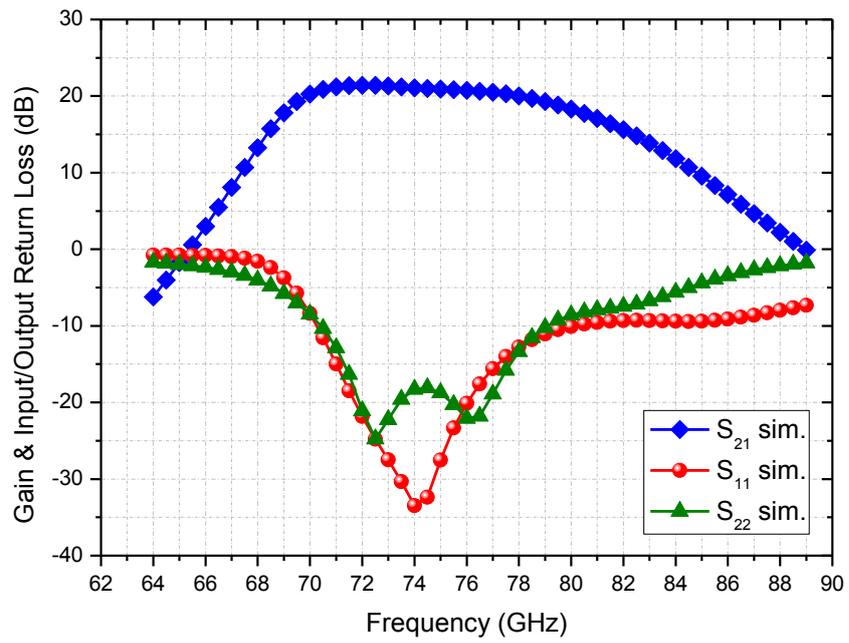


圖 3-40 S 參數模擬結果

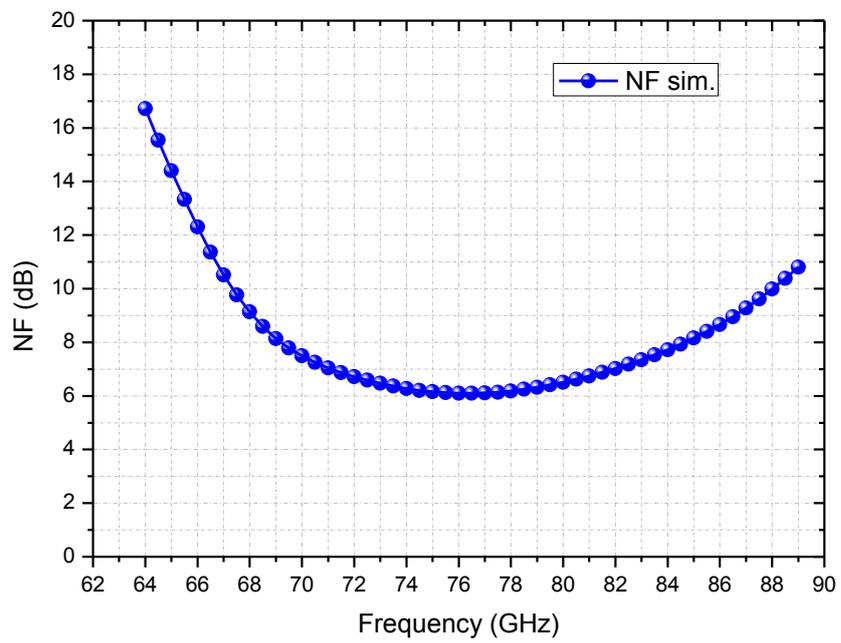


圖 3-41 雜訊指數模擬結果

3.6 模擬與量測結果

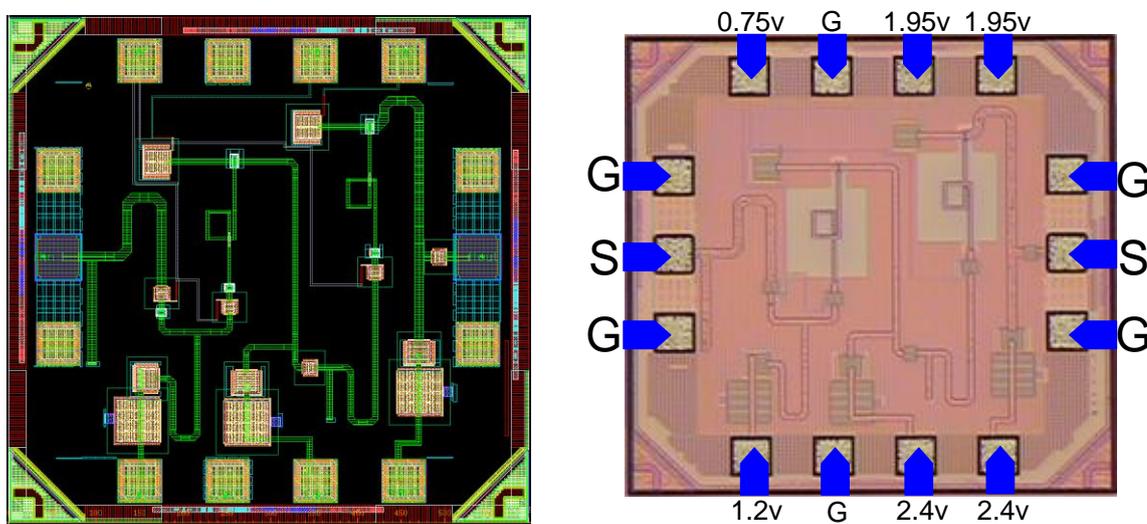


圖 3-42 (a)晶片佈局圖 (b)晶片微影圖

低雜訊放大器採用 TSMC 1P9M 90 nm Mixed-mode 製程如圖 3-42，量測晶片採用 on wafer 方式量測，高頻訊號使用規格 G-S-G RF 探針量測，偏壓採用直流探針提供，S 參數使用向量網路分析儀量測， IP_{1dB} 使用訊號產生器輸入訊號至晶片，晶片輸出訊號透過頻譜分析儀觀察，雜訊指數則使用雜訊源搭配雜訊指數分析儀量測，量測結果與模擬結果比較如圖 3-43、圖 3-44、圖 3-45、圖 3-46、圖 3-47，量測操作頻率為 67 至 84 GHz，供應電壓為 1.2 V 以及 2.4 V 與模擬使用一致，增益表現方面在頻率 73 至 77 GHz 大於 20 dB，輸入反射損耗表現在頻率 72 至 77 GHz 大於 8 dB，輸出反射損耗表現在頻率於 75 至 79 時大於 9 dB，雜訊指數於 74 GHz 時有 6.17dB，功率消耗為 18 mW，如圖 3-48 所示，當量測頻率於 77 GHz 時 OP_{1dB} 為 -7.5 dBm，當量測頻率於 76 GHz 時 OP_{1dB} 為 -7.3 dBm，表 3-6 為 77 GHz 低雜訊放大器之模擬與量測比較表。

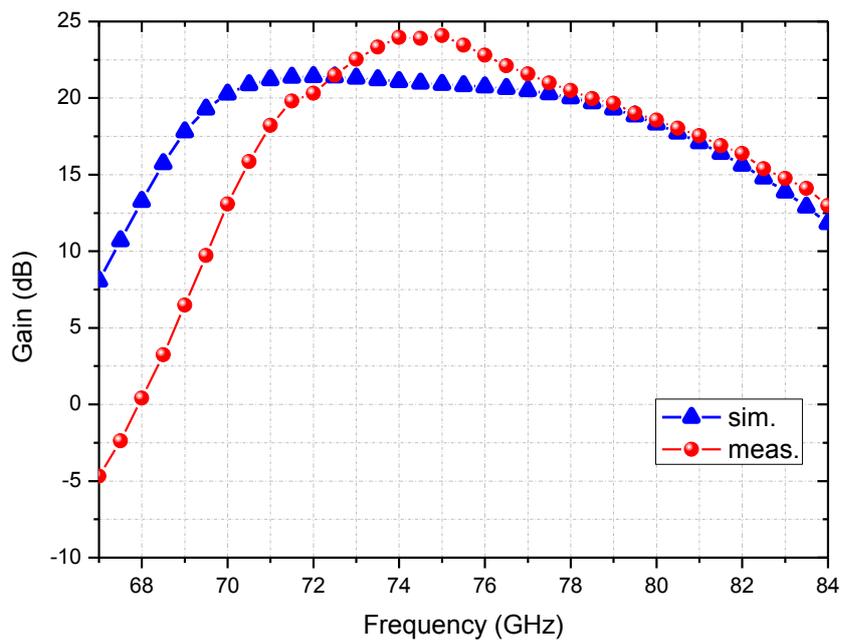


圖 3-43 低雜訊放大器之 Gain

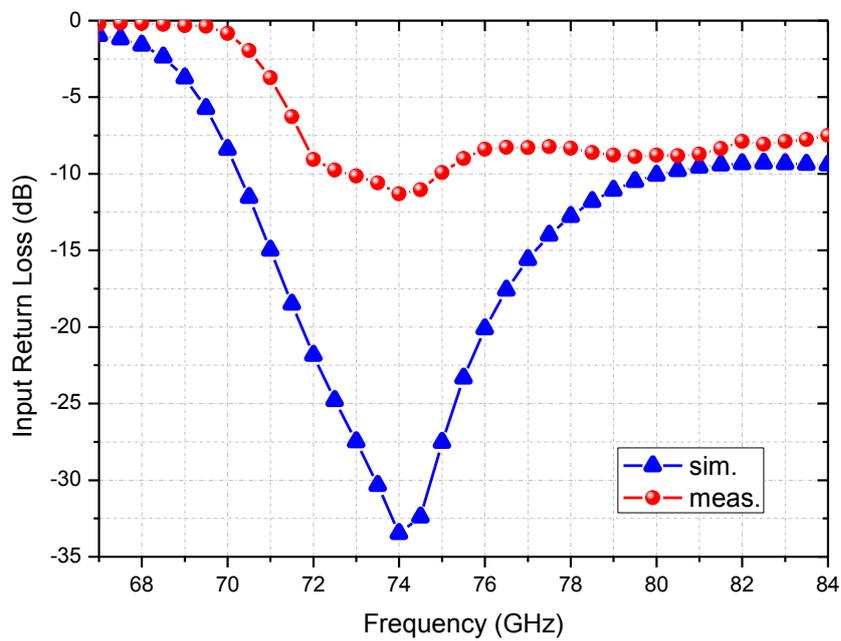


圖 3-44 低雜訊放大器之 Input Return Loss

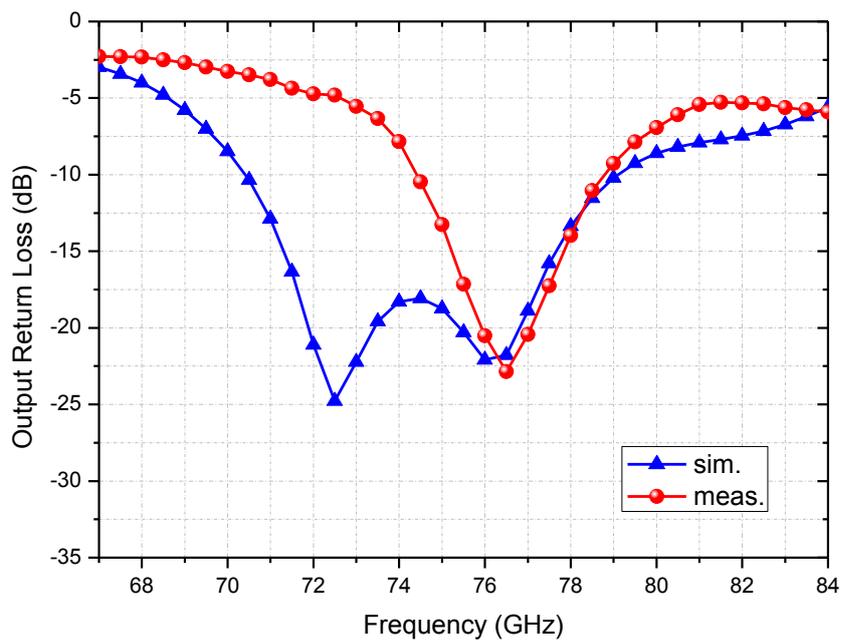


圖 3-45 低雜訊放大器之 Output Return Loss

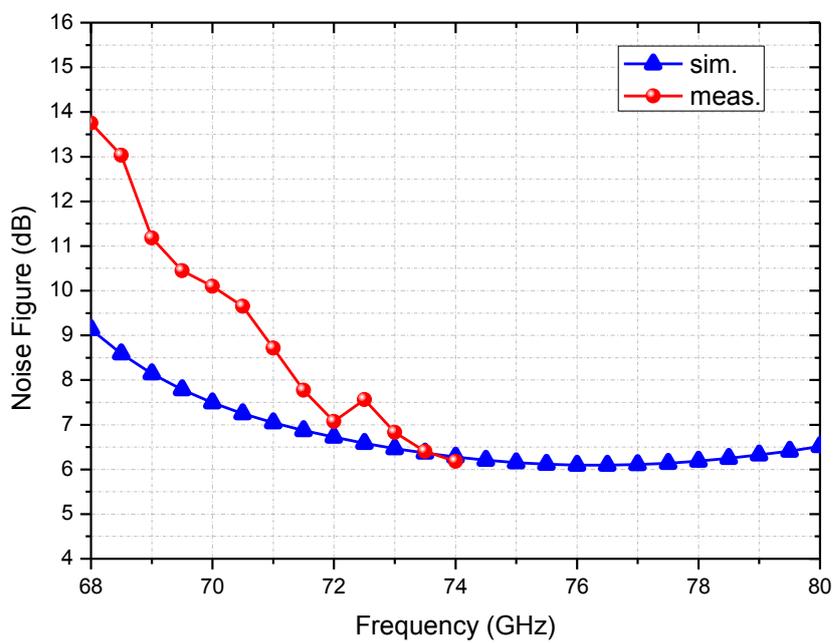


圖 3-46 低雜訊放大器之雜訊指數

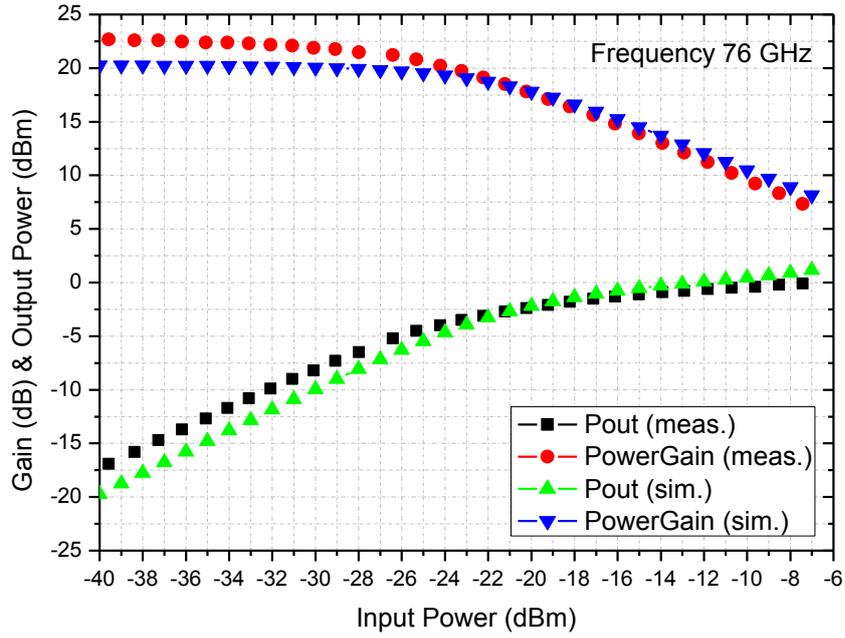


圖 3-47 低雜訊放大器之輸出功率模擬圖

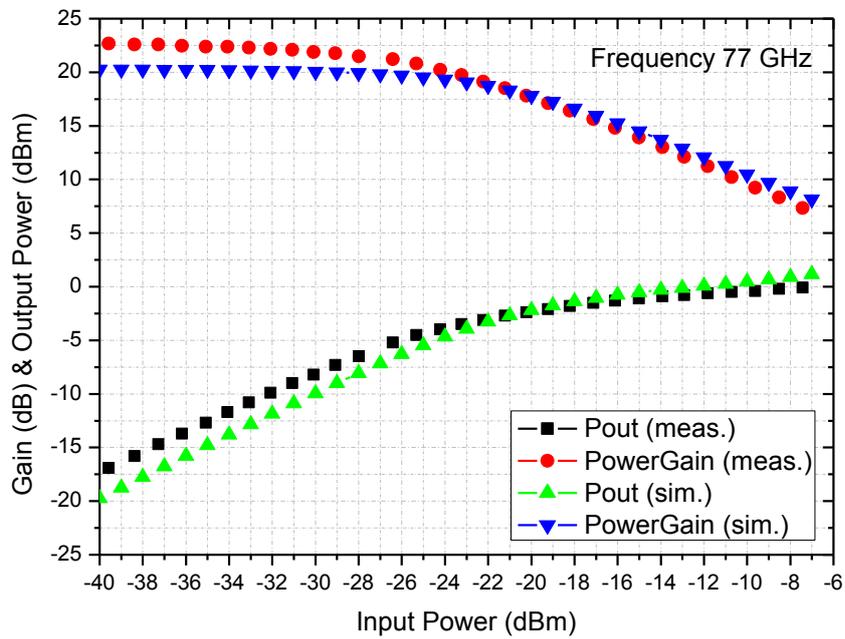


圖 3-48 低雜訊放大器之輸出功率模擬圖

表 3-6 77 GHz 低雜訊放大器之模擬與量測比較表

77 GHz Low Noise Amplifier		
	Simulation	Measurement
Frequency range(GHz)	71 - 77	75 - 77
Power dissipation(mW)	15.1	18
S_{11} (dB)	<-15	<-8
S_{22} (dB)	<-15	<-10
S_{21} (dB)	>20	>20
Noise Figure(dB)	6.0 @ 76.5GHz	6.17 @ 74GHz
OP_{1dB} (dBm)	-5.1 @ 77 GHz	-7.5 @ 77 GHz
	-4.6 @ 76 GHz	-7.3 @ 76 GHz

3.7 結果與討論

本設計於 77 GHz 低雜訊放大器，採用三級串接架構設計，第一級滿足低雜訊之需求，因此採用共源級組態，第二、三級採用疊接組態提供較高之增益以符合系統之需求，供應電壓設計為 1.2 V、2.4 V，整體功率消耗 18 mW，晶片布局面積為 $0.596 \times 0.583 \text{ mm}^2$ ，量測與模擬比較方面，S 參數向高頻飄，73 至 77 GHz 增益較模擬高，而 71 至 72 GHz 較低，反射係數量測與模擬結果比較上較不如預期，雜訊量測表現方面在頻率 74 GHz 時發生最小值為 6.17 dB，與預期模擬分析相近，表示設計的架構之可行性高，以下提出 S 參數不一致之討論。在初次設計 77 GHz 低雜訊放大器時，考量 pad 之寄生電容效應，學長建議電容值應預估於 35 fF，而量測結果與模擬不一致，因此將 pad 做電磁全波模擬分析，進而發現 pad 寄生電容效應為 13 fF 如圖 3-49 所示，並且將此 pad 的 EM 模擬 S 參數帶回 ADS 進行放大器 S 參數模擬，發現此結果將造成輸入反射損耗表現以及輸出反射損耗

表現上，往高頻走的情況，如圖 3-50、圖 3-51 所示。

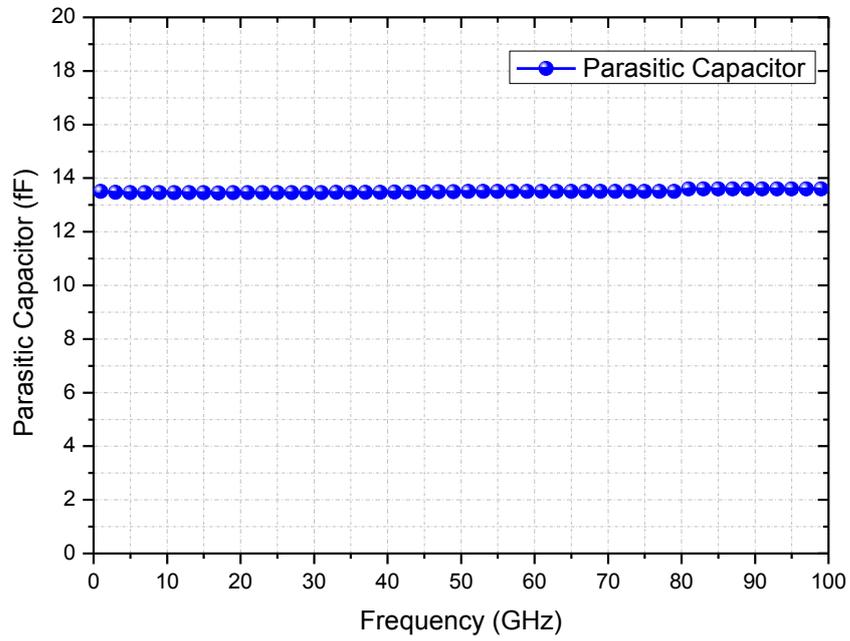


圖 3-49 模擬 Pad 之寄生電容考量圖

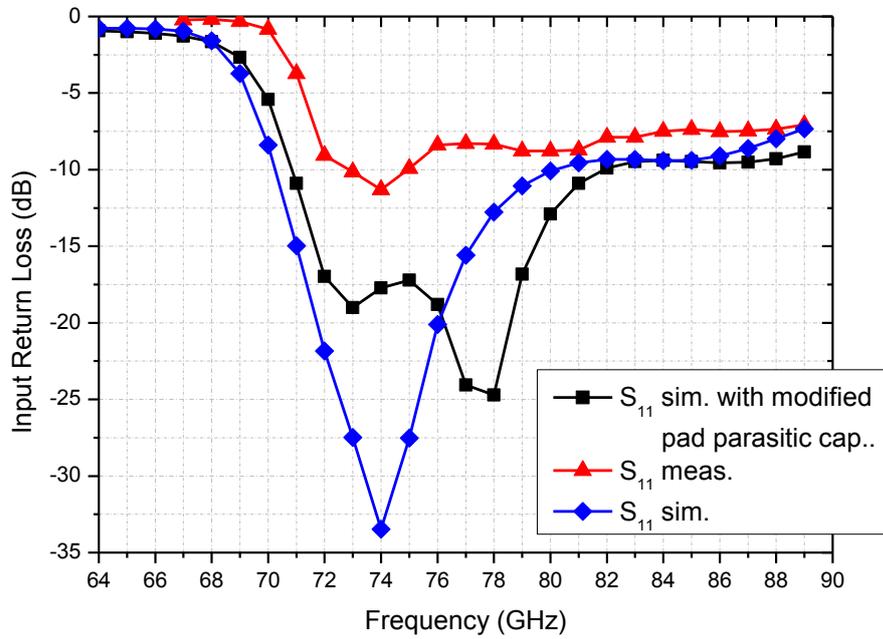


圖 3-50 低雜訊放大器之嵌入損耗參數示意圖

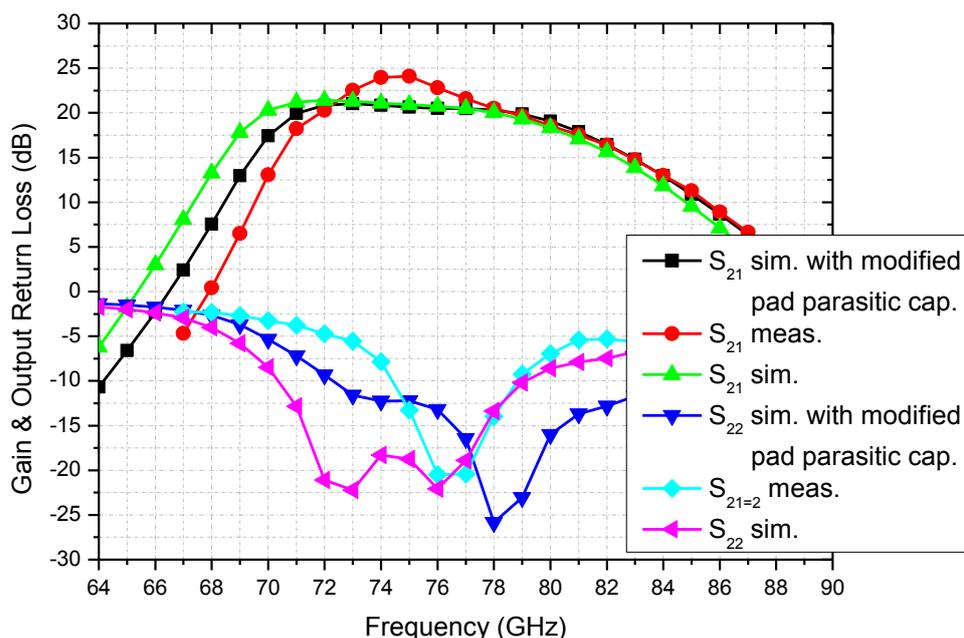


圖 3-51 低雜訊放大器之增益以及嵌入損耗參數示意圖

觀察圖 3-50 與圖 3-51 發現，修正 pad 寄生電容效應雖造成頻率偏移，讓修正後的模擬 S 參數與量測 S 參數較接近，但對於整體放大器 S 參數影響仍有限，顯然除了 pad 寄生電容效應影響之外，還有其他因素讓 S 參數在量測上發生頻飄，因此接下來將討論匹配網路。

如圖 3-55 晶片圖所示，此低雜訊放大器匹配網路皆採用薄膜微帶線(thin-film microstrip line)傳輸線架構，根據本實驗室之前放大器設計的模擬與量測比較經驗，此薄膜微帶線架構的電磁模擬準確度掌握度較高，因此先排除因為薄膜微帶線電磁模擬不準確所造成的頻飄。接著考慮在疊接組態中所用到的螺旋電感電磁模擬準確度，由於此螺旋電感採用無 M1 金屬當參考地之方式設計如圖 3-55 所示本實驗室對無 M1 金屬當參考地這樣的螺旋電感結構之電磁模擬掌握度較低，因此猜測頻飄有可能為此螺旋電感電磁模擬較不準所造成，因此我們試著調整此螺旋電感模擬出來的感值，當此螺旋電感感值由 0.25 nH 往下調至 0.17 nH 時，模擬與量測較為吻合如圖 3-57 以及圖 3-58 所示。相較於薄膜微帶線方式設計電感，無 M1 金屬當參考地這樣的螺旋電感設計可以將疊接組態之共閘級電晶體尺寸控

制在總寬度為 $34\ \mu\text{m}$ 達到最佳匹配，由於用薄膜微帶線方式設計電感之 S 參數與無 M1 金屬當參考地這樣的螺旋電感不一樣，如圖 3-52 所示，前者螺旋電感大小與阻抗分別為 $34\ \mu\text{m} \times 28\ \mu\text{m}$ 以及 $91.05 + j65\ \text{ohm}$ ，後者為 $34\ \mu\text{m} \times 42\ \mu\text{m}$ 以及 $85 + j95\ \text{ohm}$ ，因此必須放大共閘級組態之電晶體尺寸至 $40\ \mu\text{m}$ 才能與前者達到一樣的增益表現，如圖 3-54 所示，但是採用前者方式設計螺旋電感時，卻因為本實驗室對此結構的電磁模擬掌握度較低，而發生量測結果不如預期。

最後我們將考量 pad 之寄生電容效應與修正過後的螺旋電感值帶入電路中，重新模擬 S 參數，如圖 3-57 與圖 3-58 所示，可發現模擬與量測較趨於一致。

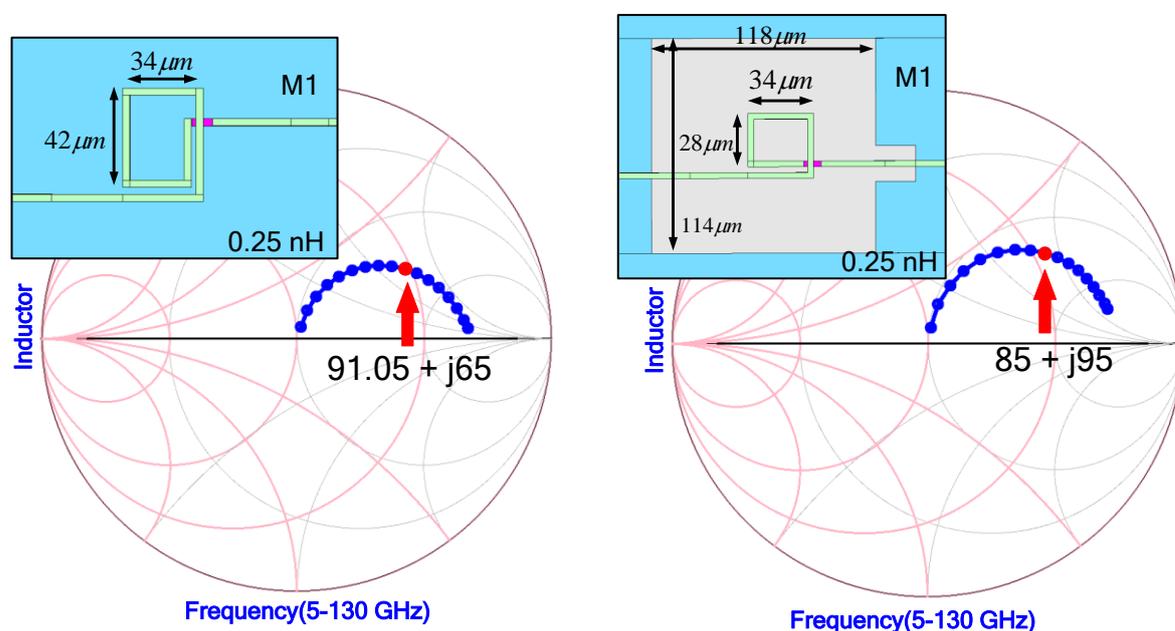


圖 3-52 電感之阻抗示意圖

(a) thin-film microstrip line 電感 (b) 採用無 M1 層金屬當參考地之電感

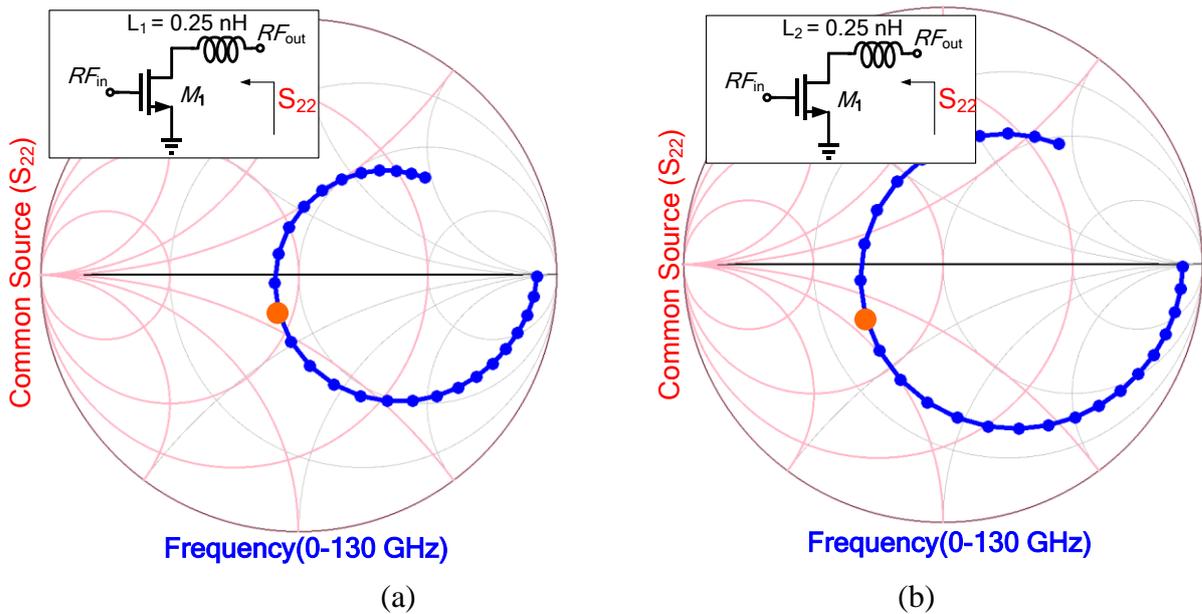


圖 3-53 共源級組態加入電感匹配阻抗示意圖
 (a) thin-film microstrip line 電感 (b) 採用無 M1 層金屬當參考地之電感

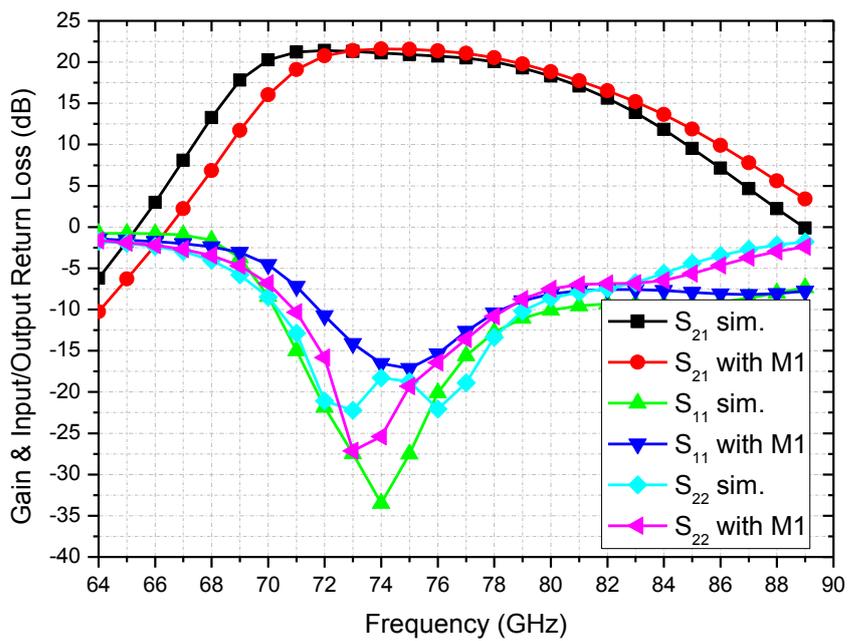


圖 3-54 採用參考地的電感模擬低雜訊放大器之 S 參數圖

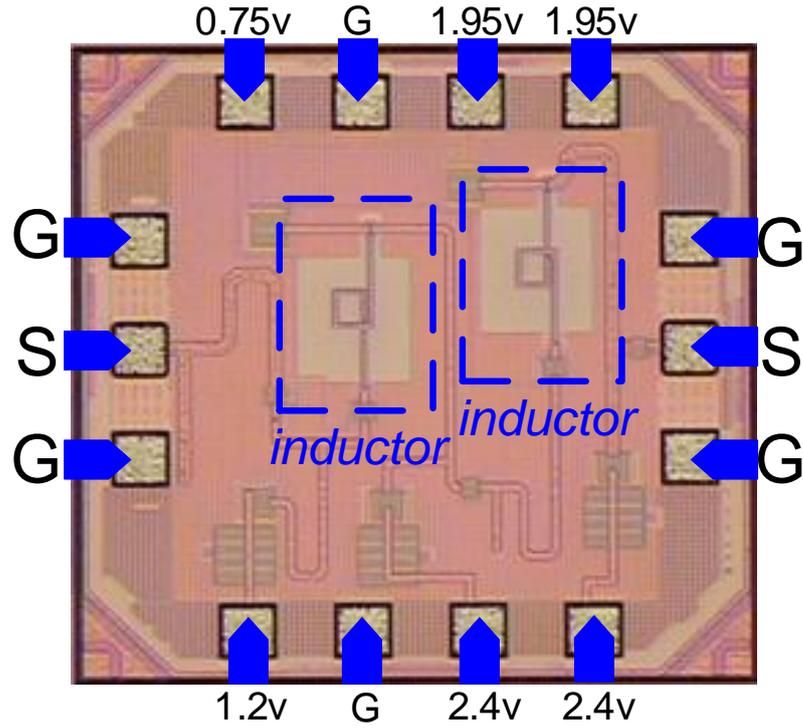


圖 3-55 低雜訊放大器之電感示意圖

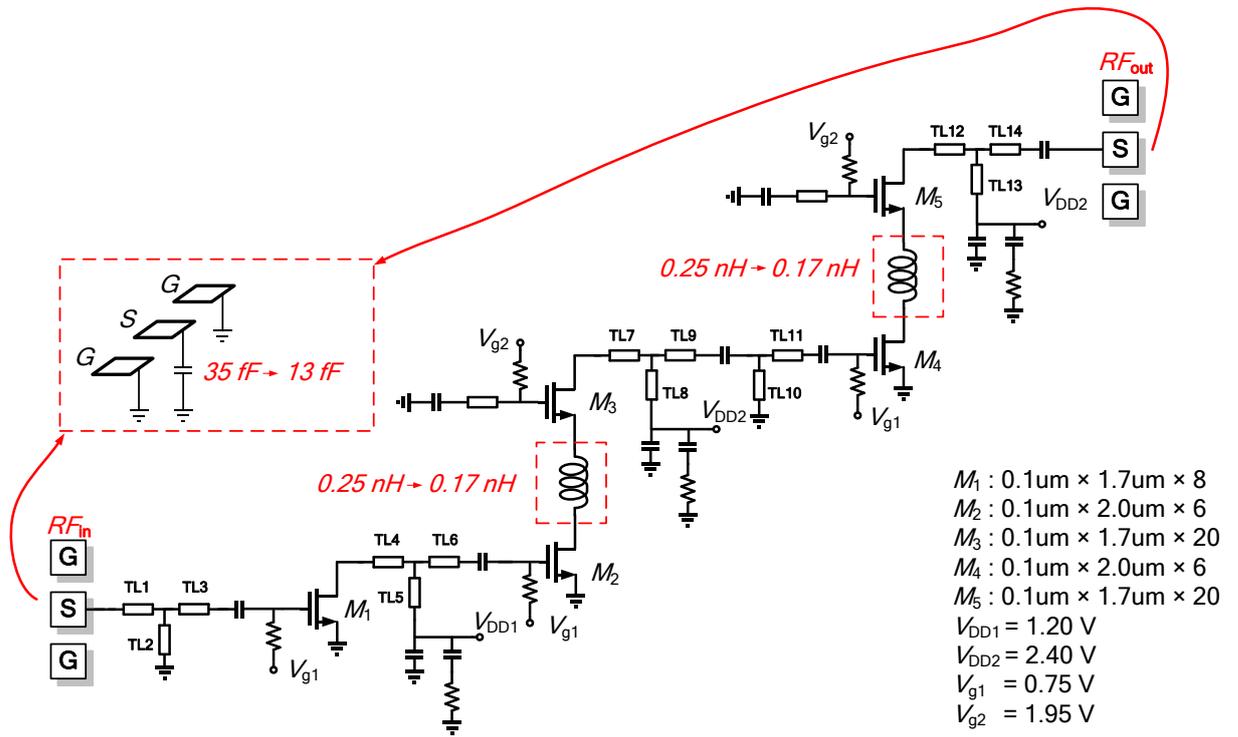


圖 3-56 低雜訊放大器之修改電路圖

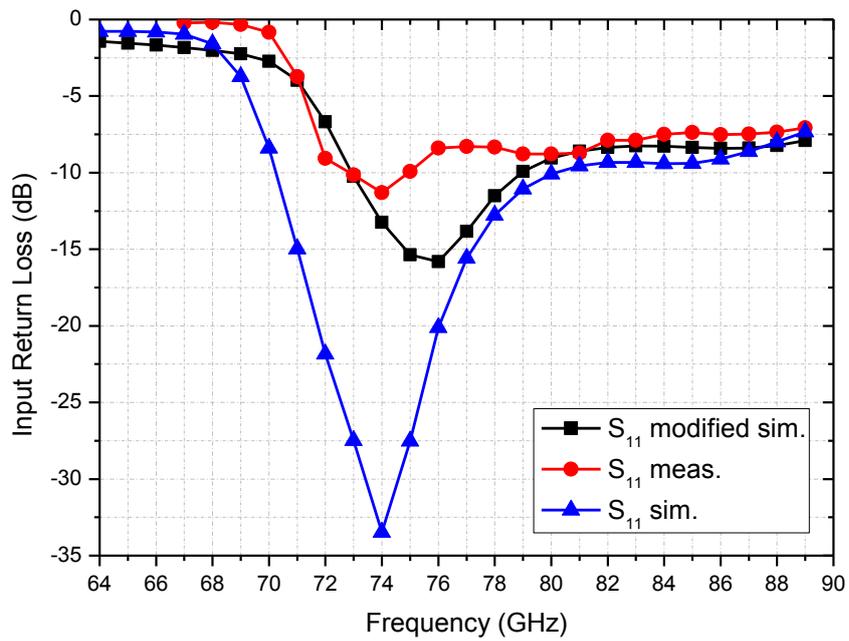


圖 3-57 低雜訊放大器之輸入/輸出反射損耗參數圖

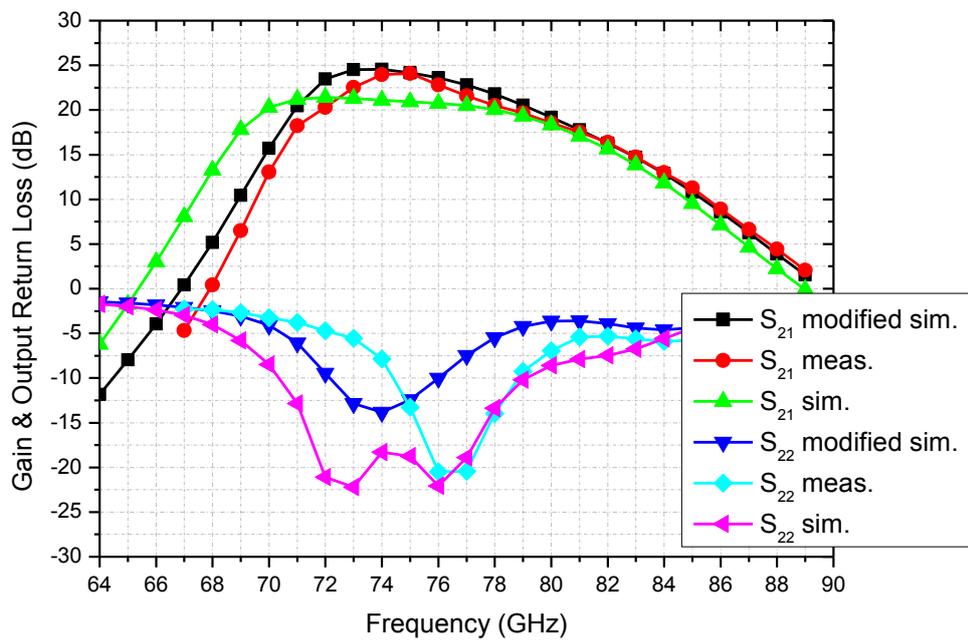


圖 3-58 低雜訊放大器之增益以及輸出反射損耗參數圖

表 3-7 本晶片與已發表論文之比較

Ref.	Technology	Freq. (GHz)	Topology	Gain (dB)	NF(dB)	FOM	Power consumption (mW)
[9]	0.13- μ m CMOS	65-72	3-stage CS	10.9	5.1	3.4	5.4
[10]	90-nm CMOS	65-80	3-Cascode	20	7	1.4	36
[11]	0.13- μ m CMOS	72-80	2-stage Cascode	15	7.3	0.5	36
[12]	0.15- μ m pHEMT	76-78	-	12	4	-	-
[13]	0.13- μ m CMOS	73-78 74-80	4 stage CS	Peak 18.5 @ 75GHz Peak 15 @ 78GHz	6.7 @ 78GHz 6.9 @ 78GHz	0.27 0.5	60 30
[14]	0.1- μ m gate length HEMTs	78-102	3-stage cascode	13 \pm 0.9dB	4.5	-	-
[15]	0.19- μ m pHEMT process	76-77	3-stage CS	15	3.5	0.2	115.2
This work	90-nm CMOS	73-77	1-stage CS + 2-stage cascode	20	6.17@74GHz	0.85	18

$$FOM = \frac{Gain (dB) \times BW (GHz)}{[NF (dB) - 1] \times P_{dc}(mW)}$$

第四章 E band 功率放大器

本章將介紹應用於 E band 之功率放大器，內容包含設計考量參數，匹配網路詳細設計流程，設計之 E band 功率放大器將採用 cascode 組成三級串接架構，第一、二級為驅動放大器，第三級為功率輸出級，此放大器使用 TSMC 90 nm CMOS RF 製程模擬驗證並實現，供應電壓採用 2.4 V，消耗功率為 204 mW。

4.1 功率放大器簡介

射頻發射機中，如圖 4-1 所示，功率放大器為發射端最後一個元件，其主要的是將調變後的較小的信號輸入至放大器，數位訊號經由基頻調變，再由升頻器將中頻(Intermediate Frequency)訊號轉升至射頻(Radio Frequency)，此時必須使用功率放大器來提升訊號功率送上天線發射。

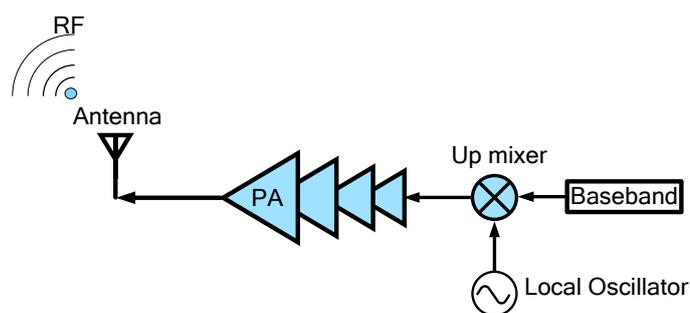


圖 4-1 E band 發射機系統架構圖

功率放大器在發射機(Transmitter)中提供足夠的訊號功率，最後達到系統規格的功率再將功率輸出，此功率是一個非常大的大訊號，因此在功率放大器模擬時，不將在使用小訊號分析，必須使用大訊號參數作為考量重點，理想的寬頻放大器條件是在工作頻寬內，要有穩定的增益以及非常良好的輸入輸出阻抗匹配(Input & Output Matching)。

- 增益(Gain)

增益定義為放大器之輸出功率比上輸入功率之比值

$$G = 10\log_{10} \frac{P_{out}}{P_{in}} \quad (4.1)$$

小訊號增益為放大器的放大指數，理想放大器當輸入功率很小，近似理想放大器，此時的功率增益稱為小訊號增益。

- 頻率範圍 (Frequency Range)

功率放大器的工作頻段，通常在規格頻段內增益維持平坦。

- 輸出功率與 P_{1dB} 增益壓縮點 (P_{1dB} Compression Point)

信號功率輸出定義為

$$P_{out} = \log \frac{P_{OUT,mW}}{1 mW} (dBm) \quad (4.2)$$

由於主動元件在一定大小的輸入功率放大信號時，會產生非線性的特性關係，放大器的增益隨著輸入功率的增大而逐漸減小，亦即輸出信號的功率並非是可以無止境的增大，故定義放大器的線性工作範圍上限，當輸出的增益比小信號線性增益小 1dB 時的輸出功率值作為上限，此時稱之為 1dB 增益壓縮點(P_{1dB} Compression Point)，

- 阻抗匹配(Impedance Matching)

放大器輸入輸出與各級電路之中必須做良好的阻抗匹配，使訊號以最大功率進入放大器並傳送至下電路。

- 失真 (Distortion)

諧波失真 (Harmonic Distortion)，為功率放大器放大主訊號之外，也將各次諧波項訊號放大了，此現象容易干擾其他頻帶信號，因此在各無線通訊系統規範上均有明確的規定，必須遵守，以及減少失真項放大。

互調失真(Intermodulation Distortion ,IMD)，理想的放大器是當輸入兩個不同頻率的訊號時，只會輸出兩個振幅放大且頻率不變之訊號，但由於放大器的非線性效應，會

造成不同頻率的信號產生交互調變作用，然而其中有兩項調變訊號為 $(2f_1 - f_2)$ 和 $(2f_2 - f_1)$ 會影響主頻訊號頻譜，因為在於這兩項調變項離主頻訊號相當的近，使用濾波器也相當難以消除。若失真過於嚴重，則三階交互調變失真將會干擾其他頻道，相對的別的頻道也會干擾自己。若要求相當高規格的調變系統，例如 QPSK，則三階交互調變失真會使得位元錯誤率上升，因此必須抑制三階交互調變失真為設計電路重要考量之一。

三階交互調變失真定義關係式為

$$\begin{aligned} P_{IP3}(dBm) &\cong P_{1dB}(dBm) + 10.6dB \\ &\cong P_{f_1}(dBm) + \frac{1}{2} \cdot \delta \end{aligned} \quad (4.3)$$

為了表示三階交互調變失真之大小，定義出交會點(intercept point: IP)，主要考量三階交會點，三階截斷點為基頻信號功率和三階互調失真信號功率的虛擬延長線的交點

IP_3 的定義為假設主訊號增益和三次交互調變失真增益的直線部分延伸相交之點，即為三階交互調變交會點。

- 效率(Efficiency)

效率主要辨別此電路設計上的直流功率轉換成輸出的射頻訊號功率之轉換率，由於在設計功率放大器上，希望直流功率能完全轉換成輸出的交流訊號功率，但實際上大部分能量將會轉換成熱能或其他功率上的損耗，因此在設計電路上考量效率提升，效率提升也有助於減少功率上的損耗過多。功率放大器之效率定義為：

$$\eta_t = \frac{P_{out}}{P_{DC} + P_{in}} \quad (4.5)$$

4.2 功率放大器電路設計

4.2.1 電晶體偏壓設計

功率放大器選擇電晶體偏壓為優先考量，通常供應電壓(V_{DD})由系統決定其大小，其偏壓為 $V_{DD} = 1.2 V$ ，再者選擇的是閘源級偏壓(V_{gs})大小， V_{gs} 選擇的主要考量下表 4-1 及圖 4-2，Class A [16]為最基本且最簡單的功率放大器，主要優點是線性度為所有放大器中最高的，但其缺點則是效率不及其他任何類型之功率放大器，效率值僅達到 50%，相對的 Class AB 功率放大器，擁有較高的效率但線性度不及於 Class A，然而這次設計功率放大器將選擇於 Class A 及 Class AB 之間， $V_{DD} = 1.2 V, V_{gs} = 0.9 V$ 。

表 4-1 電晶體偏壓比較表

Biasing(Class A)	$V_{DD} = 1.2, V_{gs}=1$
Drain Current	$I_d = 31mA$
Biasing	$V_{DD} = 1.2, V_{gs}=0.9$
Drain Current	$I_d = 24.3mA$
Biasing(Class AB)	$V_{DD} = 1.2, V_{gs}=0.75$
Drain Current	$I_d = 14.5mA$

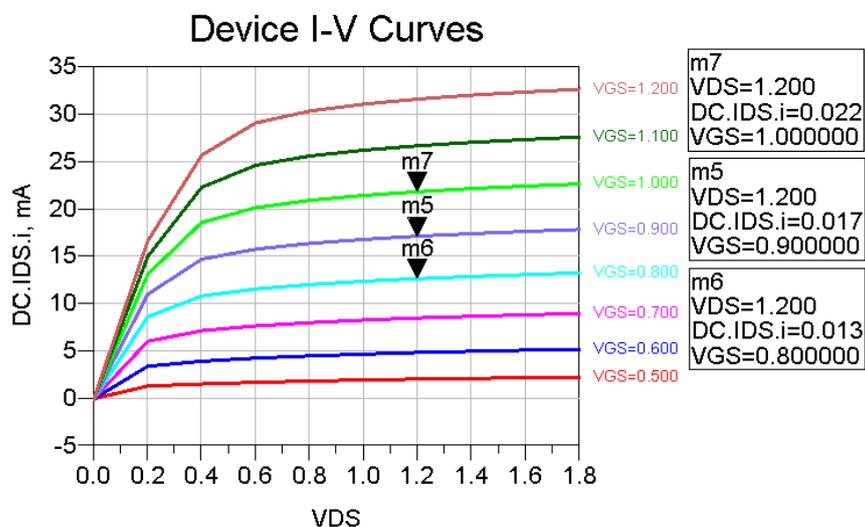


圖 4-2 V_{DS} vs. I_{DS} 曲線圖

4.2.2 共源級組態分析

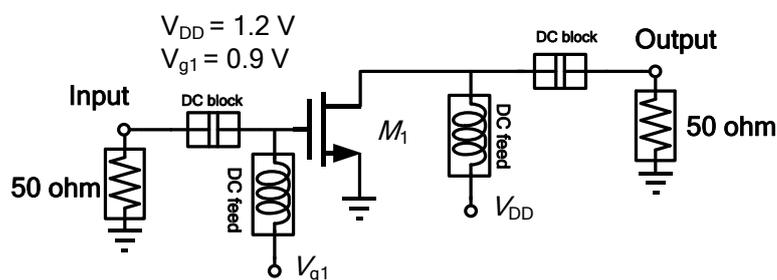


圖 4-3 共源級組態之電路圖

電晶體可調整的參數有通道長度(channel length)、通道寬度(channel width)、指叉數(number of finger)，選擇電晶體大小的主要考量參數為最大穩定增益、最大功率輸出點，通常設計上電晶體的通道長度選擇最小通道長度，在 TSMC CMOS 90nm RF 製程中最小通道長度為 $0.1 \mu\text{m}$ ，接著針對電晶體在通道長度為 $0.1 \mu\text{m}$ 、電晶體的通道寬度為 $2 \mu\text{m}$ 時，對不同的指叉數作圖分析(如圖 4-4)。

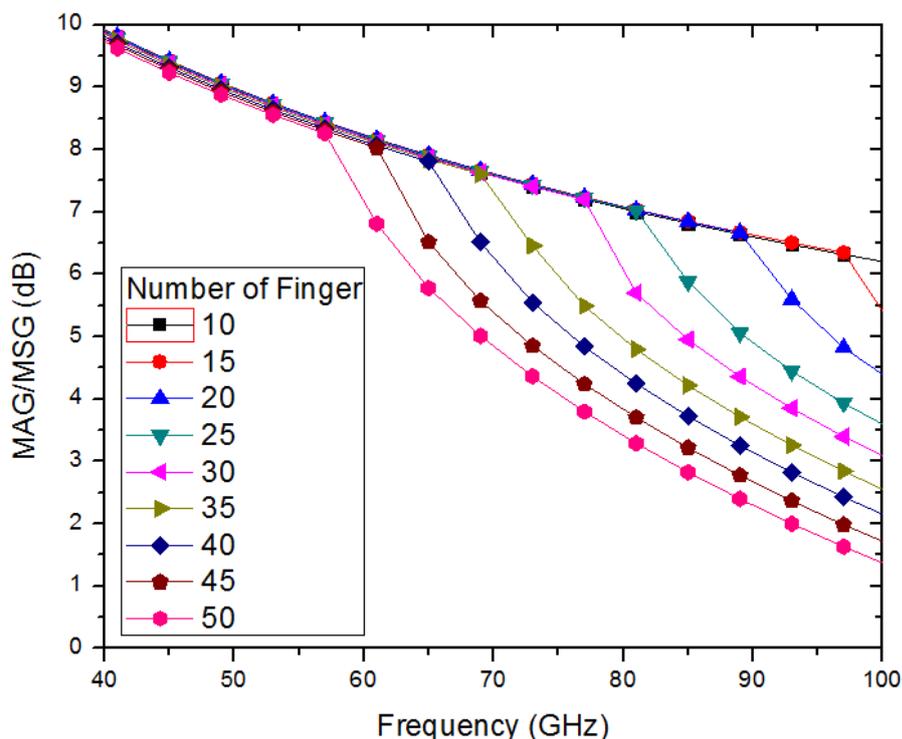


圖 4-4 共源級組態之不同指差數分析之最大穩定/可用增益(MSG/MAG)頻率響應圖

圖 4-4 得知，若 common source 電晶體選擇在指差數為 10、15、20、25、30 時，在頻率為 77 GHz 之 MAG/MSG 分別為 7.205 (dB)、7.234 (dB)、7.229(dB)、

7.220 (dB)、7.220 (dB)、7.196 (dB)，因此我們將 Number of Finger 選擇在 10~30 左右，指差數大於 30 之 77 GHz 的 MSG 由於穩定狀態下，已經沒有比較低的指叉數擁有較高的增益，因此大於 30 之數值我們將不採用及分析。

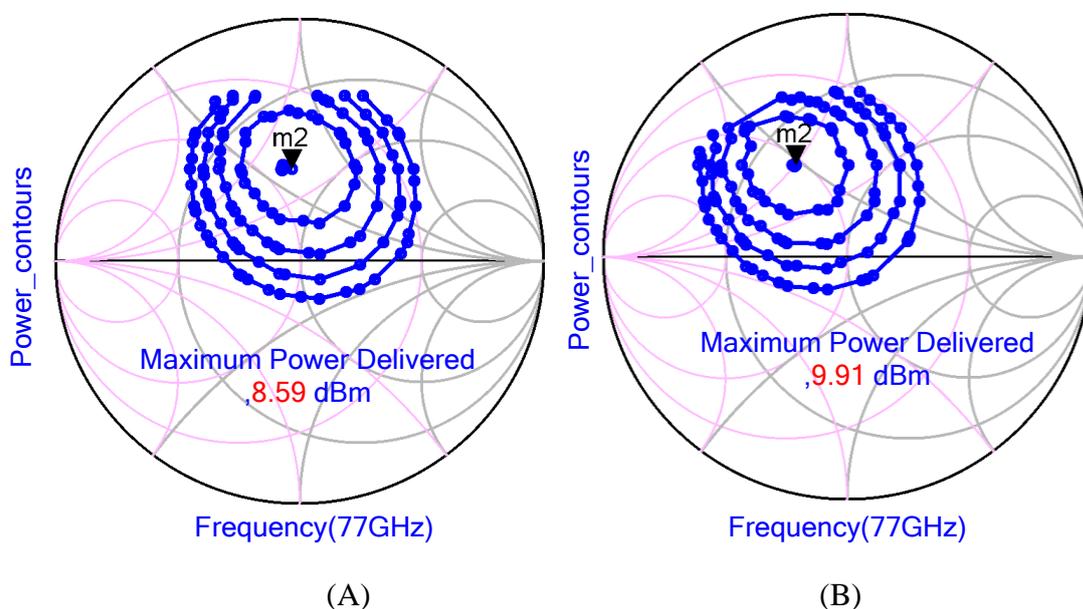


圖 4-5 load-pull 模擬最大輸出功率以及功率負載點

使用 Load-Pull 模擬電晶體大小為 $0.1 \mu\text{m} \times 2 \mu\text{m} \times 20$ ，由圖 4-5(A)其得知阻抗點位於 35 歐姆最大功率輸出為 8.59 dBm，若將電晶體大小放大 $0.1 \mu\text{m} \times 2 \mu\text{m} \times 30$ ，由圖 4-5(B)所示，最佳功率輸出阻抗點將降低為 25 歐姆然後功率輸出增加為 9.91 dBm，分析此結果得知，越大的電晶體有較大的功率輸出，相對的越大的電晶體在高頻 77 GHz 時，可能趨於穩定，最大可以用增益相對較少，因此在電晶體大小選擇上，要在之中取捨，並設計出系統所需規格。

4.2.3 疊接組態分析

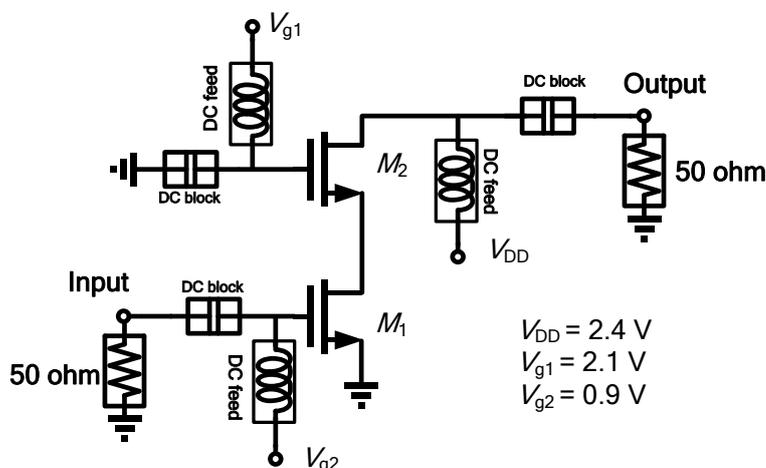


圖 4-6 共源級組態之電路圖

針對共源級組態作最大穩定/可用增益，將針對疊接組態作最大穩定/可用增益作分析設計，疊接放大器是由共源級組態(M_1)及共閘級組態(M_2)所組成，疊接放大器主要由共源級組態提供足夠轉導來放大訊號，而共閘級組態則是提供了高輸出阻抗，使疊接組態放大器可提供較高增益，因此下圖 4-7 將模擬疊接組態以不同指叉數模擬其最大穩定/可用增益(MSG/MAG)。

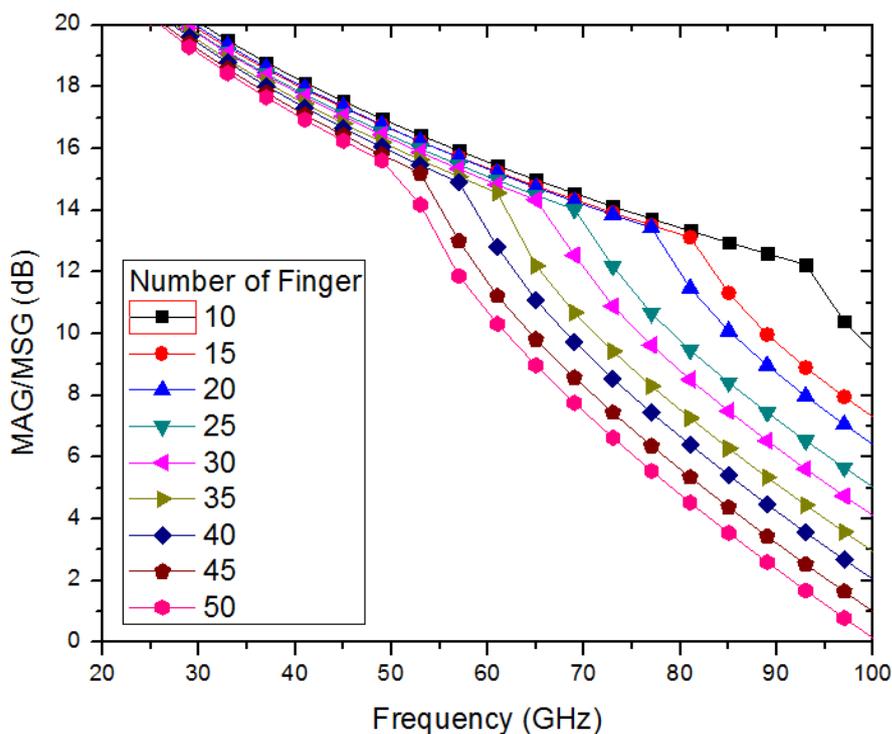


圖 4-7 疊接組態之不同指差數分析之最大穩定/可用增益(MSG/MAG)頻率響應圖

針對疊接組態作最大穩定/可用增益分析，由圖 4-7 得知，在不同指叉數下之最大穩定/可用增益(MSG/MAG)頻率響應圖，當疊接組態之指叉數為 10、15、20、25 時，其 MAG/MSG 為 13.722 (dB)、13.515 (dB)、13.433 (dB)、10.660 (dB)，由此數據看出，在指叉數為 25 時，其 K 值已大於 1，而增益相對減少滿多，因此若考慮疊接組態電路，指叉數應考量為 25 左右之分析。

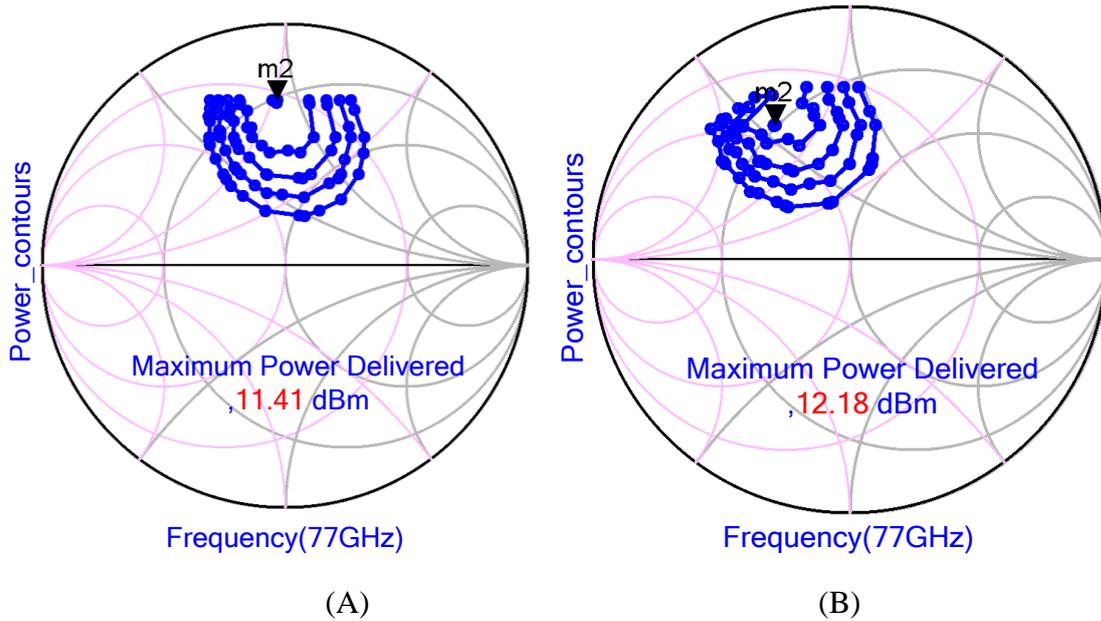


圖 4-8 load-pull 模擬疊接組態最大輸出功率以及功率負載點

使用 Load-Pull 模擬電晶體大小各為 $0.1 \mu\text{m} \times 3 \mu\text{m} \times 20$ ，由圖 4-8(A)其得知阻抗點位於 17.5 歐姆最大功率輸出為 11.41 dBm，若將電晶體大小放大至 $0.1 \mu\text{m} \times 3 \mu\text{m} \times 30$ ，由圖 4-8(B)所示，最佳功率輸出阻抗點將降低為 30 歐姆然後功率輸出增加為 12.18 dBm，分析此結果得知，越大的電晶體有較大的功率輸出，相對的越大的電晶體在高頻 77 GHz 時，可能趨於穩定，最大可以用增益相對較少，因此在電晶體大小選擇上，要在之中取捨，並設計出系統所需規格。

4.2.4 共源級與疊接組態分析與比較

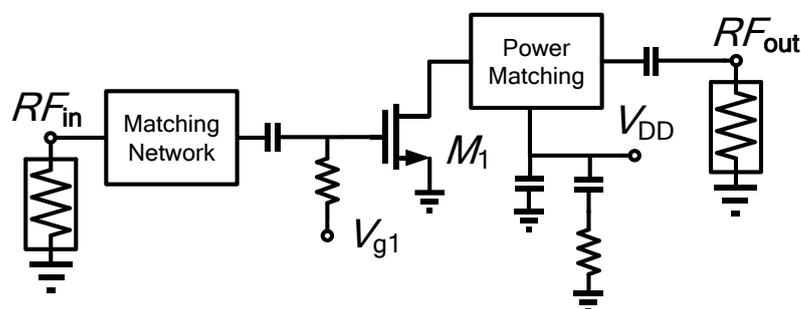


圖 4-9 共源級阻抗匹配示意圖

由上一節模擬共源級電路，結果分析當頻率為 77 GHz 提供的最大穩定/可用增益(MSG/MAG)頻率響應圖表現為 7 dB，然而在設計功率放大器時，必須找出電晶體的功率輸出最佳阻抗點，因此在匹配網路時並非是做一個完整的共軛匹配，如圖 4-9，導致增益將低於 5 dB 甚至更低，若使用共源級組態來設計功率放大器，則其增益可能達不到系統所需要之增益規格。疊接組態在增益上相對於共源級組態提增許多，在設計高頻(77 GHz)之功率放大器，並不會有此增益上的困擾，因此將採用疊接組態。

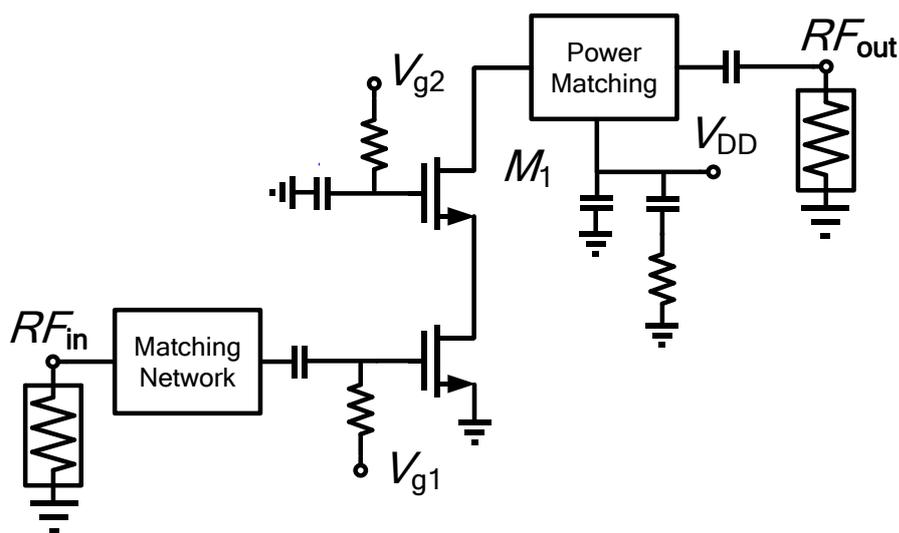


圖 4-10 共源級阻抗匹配示意圖

疊接組態在電晶體大小的考量上主要是依據增益大小、最大輸出功率大小，

下圖為電晶體在指叉數為 20~30 時，模擬其最大穩定/可用增益(MSG/MAG)，當 77 GHz 模擬指叉數為 20、22、24、26，其 MSG 為 13.433 (dB)、12.364 (dB)、11.404 (dB)、10.723 (dB)。

指叉數為 26 時，增益為 10.723 (dB)，此時以滿足系統所需之增益規格，因此不選擇較小之電晶體，而選擇指叉數為 26，如圖 4-12(A)，相較於 24、22、20 有較高的功率輸出，如圖 4-12(B)。

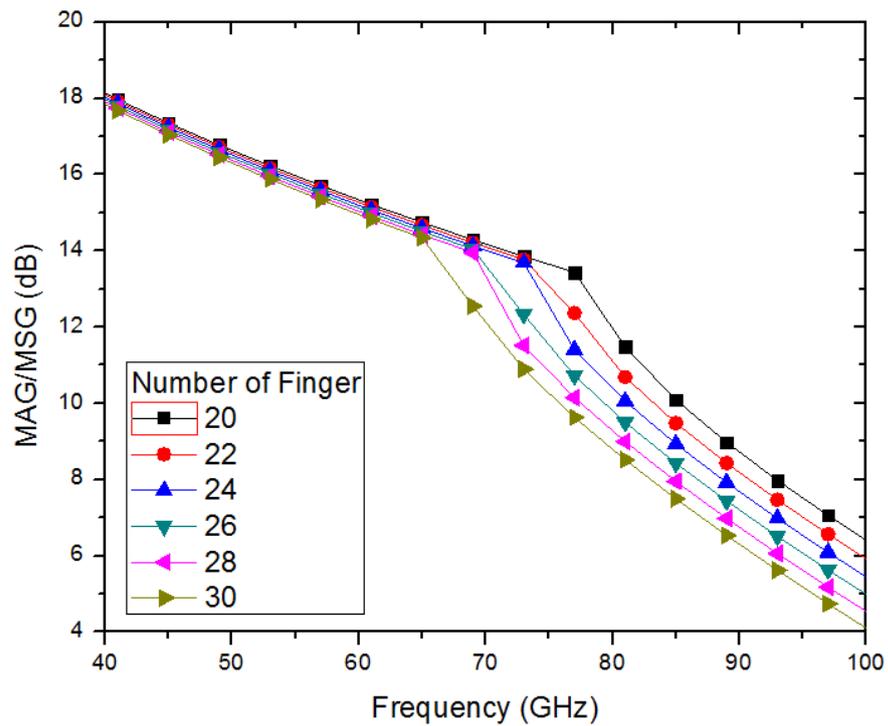
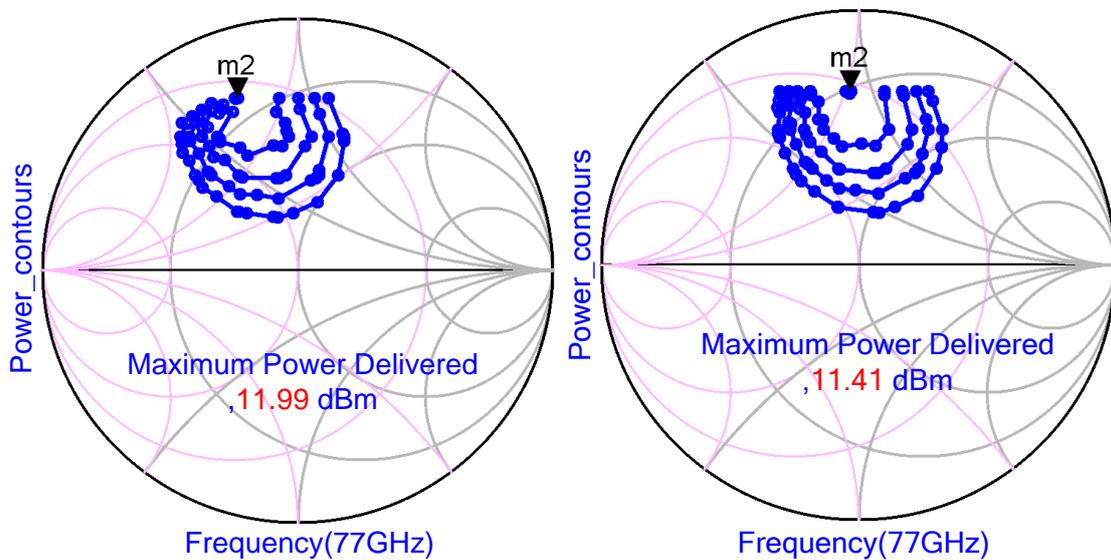


圖 4-11 疊接組態之不同指差數分析之最大穩定/可用增益(MSG/MAG)頻率響應圖



(A)

(B)

圖 4-12 load-pull 模擬疊接組態最大輸出功率以及功率負載點

4.2.5 三級串接放大器

E band 功率放大器設計常採用多級串接的方式提供系統足夠增益，如圖 4-13，以及並聯方式來滿足系統所需之輸出功率。

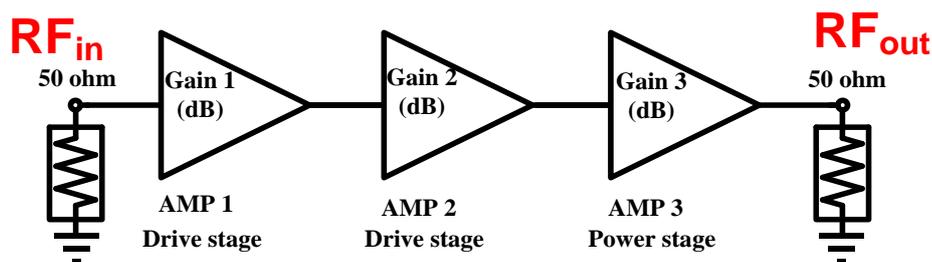


圖 4-13 E 頻帶低雜訊放大器架構圖

- 增益: 在 n 級串接系統中整體系統增益如。

$$\text{Gain(dB)} = \text{Gain}_1(\text{dB}) + \text{Gain}_2(\text{dB}) + \dots + \text{Gain}_n(\text{dB}) \quad (4.6)$$

- 功率消耗: 串接系統中功率消耗，為各級功率消耗之總和。

$$P_{dc} = P_{dc1} + P_{dc2} + \dots + P_{dc(n)} \quad (4.7)$$

- 效率(Efficiency)

效率主要辨別此電路設計上的直流功率轉換成輸出的射頻訊號功率之轉換率，由於在設計功率放大器上，希望直流功率能完全轉換成輸出的交流訊號功率，但實際上大部分能量將會轉換成熱能或其他功率上的損耗，因此在設計電路上考量效率提升，效率提升也有助於減少功率上的損耗過多。功率放大器之效率定義為:

$$\eta_t = \frac{P_{out}}{P_{DC} + P_{in}} \quad (4.8)$$

- 最大功率輸出(Maximum Power Delivered)

最大功率輸出為功率放大器最重要參數，通常會模擬電晶體，尋找其最佳匹配位子，進而設計出最大功率放大器。

功率放大器主要是由三級 cascode 所組成，第三級為 power stage 提供較大的

power 輸出所以在最後輸出端做 power match 的匹配動作，而在第二級與第三級之間的 inter stage 作為 power match 以及 conjugate match 的動作，第一級 drive stage 提供較大的增益及驅動 power，第二級為 Drive stage 也是提供較大增益以及驅動 Power 至下一級，但為了減少不必要之功率消耗，必須考量其電晶體大小設計，在 Power stage 上最大輸出功率為 6 dBm，因此理論上，第二級之電晶體大小為 Power stage 之四分之一，以推動 Power stage，但為了確保實際上電晶體放大電路沒有意外，將提升一半(3 dBm)，而整體的大小為 1:2:4，電路圖架構由圖 4-14 所示

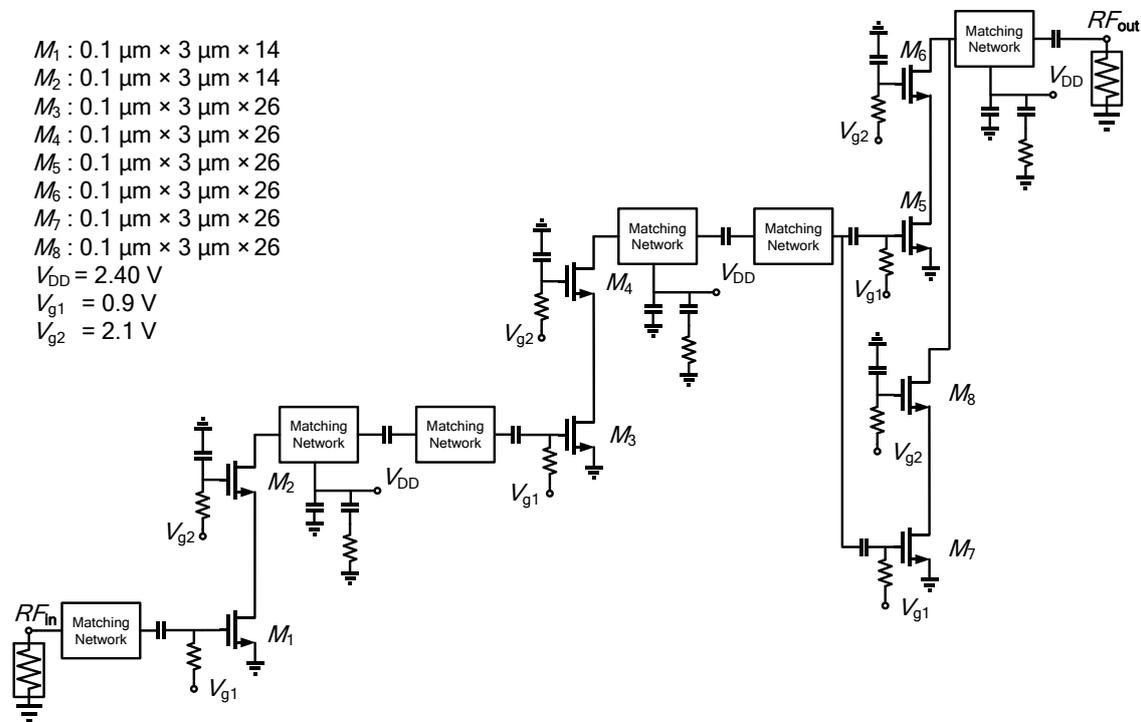


圖 4-14 E 頻帶功率放大器架構圖

4.2.6 偏壓電路設計考量

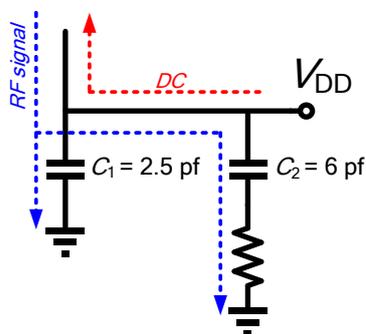


圖 4-15 偏壓電路設計圖

電晶體之偏壓電路設計上，為了區隔直流電壓以及射頻訊號，採用兩個電容和一個電阻所組成兩路電路如圖 4-15 所示，分別掌管不同之頻率訊號，電容 C_1 提供 E 頻帶訊號，一個小阻抗接至地，電容 C_1 由式子 4.9 可以求得理想值為 2.5 pF，而電容 C_2 提供一個小阻抗於低頻訊號，因此串聯 15 歐姆使低頻訊號衰減，避免在低頻產生不必要之震盪，而電容理想值採用 5.8 pF，進一步採用電磁模擬軟體 (SONNET)，分析 TSMC 90-nm 製程之實際電容值，實際上電容值並非只有電容阻抗值，還會考量其寄生電感值，因此如圖 4-16 所示，隔離度在頻率 77 GHz 擁有最低點，表示射頻訊號將在此有低阻抗流入地，並且在低頻損耗上也有不錯的表現。

$$\frac{1}{2\pi f_c C} = 1 \sim 5\Omega \quad (4.9)$$

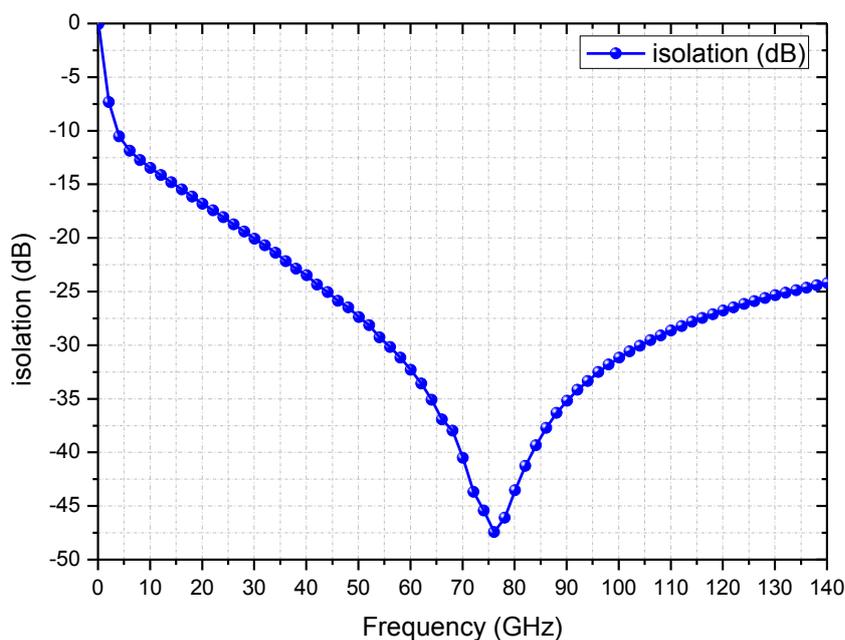


圖 4-16 偏壓電路隔離度分析圖

4.2.7 匹配網路設計

在選擇完三級放大器組態後，接著將設計功率放大器匹配網路，匹配網路採用薄膜微帶線(Thin Film Microstrip Line, TFMS line)實現，使用 TSMC 90 RF 1P9M CMOS 製程，第九層金屬作為訊號線，第一層金屬作為參考地，並採用特性阻抗為 50 ohm，線寬為 10 μm 的傳輸線做為匹配網路

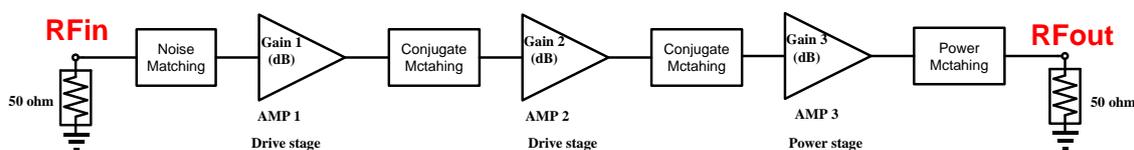


圖 4-17 功率放大器匹配網路示意圖

如圖 4-17 所示，在三級串接功率放大器設計中，輸出級與各級之間採用共軛匹配(conjugate match)，第三級輸出採用 Power Matching，匹配網路設計順序將由輸入級至輸出級，這是由於功率放大器的匹配網路設計首重輸出級的 Power Matching，故希望能先針對輸入級的匹配做精準的 Power Matching 設計，再設計

各級之間匹配網路及輸出匹配網路，最後針對各匹配網路微調以達到良好的效能，以下將列出仔細的匹配網路設計步驟。

輸入匹配網路設計

首先找出共軛點設計共軛匹配網路，採用一階 T 型匹配網路，TL1 主要為連接至 RF Pad 對整體匹配網路只有輕微影響，接著並聯 TL2 再串聯 TL3 使阻抗匹配至共軛阻抗點，阻抗轉移軌跡如圖 4-18 所示。

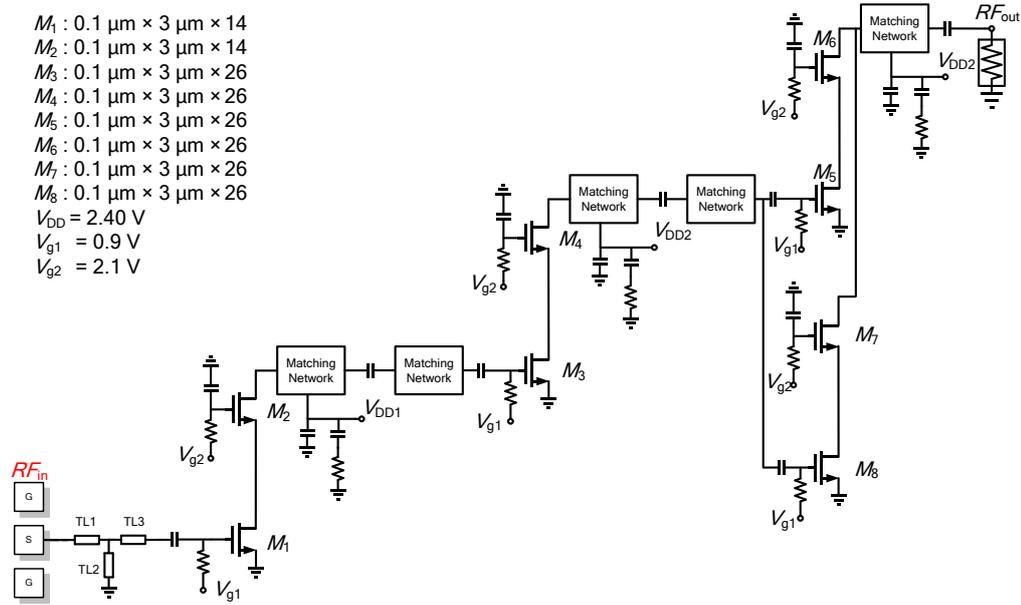


圖 4-18 (A)第一級與 Pad 間匹配網路架構

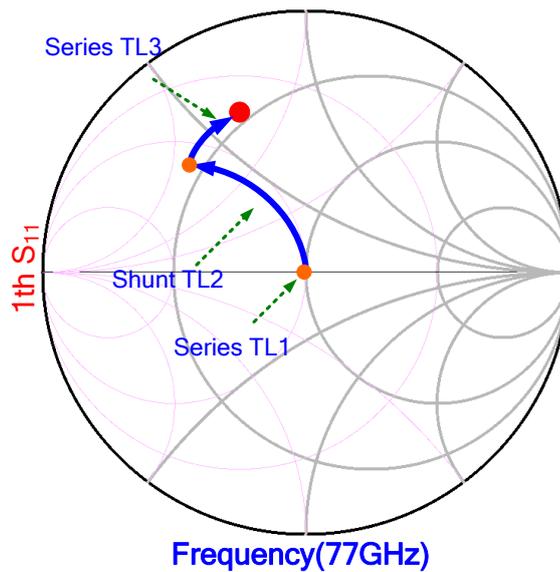


圖 4-18 (B)第一級與 Pad 間匹配網路架構

第一級與第二級間匹配-共軛匹配

當設計完輸入匹配網路後，接著設計第一級與第二級間匹配網路，如圖 4-19(b) 所示首先找出第一級疊接放大器輸出阻抗點(S_{22})，接著模擬第二級疊接放大器 gain Circle，接著設計共軛匹配網路，如圖 4-19(a)所示使用串聯 TL4 再並聯 TL5 使阻抗匹配到 Gain Circle 以獲得最佳增益，而串接一小段的 TL6，是為了方便連接至第二級疊接放大器而設計，故匹配實際上只需簡單的兩個 T 型匹配網路即可達成。

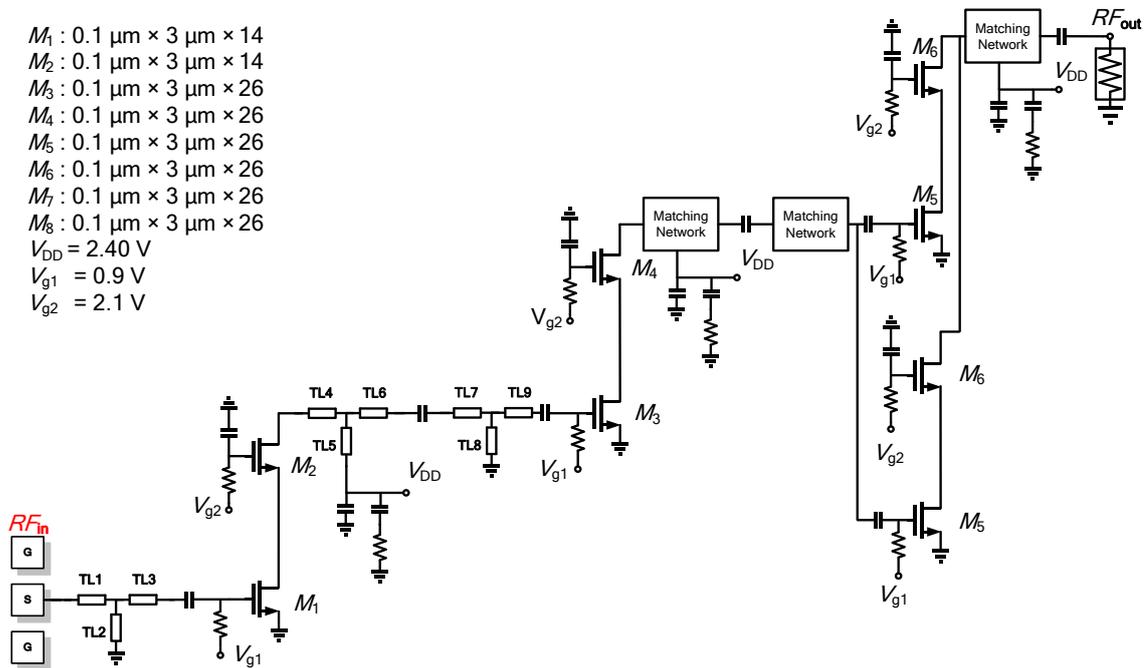


圖 4-19 (A)第一級與 Pad 間匹配網路架構

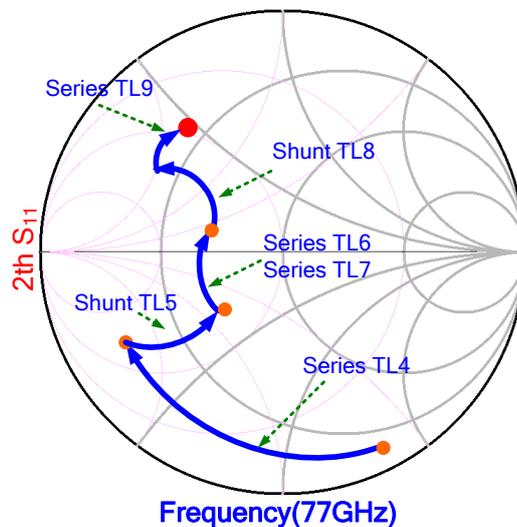


圖 4-19 (B)第一級與第二級間匹配網路架構

第二級與第三級間匹配-共軛匹配

圖 4-20(a)為第一、二級串接與第三級放大器架構，如圖 4-20 (B)所示先找出第一、二級串接放大器輸出阻抗點(S_{22})，再找出第三級放大器輸入阻抗共軛點(S_{11}^*)，接著設計第一、二級串接放大器與第三級放大器間匹配網路，匹配網路採用二階 T 型網路設計，架構如圖 4-20(a)所示，其匹配網路阻抗轉移軌跡如圖 4-20(b)所示。

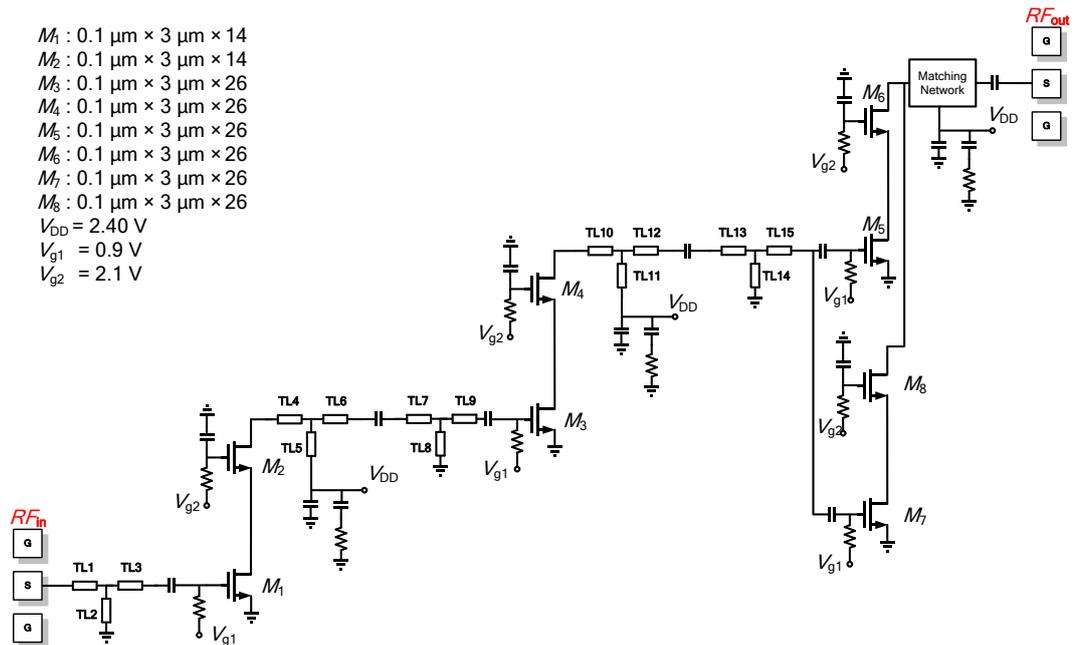


圖 4-20 (A)第二級與第三級間匹配網路架構

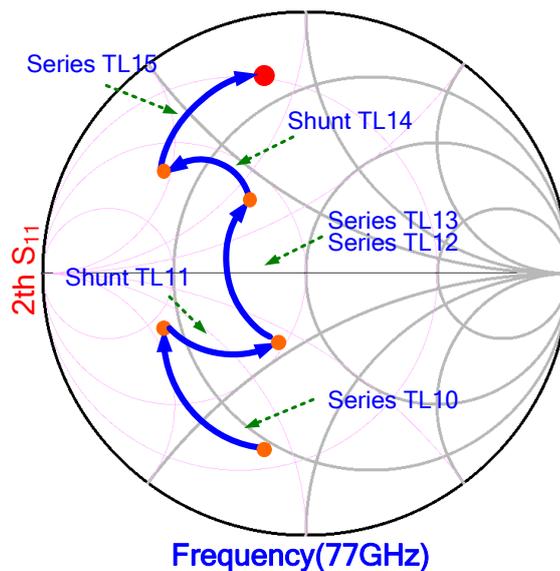


圖 4-20 (B)第二級與第三級間匹配網路架構

第三級匹配-最佳功率負載點匹配

圖 4-21(a)為第一、二、三級放大器架構，如圖 4-21 (B)所示先找出第三級串接放大器功率輸出阻抗點(S_{22})，一階 T 型網路設計，完成此匹配將會有較大的功率輸出，架構如圖 4-21(a)所示，其匹配網路阻抗轉移軌跡如圖 4-21(b)所示。

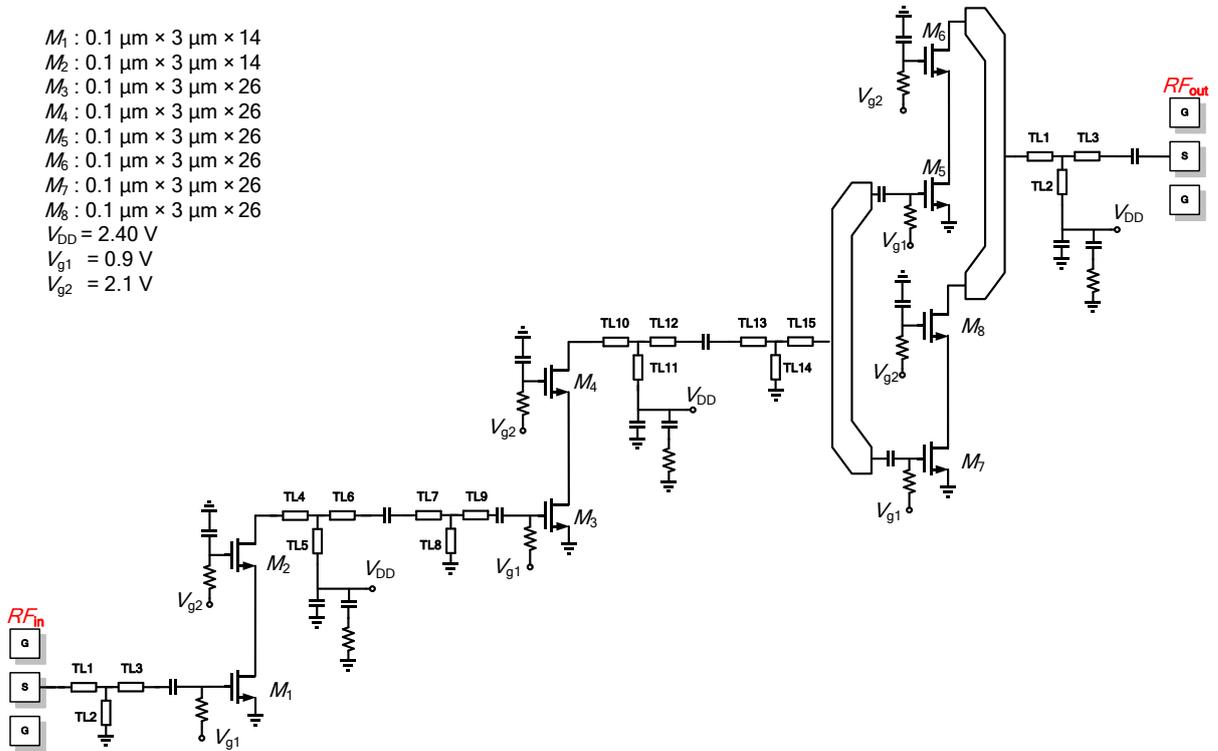


圖 4-21 (A)第三級功率匹配網路架構

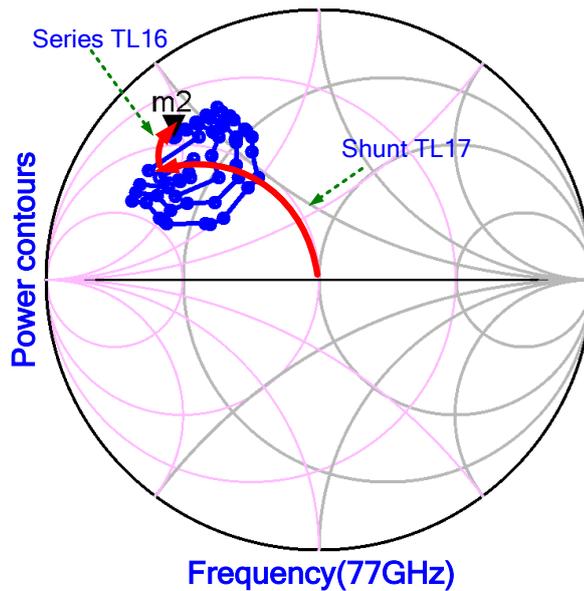


圖 4-21 (B)第三級功率輸出匹配網路架構

4.3 模擬結果

功率放大器採用 TSMC 1P9M 90 nm Mixed-mode 製程如圖 4-24 所示，使用安捷倫 ADS (Advanced Design System) 模擬其電路分析 S 參數，而架構上所採用之傳輸線電路、電感、電容皆採用 SONNET 電磁模擬軟體進行全波電磁模擬其數值，並帶回 ADS 進行模擬分析，操作頻率為 71 至 77 GHz，供應電壓為 2.4 V，功率消耗為 204 mW，布局晶片面積為 $0.596 \times 0.596 \text{ mm}^2$ ，功率放大器模擬輸入對應其輸出功率模擬結果如圖 4-23 所示， OP_{1dB} 為輸入功率為 -9dBm 時所輸出功率為 10 dBm，輸出功率飽和點為 14 dBm，最高 PAE 為 10.996 %，功率放大器模擬輸入反射損耗如圖 4-22 所示，頻率在 71 至 77 GHz 之輸入反射損耗皆大於 15 dB，輸出反射損耗由於匹配至最佳功率輸出點，因此輸出反射損耗表現上較為不理想如圖 4-22 所示，皆大於 5 dB，而功率放大器增益表現方面，在頻率 71 至 77 GHz 皆為 20 dB 符合系統之規格，如圖 4-22 所示。

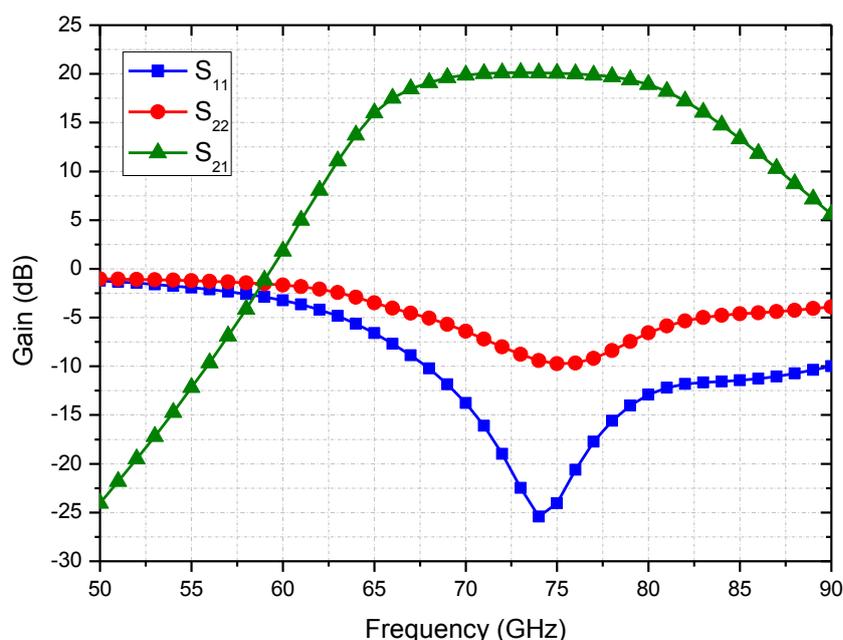


圖 4-22 功率放大器之 S 參數模擬結果

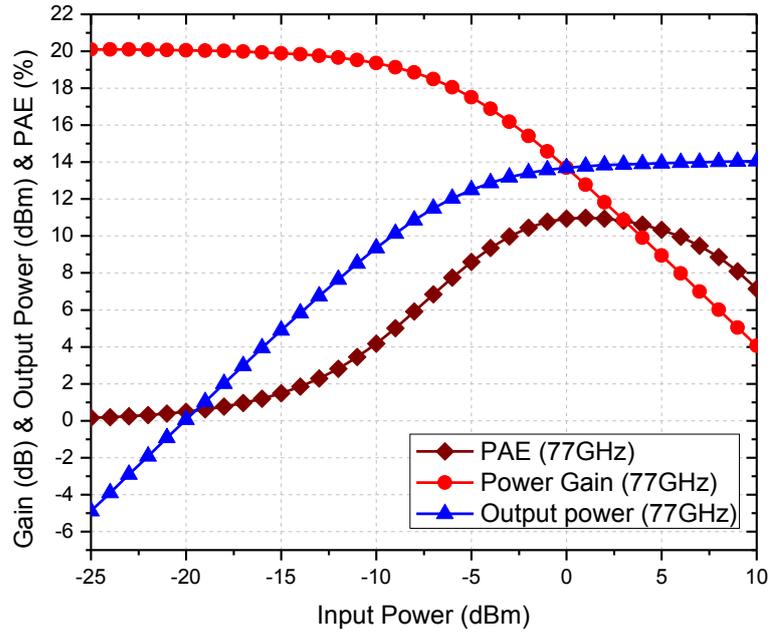


圖 4-23 功率放大器之 PAE、Power Gain、Output Power 模擬結果

4.4 模擬與量測結果

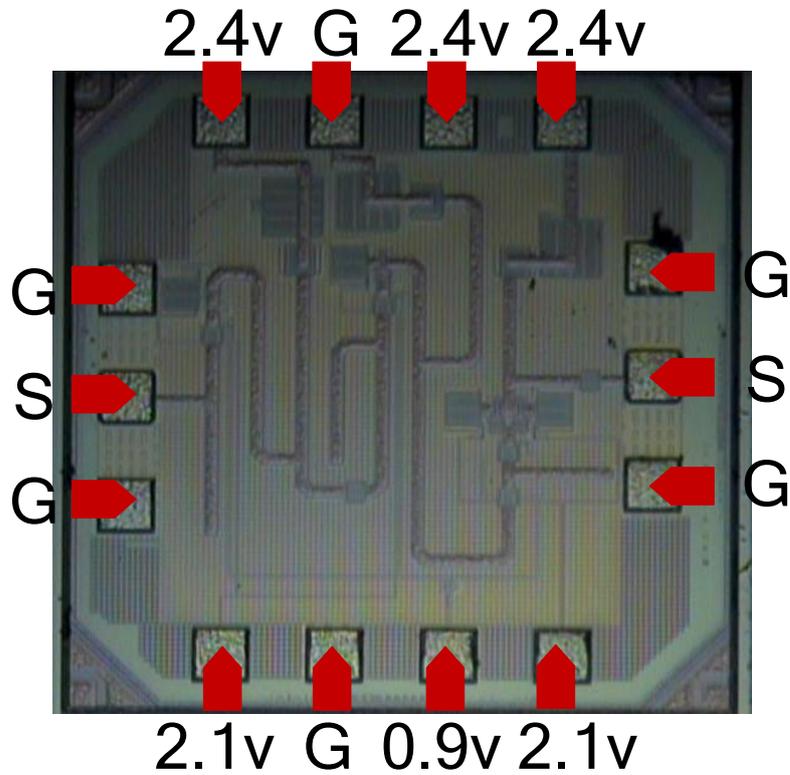


圖 4-24 功率放大器之晶片顯影圖(面積:0.596 × 0.596 mm²)

量測晶片採用 on wafer 方式量測，高頻訊號使用規格 G-S-G RF 探針量測，偏壓採用直流探針提供，S 參數使用向量網路分析儀量測， IP_{1dB} 使用訊號產生器輸入訊號至晶片，晶片輸出訊號透過頻譜分析儀觀察，S 參數之增益表現方面，量測結果與模擬結果相似，頻率 71 至 77 GHz 皆為 20 dB 以上，如圖 4-27 所示，而輸入反射損耗表現方面，操作頻率於 71 至 77 GHz 時皆大於 5 dB，如圖 4-25 所示，輸出反射損耗表現方面，如圖 4-26 所示，操作頻率於 72 至 77 GHz 時皆大於 -10 dB，如圖 4-29 所示，當頻率操作於 77 GHz、 V_{DD} 為 2.4 V 時， OP_{1dB} 為 9.2 dBm，功率飽和點為 12.5 dBm，最高之 PAE 為 9.6%，當頻率操作於 76 GHz、 V_{DD} 為 2.4 V 時， OP_{1dB} 為 9.5 dBm，功率飽和點為 12.8 dBm，最高之 PAE 為 9.9%，表 4-2 為功率放大器之量測與模擬比較表。

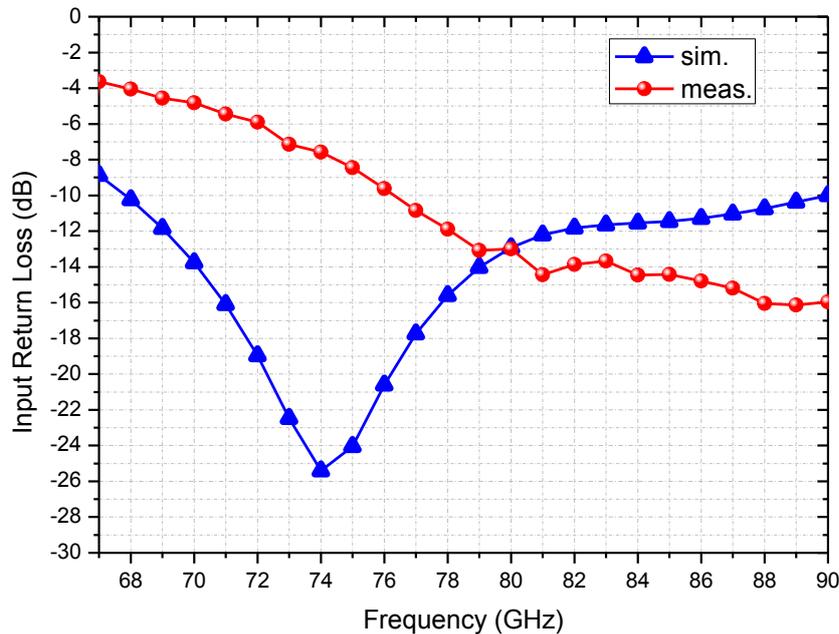


圖 4-25 功率放大器之輸入反射損耗

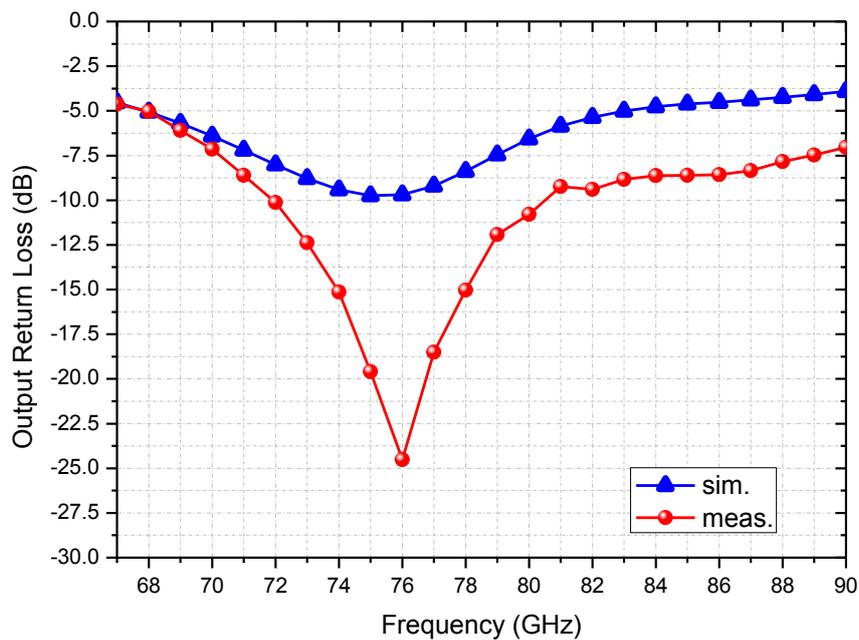


圖 4-26 功率放大器之輸出反射損耗

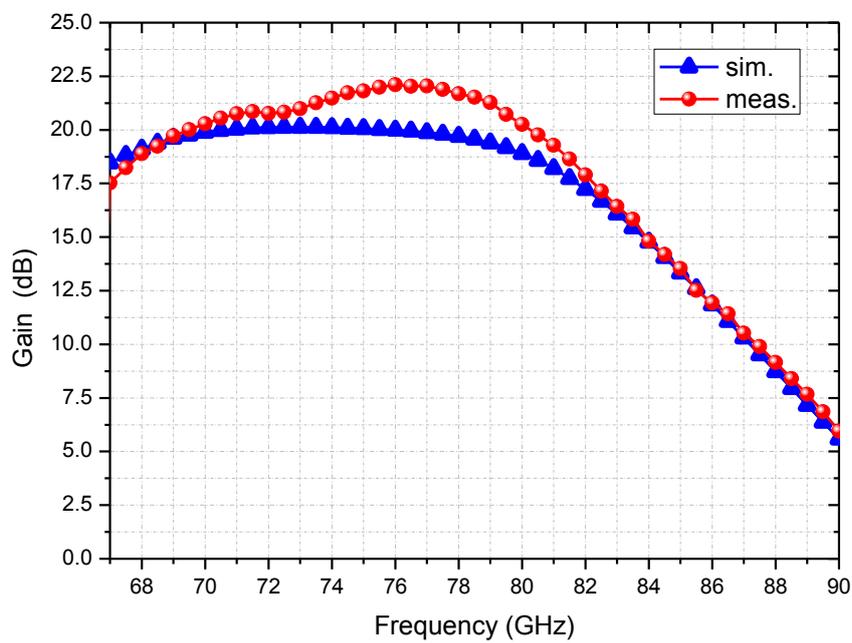


圖 4-27 功率放大器之增益

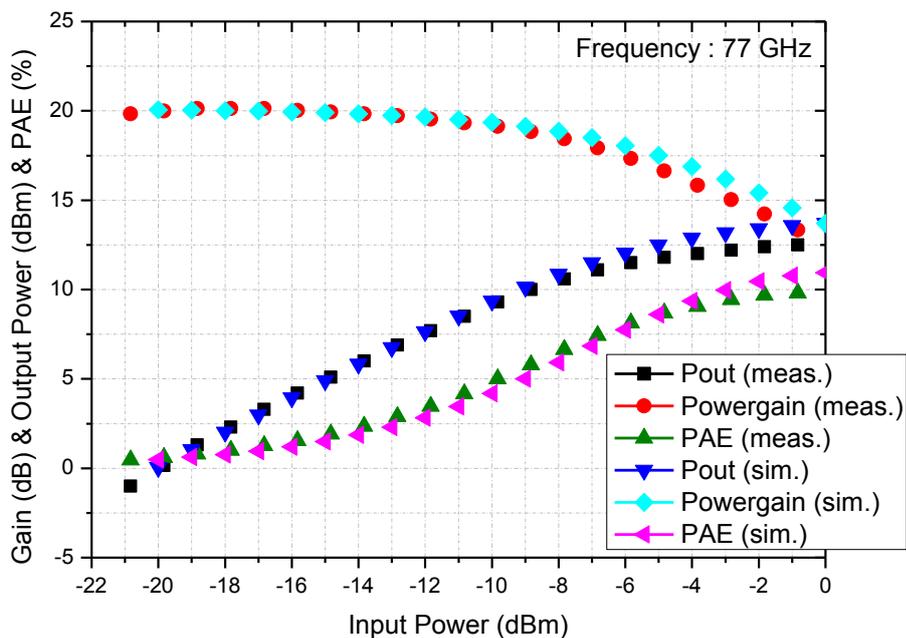


圖 4-28 功率放大器之 PAE、Power Gain、Output Power 模擬與量測結果

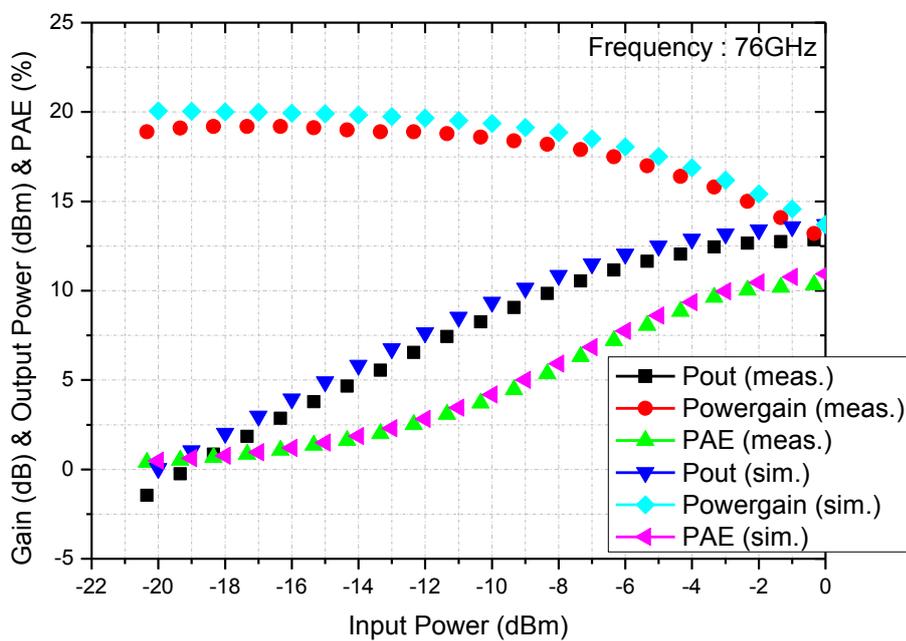


圖 4-29 功率放大器之 PAE、Power Gain、Output Power 模擬與量測結果

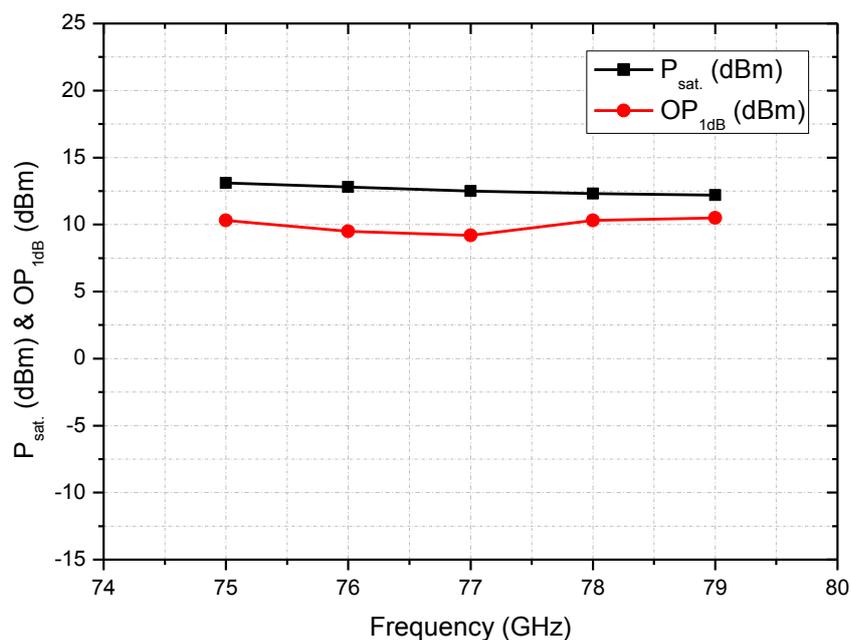


圖 4-30 功率放大器之 P_{sat} 和 OP_{1dB} 量測結果

表 4-2 功率放大器量測與模擬比較表

77-GHz Power Amplifier		
	Simulation	Measurement
Frequency range(GHz)	71-77 GHz	71-77 GHz
Power dissipation(mW)	204	182.4
S_{11} (dB)	<-14 (71-77 GHz)	<-4 @ 71-77 GHz
S_{22} (dB)	<-5 (71-77 GHz)	<-9 @ 71-77 GHz
S_{21} (dB)	20 (71-77 GHz)	20~22 @ 71-77 GHz
Peak PAE (%)	10 @ 77 GHz	9.6 @ 77 GHz
	10.4 @ 76 GHz	9.9 @ 76 GHz
P_{sat} (dBm)	14 @ 77 GHz	12.5 @ 77 GHz
	13.8 @ 76 GHz	12.8 @ 76 GHz
OP_{1dB} (dBm)	9.8 @ 77 GHz	9.2 @ 77 GHz
	10.4 @ 76 GHz	9.5 @ 76 GHz

4.5 結果與討論

本設計於 77GHz 功率放大器，採用三級串接架構設計，第一、二級為 Drive Stage，第三級為 Power Stage 提供較高之功率以符合系統之需求，供應電壓設計為 2.4 V，整體功率消耗 204 mW，晶片布局面積為 $0.596 \times 0.596 \text{ mm}^2$ ，量測與模擬比較方面，S 參數之增益比較方面，量測與模擬相近，反射係數量測與模擬結果比較上較不如預期，輸入反射損耗量測結果往高頻飄移 6 GHz，造成量測與模擬誤差之原因為輸入前端匹配網路之電路佈局中的 pad 之寄生電容考量不夠仔細，模擬考量於過大之電容值，在實際上並沒有如此高之寄生電容值，因此量測結果在輸出反射損耗表現上產生飄移之現象，如圖 4-32 所示，而輸出反射損耗量測結果方面較理想，表 4-3 為本設計晶片與已發表論文之比較。

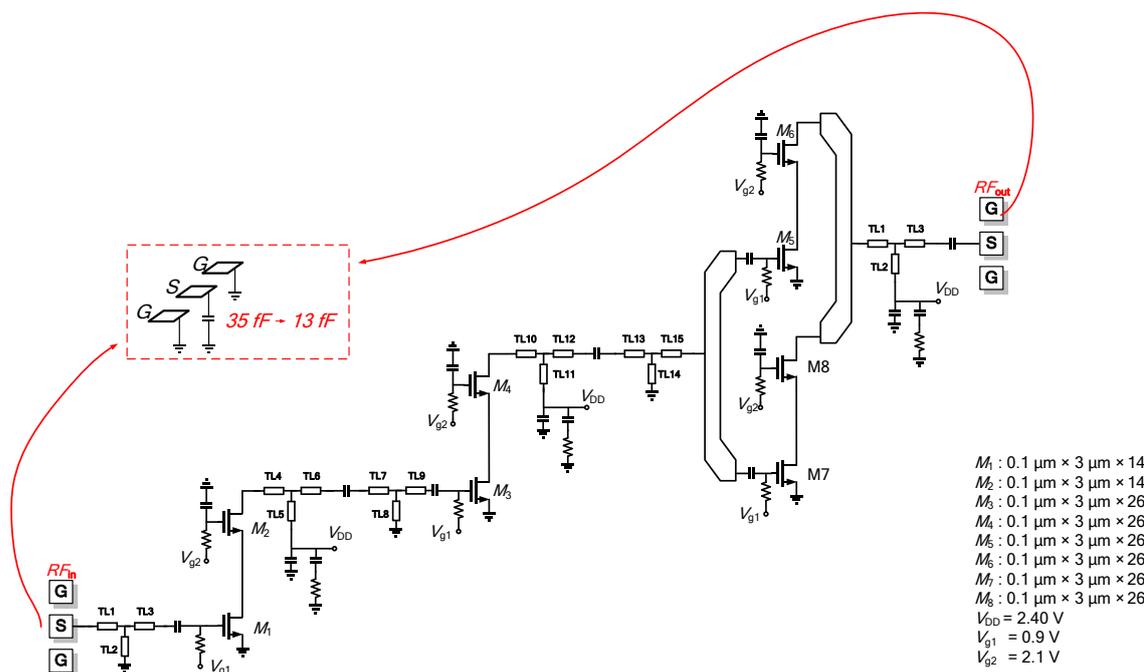


圖 4-31 功率放大器模擬誤差考量示意圖

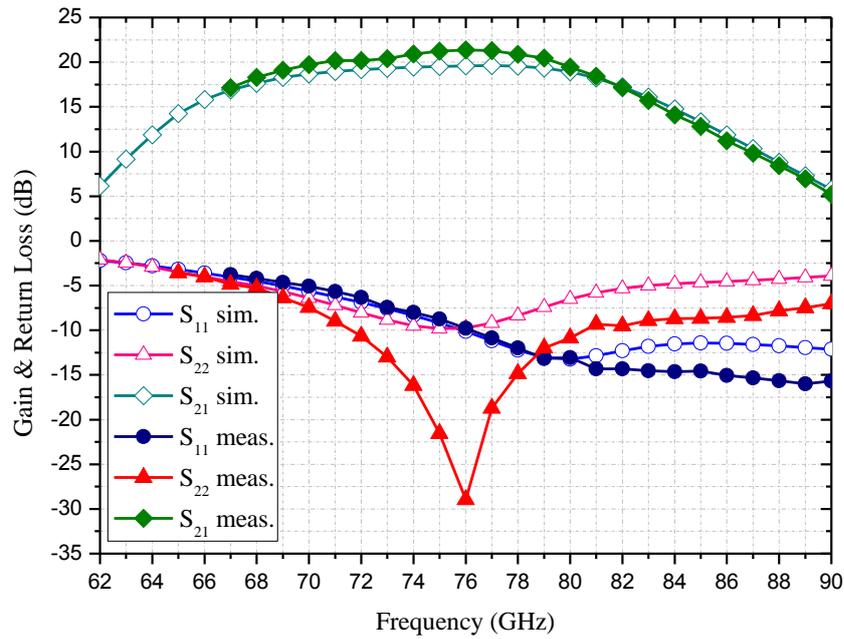


圖 4-32 功率放大器模擬誤差考量 S 參數圖

表 4-3 77 GHz 功率放大器之模擬與量測比較表

Tech.	Gain (dB)	OP _{1dB} (dBm)	P _{sat} (dBm)	Peak PAE (%)	V _{dc} (V)	Chip Area(mm ²)	Topology	Ref.
CMOS 90 nm	8.3	8.2	10.6	5	1.2	0.975	4-stage Common source	[18]
CMOS 90 nm	18.1	8.3	11.8	6	2.4	0.656	3-stage cascode	[19]
CMOS 90 nm	30	11.7 (60 GHz)	16.2 (60 GHz)	14	2.4	0.33	3-stage cascode	[20]
CMOS 90 nm	17	8	12	<6	2.4	0.36	3-stage cascode	[21]
CMOS 90 nm	20	9.5 @ 76 GHz 9.2 @ 77 GHz	12.8 @ 76 GHz 12.5 @ 77 GHz	9.9 @ 76 GHz 9.6 @ 77 GHz	2.4	0.25	3-stage cascode	This work

第五章 77 GHz 汽車防撞雷達系統

本章將介紹應用於 77 GHz 汽車防撞雷達收發系統，該頻帶設計為現在世界各國汽車雷達所使用的頻段，此收發機由低雜訊放大器、功率放大器、混頻器、功率分配器所組合而成，並使用 TSMC 90-nm CMOS RF 製程模擬驗證並實現。由於系統之低雜訊放大器以及功率放大器已在前章節敘述，因此本章節內容包含混頻器以及系統整合之設計考量與模擬結果，供應電壓採用 1.2 V，2.4 V，發射器消耗功率為 204 mW，接收器消耗功率為 26.18 mW。

5.1 雷達系統簡介

此設計雷達前端發射機由功率放大器、低雜訊放大器、降頻混頻器、威爾生功率分配器所組成，如圖 5-1 所示，發射器基本工作原理，訊號(FMCW)將透過功率分配器送至功率放大器，而功率放大器將功率放大至天線將訊號(FMCW)發射出去，接收器基本工作原理，即是由天線接收訊號至低雜訊放大器將訊號放大，接著由降頻器將訊號將降至基頻，之後可以由基頻訊號計算出該目標物之速度與距離。系統上之功率放大器以及低雜訊放大器已由前章節所介紹，而此章節將介紹混頻器以及功率分配器之設計。

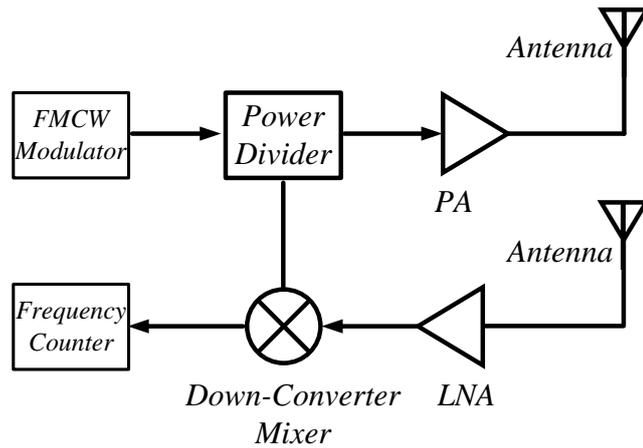


圖 5-1 77 GHz 雷達前端收发系統

5.2 混頻器

混頻器在收发機中利用電路之非線性特性，將兩種不同頻率之訊號來做相乘，得到混頻之效果，混頻器可以將射頻訊號降頻抑或是升頻，如圖 5-2 所示，輸入訊號為射頻訊號(RF)，輸出為基頻訊號(IF)，基頻訊號由射頻訊號與本地震盪訊號做相乘之結果，透過計算可以得知基頻訊號(IF)包含兩種頻率($\omega_{RF} \pm \omega_{LO}$)之成份，此方式可以將 $\omega_{RF} - \omega_{LO}$ 之輸出訊號做降頻器使用，另外若輸入訊號為基頻訊號(IF)時， $\omega_{IF} + \omega_{LO}$ 之輸出訊號則做為升頻器使用，本設計將基頻訊號設計於 100MHz，射頻訊號為 76 至 77 GHz。

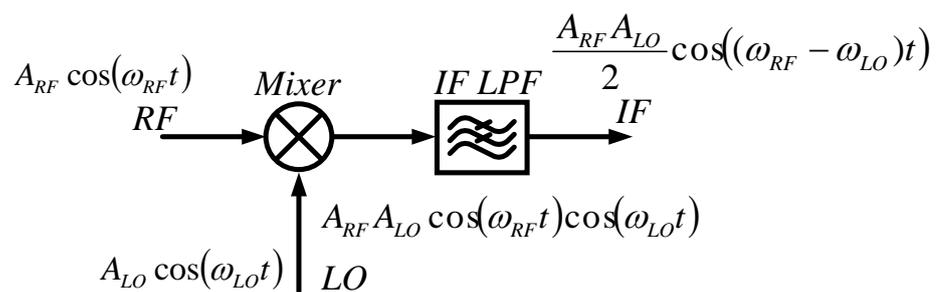


圖 5-2 混頻器示意圖

設計混頻器通常考量於，轉換增益(Conversion Gain)、雜訊指數(Noise Figure)、隔離度(Isolation)以及線性度(Linearity)，在設計於不同系統之電路時，混頻器考量重點不一樣，基本上混頻器著重於線性度以及各埠之間的隔離度需求，由於混

頻器之本地震盪訊號高率較高，若設計不好，非常容易將本地震盪(LO)之訊號作為輸出的動作，如圖 5-3 所示，此訊號將會干擾訊號會由天線發射出去影響其他頻帶之訊號，因此混頻器考量埠之間的隔離度相當重要，接收器通常考量雜訊指數，混頻器設計於接收器時，由於前端電路是低雜訊放大器，因此混頻器影響於整體

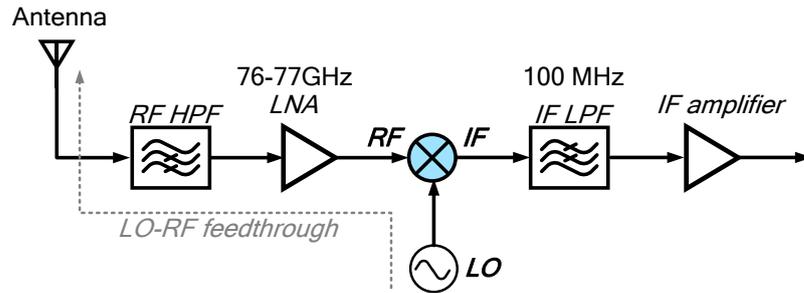


圖 5-3 混頻器示意圖

雜訊指數並不大，在考量於混頻器之雜訊指數並不嚴苛，而轉換增益在混頻器設計上要求不高，原因於通常混頻器後端會有中頻放大器來提升整體之增益。

5.2.1 混頻器設計考量

混頻器設計考量於低功率，傳統被動電阻環形混頻器(passive resistive ring mixer)具有零功率消耗、寬頻與好的線性度的等優勢，缺點於需要較大的 LO 功率與轉換增益損耗，在毫米波的頻段應用上，LO 功率需求越大，越容易限制 RF 的操作頻率，而雙平衡環形混頻器(double-balanced ring mixer)有好的隔離度(isolation)、好的突波抑制能力與低功率的表現[22]，接著考量轉換增益損耗，若採用一個 IF 緩衝放大器去改善轉換損耗，而增加 IF 緩衝放大器勢必要在放大器偏壓網路的 IF 訊號路徑直接串聯一個直流阻絕電容(dc block capacitor)，此串聯電容會限制混頻器的 IF 頻寬且不適合直接轉換頻率的應用，另外 LO 功率不足夠大時，會影響混頻器的轉換損耗與線性度。

高速操作的環形混頻器設計使用寬頻的 Marchand baluns 與寬頻特性的的 IF 緩衝放大器。圖 5-4 所示為這次設計的降頻器之架構，環形核心是由四顆電晶體

M_1 至 M_4 組成。對於雙平衡環形架構，Marchand baluns 的 180 度相位寬頻與傑出的振幅與相位匹配，利用它去產生差動 RF 訊號和 LO 驅動訊號。選擇一個適當電晶體的尺寸使得混頻器有較佳的轉換增益與寬頻，當選擇較寬的尺寸可以使電晶體的 g_m 上升，進而提升轉換增益，可是增加電晶體的寬度會讓寄生電容變大，影響到頻寬、埠對埠的隔離度與阻抗匹配，在電晶體尺寸選擇時，轉換增益與頻寬必須要做一個取捨，這次降頻環形混頻器的設計，在頻寬與轉換損耗之間作一個折衷，選擇電晶體閘級寬為 $16\ \mu\text{m}$ 且電晶體並聯個數為 8，電晶體通道長度皆選擇最小值，而高阻抗傳輸線去補償電晶體的寄生電容顯示在圖 5-4 所示，雖然環形混頻器本身就有寬頻轉移特性，但加入一個電感可以延展在高頻的操作頻寬與嵌入損耗(insertion loss)，為了提供一個足夠的增益，這次的環形混頻器的設計採用一個 IF 緩衝放大器，不同於傳統的被動電阻環形混頻器，其 IF 緩衝放大器額外需要一個獨立的偏壓網路，這次設計的混頻器技術可以整合弱反轉環形混頻器的偏壓網路與 IF 緩衝放大器，圖 5-4 所示的灰線是解釋直流電流的路徑，對降頻器而言，電阻回授反相放大器被選擇作為 IF 緩衝放大器，它可以當作轉阻放大器(transimpedance amplifier, TIA)被使用，直接轉換 IF 電流到被放大的 IF 電壓，這一個 TIA 緩衝器也可以提供一個直流路徑去釋放環形核心的混頻器電晶體的汲端電流，電晶體 RF 端的直流路徑是由 1K 歐姆的電阻 R3 與 R4 提供，其電阻可以隔離直流接地與 RF 輸入訊號。而另一個 1K 歐姆的電阻 R1 與 R2 被加入用來隔離 LO 輸入與閘級偏壓網路，這個降頻器是由 Marchand baluns、高阻抗傳輸線補償的環形混頻器與電阻回授反相 IF 緩衝器組成，它可以展示了寬且平緩的頻率響應，延展 IF 反相緩衝放大器的 IF 頻率響應，在 NMOS 的閘級端使用電感技術去共振 CMOS 電晶體寄生電容效應。

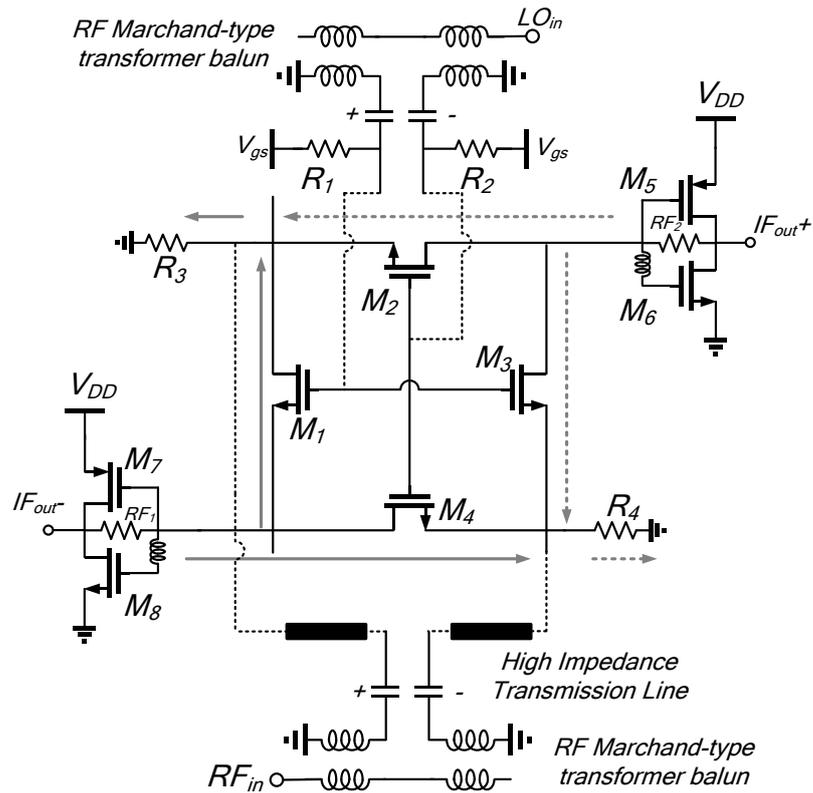


圖 5-4 偏壓之弱反轉降頻混頻器示意圖

5.3 功率分配器

根據 FMCW 雷達測距原理，天線連續輻射一個週期性線性頻率調變之射頻訊號偵測目標物，藉由訊號時間差，利用混頻器去解調出含有距離之訊息(fb)進而得知距離。如圖 5-5 所示，雷達系統接收端與發射端共用震盪源，已連續波之方式傳送至發射端天線，以及接收端之混頻器，在這之間採用威爾生功率分配器 (Wilkinson Power Divider)，將訊號分成兩路。

5.3.1 威爾生功率分配器設計

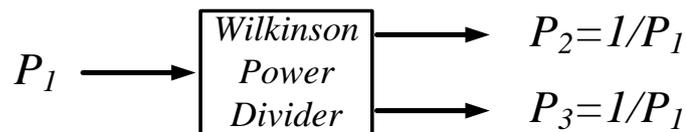


圖 5-5 威爾生功率分配器示意圖

一般功率分配器(例如 T 型接面功率分配器)並沒有輸出埠之隔離度優勢，因

此當訊號從輸入埠輸入時，訊號會均勻分配至輸出埠，但如果隔離度不佳，反射訊號可能將訊號流動於輸出兩埠之間，因此不適合採用，而威爾生功率分配器 (Wilkinson Power Divider)[23]將解決此問題，是一個三埠網路，在輸出兩埠之間加入電阻，以提供高隔離度，如圖 5-6 所示，此三埠功率分配器矩陣表示式子 5.9，當所有埠均匹配時，輸出埠間是完全隔離的，如式子 5.12 所示，輸入訊號經由功率分配器之後，輸出兩個相等大小、相等相位之訊號，輸出之功率比原先輸入之功率少 3 dB，如式子 5.10 所示

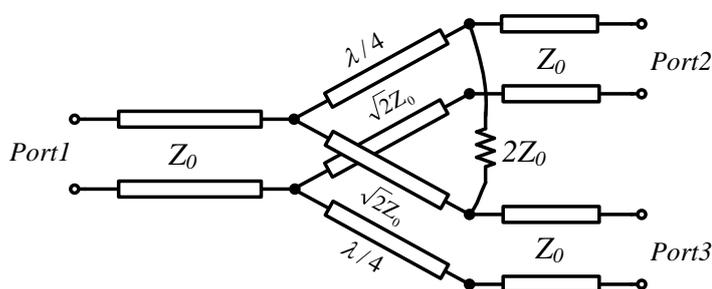


圖 5-6 威爾生功率分配器示意圖

$$S = \begin{bmatrix} 0 & -j/\sqrt{2} & -j/\sqrt{2} \\ -j/\sqrt{2} & 0 & 0 \\ -j/\sqrt{2} & 0 & 0 \end{bmatrix} \quad (5.9)$$

$$P_2^- = |S_{21}|^2 P_1^+ = \frac{P_1^+}{2} \quad (5.10)$$

$$P_3^- = |S_{31}|^2 P_1^+ = \frac{P_1^+}{2} \quad (5.11)$$

$$S_{23} = S_{32} = 0 \quad (5.12)$$

5.3.2 威爾生功率分配器模擬

模擬威爾生功率分配器(Wilkinson Power Divider)，操作頻率於 77 GHz 時，如圖 5-7 所示，輸出反射回饋損耗為 15 dB，輸出兩個埠之隔離度(Isolation)為 13 dB，嵌入損耗(Insertion Loss)為 3.6 dB。

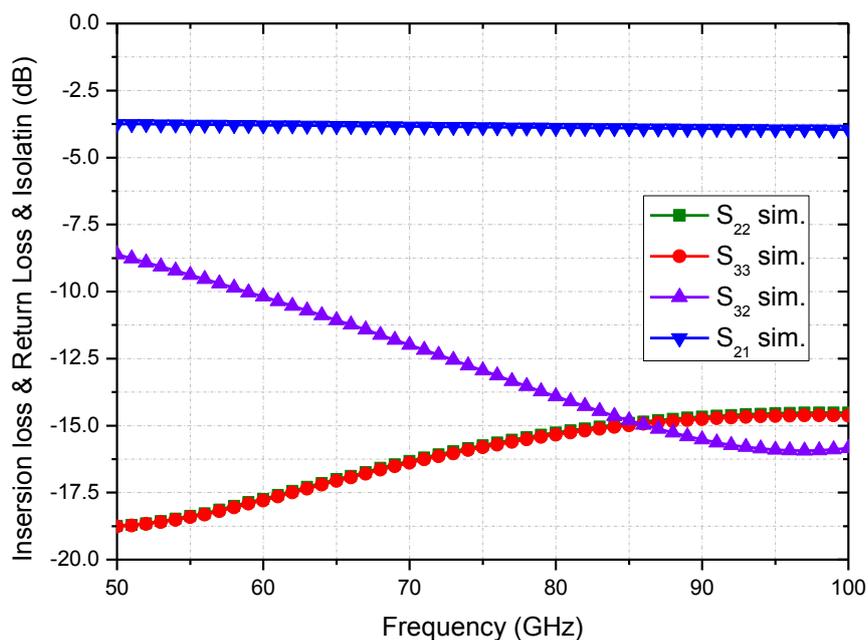


圖 5-7 威爾生功率分配器示意圖

5.4 收發器之模擬分析

FMCW 雷達系統發射機採用 TSMC 1P9M 90 nm Mixed-mode 製程，使用安捷倫 ADS (Advanced Design System) 模擬其電路分析 S 參數，而架構上所採用之傳輸線電路、電感、電容皆採用 SONNET 電磁模擬軟體進行全波電磁模擬其數值，並帶回 ADS 進行模擬分析，操作頻率為 71 至 77 GHz，供應電壓為 1.2 V 與 2.4 V，功率消耗為 204 mW，布局晶片面積為 $0.919 \times 0.906 \text{ mm}^2$ ，系統主要由低雜訊放大器、接收機由低雜訊放大器與降頻混頻器所組成，如圖 5-8 所示，在前述分析低雜訊放大器之結果得知，在頻率操作於 75 至 77 GHz 時，增益

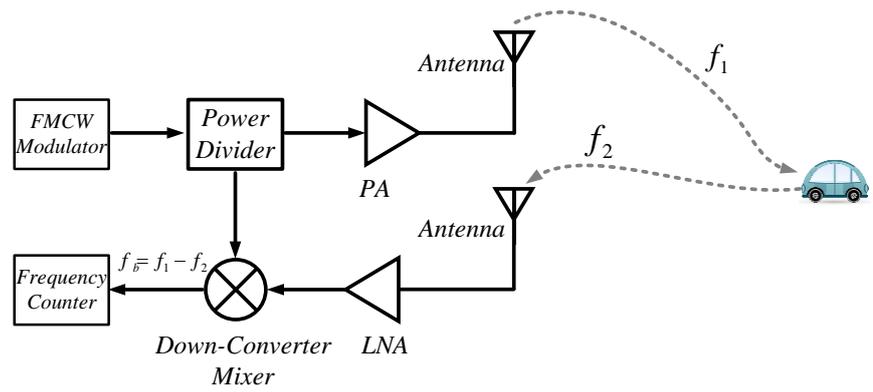


圖 5-8 FMCW 雷達系統收發機

表現為 20 dB 以上，雜訊指數表現 6 至 7 dB，因此接收機設計與降頻混頻器整合之後，在頻率操作於 69 至 78 GHz 時，且混頻器 LO 功率輸入 0 dBm，增益表現為 22 dB 以上，如圖 5-9 所示，而雜訊方面表現接近 7 dB，如圖 5-10 所示。

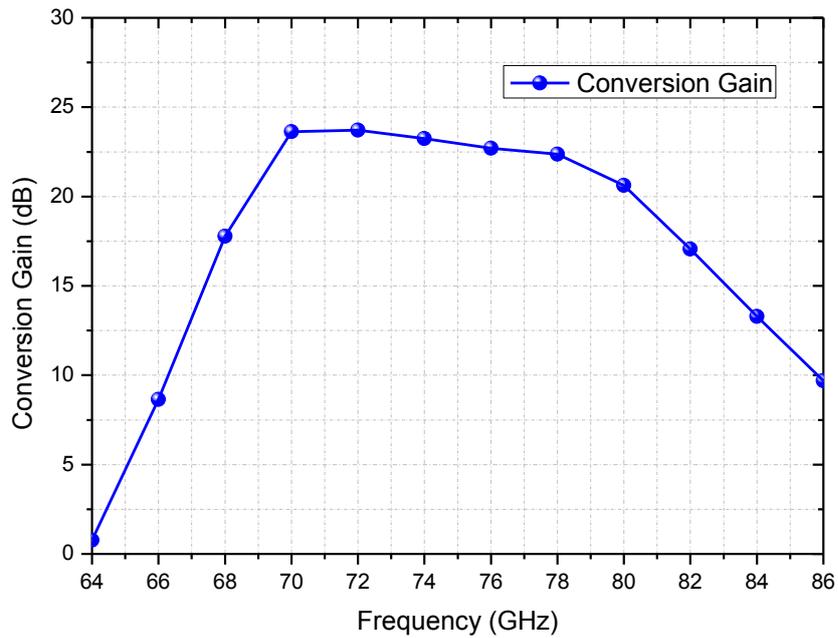


圖 5-9 接收機之增益圖

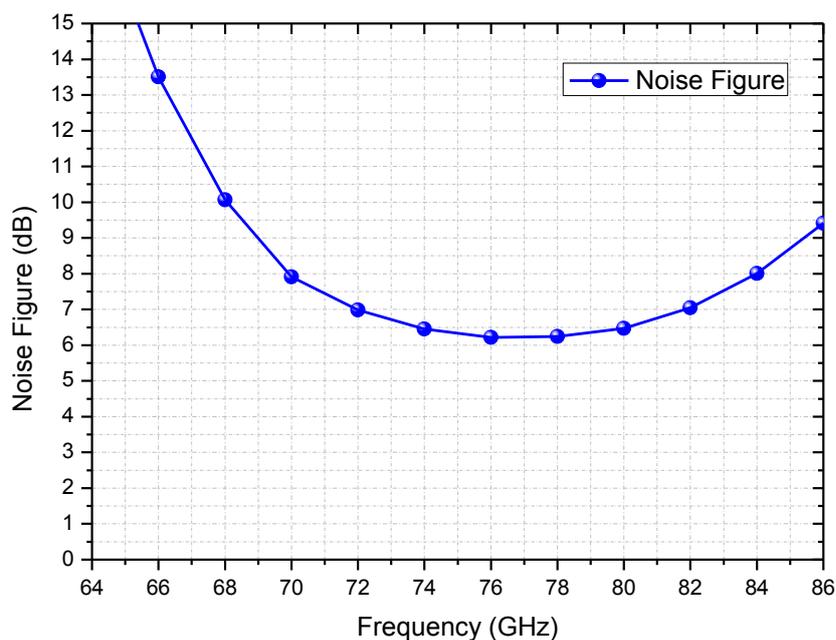


圖 5-10 接收機之雜訊圖

發射機由功率放大器與威爾生功率分配器所組成，在前述分析功率放大器之結果得知，在頻率操作於 67 至 79 GHz 時，增益表現為 22 dB 以上， OP_{1dB} 為 10 dBm，此發射機設計與降頻混頻器整合之後，增益表現為 16 dB，如圖 5-11 所示， OP_{1dB} 表現方面為 9 dBm，如圖 5-12 所示。

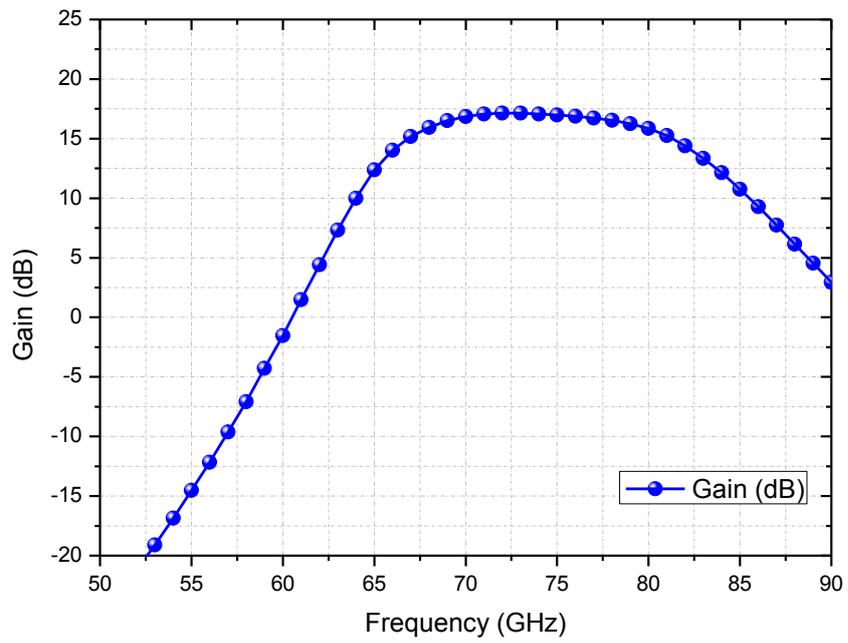


圖 5-11 發射機之增益圖

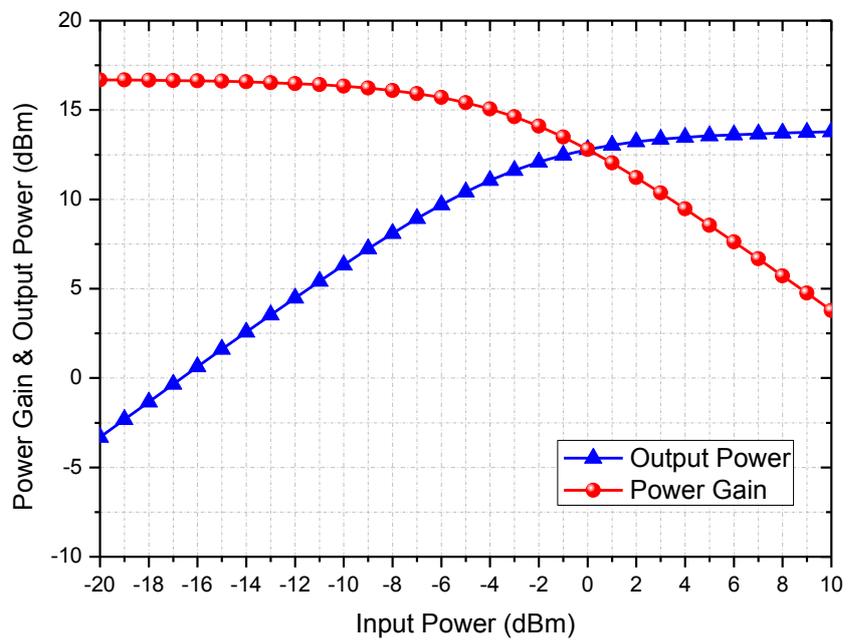


圖 5-12 發射機之功率圖

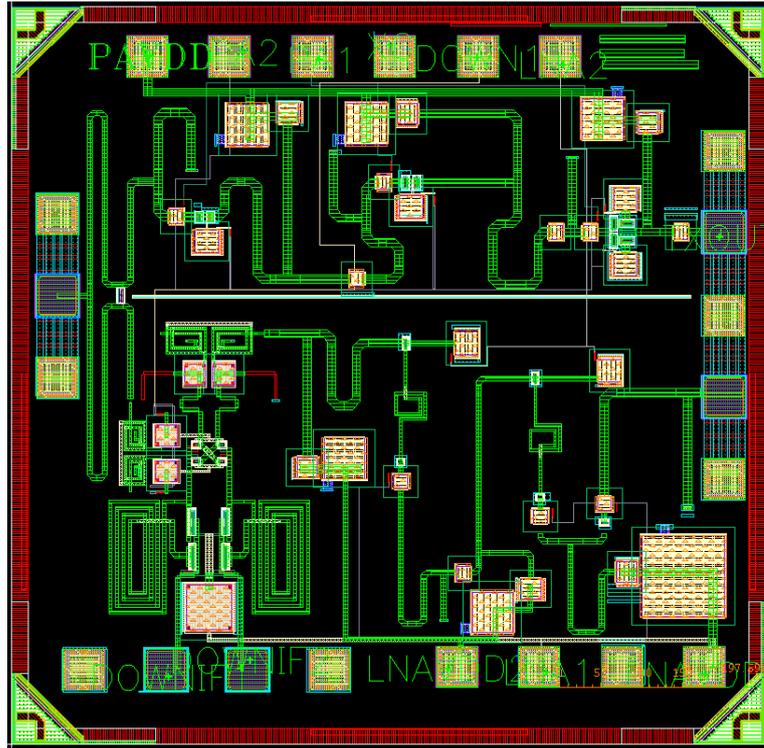


圖 5-13 FMCW 雷達晶片之布局圖

表 5-1 收發機與已發表論文比較表

Ref.	[24]	[25]	[26]	[27]	[28]
Process	65-nm CMOS	SiGe BiCMOS	0.13- μ m SiGe HBT	130-nm IBM SiGe BiCMOS	130-nm IBM SiGe BiCMOS
Receiver					
Receiver Blocks	LNA/Mixer	LNA/ Mixer + VCO	LNA/ Mixer/VCO	LNA/ Mixer	
Frequency (GHz)	75-91	68-76	77-79	77-80	
Gain (dB)	13	24	25.6	37	
NF (dB)	7.5	4.8	9	8	
Power dissipation(mW)	89	123	240	57.5	
Transmitter					
Transmitter Blocks	-	-	PA/VCO	-	PA /PA Driver/ Mixer
Frequency (GHz)	-	-	77-79	-	77
Gain (dB)	-	-	-	-	40.6
P _{sat} (dBm)	-	-	5.8 @77GHz	-	12.5
OP _{1dB} (dBm)	-	-	0.6	-	10.2
Power dissipation(mW)	-	-	260	-	264

表 5-2 收發機與已發表論文比較表

Ref.	[29]	[30]	[31]	[32]	[33]
Process	0.13- μ m SiGe	120-nm In ₀ 4AlAs/In 35GaAs Metamorphic HEMTs	90-nm standard CMOS	65-nm CMOS	0.13- μ m SiGe HBT
Receiver					
Receiver Blocks	LNA / Mixer /VCO	LNA/Mixer	LNA/ Mixer	LNA/ Mixer	LNA/Mixer
Frequency (GHz)	76-77	77	73.5-77.1	76-78	77
Gain (dB)	40-46	5	2 \pm 1.5 dB	38.7	36
NF (dB)	4.9-6.0(LNA) 12-14(Mixer)	-	6.8	7.4	5.4
Power dissipation(mW)	195	-	260	30	139
Transmitter					
Transmitter Blocks	-	PA	PA/Divider/ doubler/VCO	PA	PA/VCO/ freq. divider
Frequency (GHz)	-	77	73.5-77.1	75.6-76.3	77
Gain (dB)	-	21.4			
P _{sat} (dBm)	-		6.3	10.5	14.6
OP _{1dB} (dBm)	-	9.3	3.3-6.3	6.7	12
Power dissipation(mW)	-	-	390	115	378

表 5-3 收發機與已發表論文比較表

Ref.	[34]	[35]	[36]		
Process	SiGe HBT and SiGe BiCMOS	0.18- μ m BiCMOS	0.25- μ m SiGe	This work (simulation)	
Receiver					
Receiver Blocks	LNA/Mixer/VC O	LNA/Mixer/ I/Q dual-band pulse-formers	LNA/Mixer/ VCO	LNA/ Mixer	
Frequency (GHz)	77	77-81	77-79	71-77	
Gain (dB)	24	31	21.7	22	
NF (dB)	4.8	8	10.2	7	
Power dissipation(mW)	123	162.5	595	24	
Transmitter					
Transmitter Blocks	PA	dual-band pulse former/PA	-	PA/	
Frequency (GHz)	77	77.5-80.5	-	71-77	
Gain (dB)	19	10	-	16	
P_{sat} (dBm)	14.5	14.5	-	13	
OP_{1dB} (dBm)	-	10.5	-	9.6	
Power dissipation(mW)	161	332.5	-	204	

第六章 結 論

本論文設計應用於 77GHz 汽車防撞雷達系統之收發器，使用國家晶片中心所提供之 TSMC CMOS 90nm RF 製程設計。

本論文設計三個電路以及系統整合架構，首先低雜訊放大器設計中採用三級串接架構，第一級採用雜訊指數較小之共源級組態放大訊號，第二、三級採用高增益之疊接組態，疊接組態雖然有高增益，但也提供較高之雜訊指數，本論文分析疊接組態利用電感，改善雜訊指數較高之問題，電感也作為共源級組態與共閘級組態之間的匹配網路，因此將疊接組態之增益提升，在量測結果發現於頻率 71 至 73 GHz 上之增益與輸入/輸出反射損耗上，都發生頻率飄往高頻之現象，經檢查分析之後，問題在於 pad 上之考量寄生電容過高，並且在電感上之模擬不準確，這兩個原因造成此低雜訊放大器之增益表現不如預期，量測頻率於 74 GHz 時候，雜訊指數為 6.17 dB，增益為 20 dB 以上。

第四章為功率放大器，功率放大器主要為了放大功率，因此在電晶體尺寸上設計較大，並且利用疊接組態提升增益，為了設計於規格 10 dBm，因此在最後一級設計並聯兩個疊接組態，第一、二級為驅動級，每一級電晶體大小整體而言，為 1:2:4，在量測結果發生為 pad 之寄生電容比模擬考量時還小，因此造成輸入/輸出反射損耗表現上往高頻飄，而增益表現方面較為穩定，值為 20 dB。

第五章為系統整合，在雷達系統上接收機主要由降頻混頻器以及低雜訊放大器所組成，因此在第五章設計一個降頻混頻器與第三章之低雜訊放大器作為整合，其 LO 功率為 0 dBm，接收機之轉換增益為 20 dB，雜訊指數為 6 至 7 dB，發射機方面主要由一個功率放大器提供較大功率之訊號，與接收機整合為一個晶片，而其功率放大器之增益為 16 dB， OP_{1dB} 為 9 dBm。

參 考 文 獻

- [1] KAI CHANG “*RF and Microwave Wireless System*” , John Wiley & Sons, Inc. New York, USA
- [2] G. Gonzalez, “*Microwave Transistor Amplifier-Analysis and Design, 2nd Ed.*,” Prentice Hall, Inc., 1984
- [3] B. Razavi, “*RF Microelectronics*,” Prentice Hall PTR, 1998.
- [4] 林益璋，V 頻帶 CMOS 低雜訊放大器設計與分析，國立臺灣師範大學應用電子科技所碩士論文，民國 100 年
- [5] T. Mitomo et al., “A 77 GHz 90 nm CMOS Transceiver for FMCW Radar Applications,” *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 246-247, June 2009.
- [6] Kuo-Jung Sun, Zuo-Min Tsai, Kun-You Lin, and Huei Wang, “A 10.8-GHz CMOS low-noise amplifier using parallel-resonant inductor,” *IEEE MTT-S Int. Microw. Symp. Dig.*, 2007, pp. 1795–1798.
- [7] H. Samavati, H. R. Rategh, and T. -H. Lee, “A 5-GHz CMOS wireless LAN receiver front end,” *IEEE J. Solid-State Circuits*, vol. 35, no. 5, pp. 765-772, May 2000.
- [8] B.-J. Huang, K.-Y. Lin, and H. Wang, “Millimeter-Wave Low Power and Miniature CMOS Multicascoded Low-Noise Amplifiers with Noise Reduction Topology,” *IEEE Trans. Microw. Theory Tech.*, vol. 57, no. 12, pp. 3049-3059, Dec. 2009.
- [9] C. Y. Wu; P. H. Chen “A Low Power V-band Low Noise Amplifier Using 0.13- μ m CMOS Technology”. *ICECS 2007*. Dec. 2007 pp.1328 – 1331
- [10] Natsukari, Youhei; Fujishima, Minoru “36mW 63GHz CMOS differential low noise amplifier with 14GHz bandwidth,” *VLSI Circuits*, Aug. 2009, pp. 252 – 253
- [11] M. Fahimnia, M.R. N.-Ahamadi, B. Biglarbeigian, S. S.-Naieni, M. M.-Taheri, and Y. Wang, "A 77 GHz low noise amplifier using low-cost 0.13 μ m CMOS technology,"

Microsystems and Nanoelectronics Research Conf., Oct. 2009, pp. 73 - 75.

- [12] R. Eye and D. Allen, "77 GHz low noise amplifier for automotive radar applications," *IEEE Gallium Arsenide Integrated Circuit Symp.*, Nov. 2003, pp. 139 - 142.
- [13] Fahimnia, M. ; Safavi-Naieni, S. ; Mohammad-Taheri, M. ; Wang, Y. "A 77 GHz Controllable Gain Low Noise Amplifier," Jul. 2010 pp. 96 – 99
- [14] Tung The Lam Nguyen ; Sung-Woon Moon ; Sung-Ho Jung ; Min Han ; Jin-Koo Rhee ; Sam Dong Kim, " A W-band Cascaded Double-stage Distributed Low-noise Amplifier Using Feedback Transmission Line," Mar. 201, pp. 382 – 385
- [15] N. Tanahashi, K. Kanaya, T. Matsuzuka, I. Katoh, Y. Notani, T. Ishida, T. Oku, T. Ishikawa, M. Komaru, and Y. Matsuda, "A W-band ultra low noise amplifier MMIC using GaAs PHEMT," *IEEE MTT-S Int. Microwave Symp. Dig.*, Vol. 3, pp. 2225, 2003.
- [16] Steve C. Cripps, "*RF power amplifiers for wireless communications.*" Artech House, 1999.
- [17] T. Y. Chang, C. S. Wang, and C. K. Wang, "A 77 GHz power amplifier using transformer-based power combiner in 90 nm CMOS," *IEEE Custom Integrated Circuits Conference*, pp.1-4, Sept. 2010
- [18] T. Suzuki, Y. Kawano, M. Sato, T. Hirose and K. Joshin, "60 and 77GHz power amplifier in standard 90nm CMOS," *ISSCC Dig. Tech. Papers*, pp.562-563, Feb. 2008.
- [19] Lee, J.; Chung-Chun Chen; Jen-Han Tsai; Kun-You Lin; Huei Wang, "A 68-83 GHz Power Amplifier in 90 nm CMOS," *Microwave Symposium Digest*, Jul. 2009, pp.437 - 440
- [20] J. L. Kuo, Z. M. Tsai, K. Y. Lin, and H. Wang, "A 50 to 70 GHz power amplifier Using 90 nm CMOS Technology," *IEEE Microw. and Wireless Compon. Lett.*, vol.19, no.1, pp.45-47, Jan. 2009.
- [21] Yu-Sian Jiang, Jeng-Han Tsai, and Huei Wang, "A W-band medium power amplifier in 90 nm CMOS," *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 12, pp.

818-820, Dec. 2008. (SCI)

- [22] J.H. Tsai, "Design of 40-108-GHz Low Power and High-Speed CMOS Up/Down-Conversion Ring Mixer for Multistandard MMW Radio Applications" *IEEE Transactions on Microwave Theory and Techniques*, Vol.60, No.3, March 2012
- [23] D. M. Pozar, "*Microwave Engineering*", John Wiley & Sons, 1998.
- [24] M. Khanpour, K.W. Tang, P. Garcia, and S. P. Voinigescu, "A Wideband W-Band Receiver Front-End in 65-nm CMOS," *IEEE Journal of Solid-State Circuits*, Vol.43, No.8, pp.1717-1730, August. 2008.
- [25] Nicolson, S.T. ; Yau, K.H.K. ; Pruvost, S. ; Danelon, V. ; Chevalier, P. ; Garcia, P. ; Chantre, A. ; Sautreuil, B. ; Voinigescu, S.P. ,"A low-voltage SiGe BiCMOS 77-GHz automotive radar chipset," *Microwave Theory and Techniques*, pp. 1092 – 1104 May 2008
- [26] S.T. Nicolson, P. Chevalier, A. Chantre, B. Sautreuil and S.P. Voinigescu, "A 77-79-GHz Doppler Radar Transceiver in Silicon," *IEEE Compound Semiconductor Integrated Circuit Symposium*, pp.1-4, 14-17 Oct. 2007
- [27] Babakhani, X. Guan, A. Komijani, A Natarajan, and A. Hajimiri, "A 77-GHz Phased-Array Transceiver With On-Chip Antennas in Silicon: Receiver and Antennas", *IEEE Journal of Solid-State Circuits*, vol. 41, No. 12, pp. 2795-2806, Dec. 2006. cited by other.
- [28] A. Natarajan "A 77-GHz phased-array transceiver with on-chip antennas in silicon: Transmitter and local LO-path phase shifting", *IEEE J. Solid-State Circuits*, vol. 41, p.2807 , 2006.
- [29] J. Powell, H. Kim, and C.G. Sodini, "A 77-GHz Receiver Front End for Passive Imaging," *IEEE Radio Frequency Integrated Circuits Symposium*, pp.145-148, 3-5 June 2007
- [30] Kyoungwoon Kim ; Wooyeol Choi ; Sungwon Kim ; Gyungseon Seol ; Kwangseok Seo ;

- Youngwoo Kwon, "A 77 GHz Transceiver for Automotive Radar System Using a 120nm In_{0.4}AlAs/In_{0.35}GaAs Metamorphic HEMTs," *Compound Semiconductor Integrated Circuit Symposium*, pp. 201 – 204, Fre.2007
- [31] Y. Kawano et al., "A 77GHz Transceiver in 90nm CMOS," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 310-311, Feb. 2009.
- [32] Yi-An Li, Meng-Hsiung Hung, Shih-Jou Huang, Jri Lee: A fully integrated 77GHz FMCW radar system in 65nm CMOS. *ISSCC 2010* pp.216-217
- [33] S. T. Nicolson, K A. Tang, K. H.K. Yau, P. Chevalier, B. Sautreuil, and S. P. Voinigescu, "A low-voltage 77-GHz automotive radar chipset," in *IEEE MTT-S Int. Microwave Symp. Dig.*, Honolulu, Hawaii, June 2007, pp.487-490.
- [34] S.T. Nicolson, K.H.K. Yau, S. Pruvost, V. Danelon, P. Chevalier, P. Garcia, A. Chantre, B. Sautreuil, and S.P. Voinigescu, "A Low-Voltage SiGe BiCMOS 77-GHz Automotive Radar Chipset," *IEEE Trans. MTT*, Vol.56, pp. 1092-1104, May 2008.
- [35] V. Jain, F. Tzeng, L. Zhou, and P. Heydari, "A single-chip dual-band 22-29-GHz/77-81-GHz BiCMOS transceiver for automotive radars," *IEEE J. of Solid-State Circuits*, vol. 44, pp. 3469-3485, Dec. 2009.
- [36] Li Wang, Glisic, S., Borngraeber, J., Winkler, W., Scheytt, J.C., "A Single-Ended Fully Integrated SiGe 77/79 GHz Receiver for Automotive Radar", *Solid-State Circuits, IEEE Journal* pp.1897 - 1908, Volume: 43 Issue: 9, Sept. 2008
- [37] J.-H. Tsai and T.-W. Huang, "35–65-GHz CMOS broadband modulator and demodulator with sub-harmonic pumping for MMW wireless gigabit applications," *IEEE Trans. Microw. Theory Tech.*, vol. 55, no.10, pp. 2075–2085, Oct. 2007

自 傳

林繼揚，家庭成員為雙親及哥哥，家庭觀念開放，成長期間，對自然科學方面較感興趣，因此高中選擇理工類組(二類)。大學及研究所亦繼續選讀相關系所。就讀臺灣師範大學應用電子所，就讀期間對於自身所學不足深刻體認，使得我更虛心學習、自我檢討，不僅僅是指導教授，也在學長及同學之間學習很多，使得我得以奠定計畫管理。

學 術 成 就

Jeng-Han Tsai, Ji-Yang Lin and Kun-Yao Ding, “ Design of a 9–25 GHz broadband low Noise amplifier using 0.15- μm GaAs HEMT process,” *Microwave and Millimeter Wave Technology (ICMMT), 2012 International Conference*, May 8 2012, page: 1- 4.