

## 第二章 基本系統週邊介紹

本章的主要目的在介紹 SOPC (System On Programmable Chip) Nios Stratix 嵌入式系統、CMOS camera 及 VGA controller。SOPC Nios 嵌入式系統是 Altera 公司的產品。Altera 公司生產三款 SOPC Nios 嵌入式系統，此三款最大的區別是具備不同的 FPGA。它們分別是 APEX、Cyclone、Stratix。本論文以 SOPC Nios Stratix 嵌入式系統為平台發展聰明型攝影機。Nios 嵌入式處理器是軟核心的 CPU，此 CPU 可由 SOPC Builder 彈性自定。SOPC Nios 嵌入式系統包括發展電路板及一些軟體發展工具。

### 2.1 SOPC 系統設計

以 SOPC 為發展平台設計系統具有快速上市與系統再修改等優點，Altera 公司為系統設計者在發展自己的系統時，提供下列的方案：設計流程、硬體設計方案、軟體設計方案與量產轉移程序。

#### 一・SOPC 設計流程

- (1) 系統定義(Define System)：包括軟核心處理器、記憶體、週邊、客戶指令(Custom Instruction)及使用者自定硬體。
- (2) 系統產生(Generate System)：使用 SOPC Builder 產生系統。透過 Quartus II 軟體可以使用 SOPC Builder。

- (3) 硬體設計(Hardware design): 使用 Quartus II軟體對硬體描述語言(VHDL 或 verilog)程式碼及 EDIF 檔進行編譯與邏輯電路合成。  
  
軟體設計(Software design): 使用 GNUPro 軟體發展工具與軟體資源 (Header 檔、Library 等)來產生應用程式碼，並加以除錯。
- (4) 當完成硬體及軟體設計後，可以使用 ModelSim 來驗證所設計的系統。  
  
若產生非預期中的結果，則跳到(2)，然後修改設計的系統。
- (5) 將硬體設計下載至 FPGA 合成，軟體設計下載到 Flash 或 SRAM 上執行。FPGA、Flash 及 SRAM 皆是發展板上的元件。軟體通常用來驅動各個硬體週邊，資料流程之控制。

整個流程如圖 2.1 所示。

## 二、硬體設計方案

**設計元件：**Altera 公司在處理器方面提供 Nios(Soft core)與 ARM(Hard core)兩種方式。周邊元件提供 On-Chip 唯讀記憶體與 RAM、SDRAM Controller、Serial I/O、Parallel I/O 以及 Timer。IP 方面提供 PCI32/33 橋接器與乙太網路 MAC。匯流排則提供 Avalon 匯流排。

**EDA 硬體發展工具：**QuartusII 軟體是編譯與規劃(Programming)SOPC 晶片的工具，QuartusII 提供 VHDL、Verilog、AHDL 或 Block/Schematic Entry

等輸入方式。

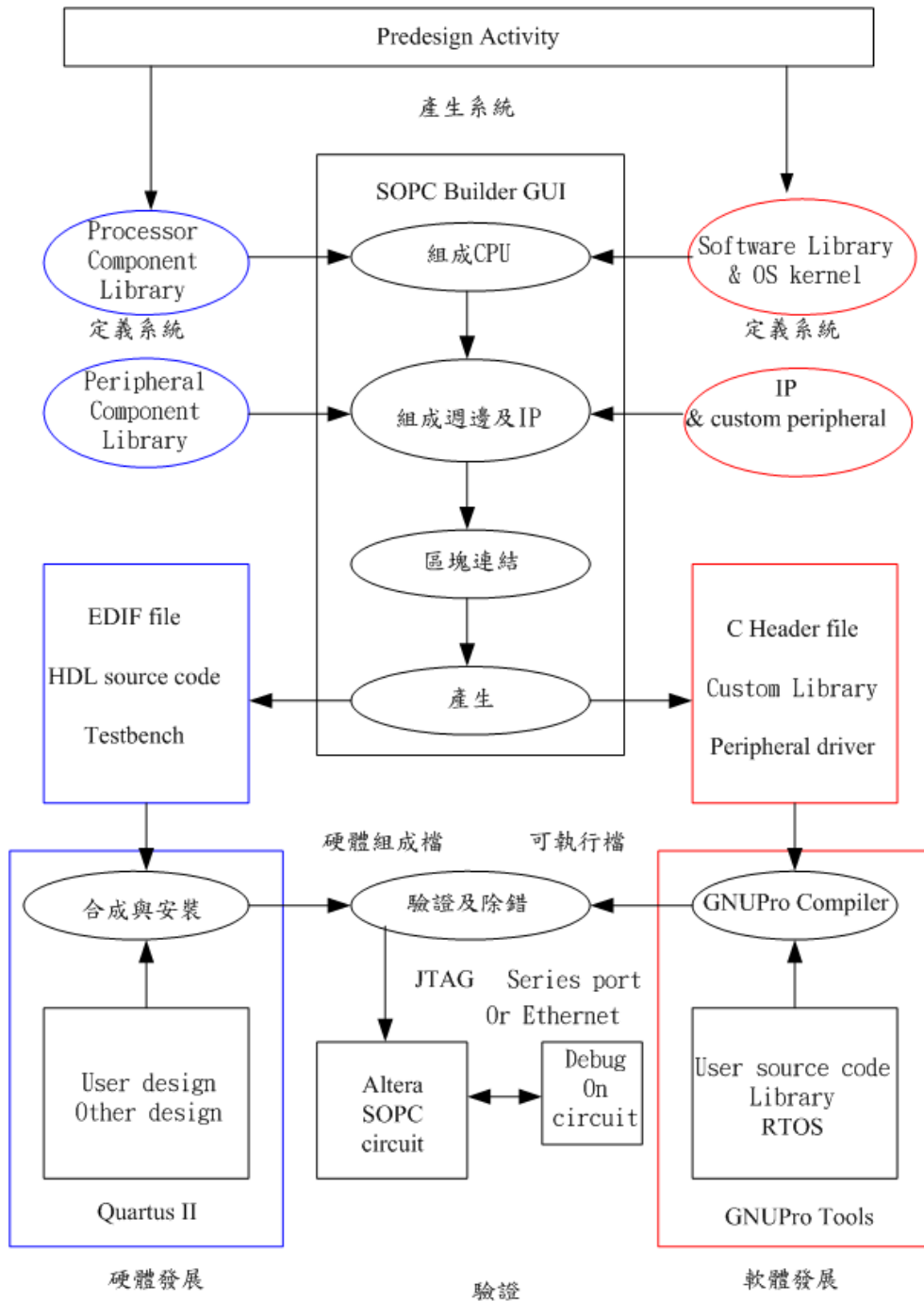


圖 2.1 SOPC 設計流程圖

### 三、軟體設計方案

Altera 公司提供 Compiler、Assembler、Linker、Debugger、Monitor 與 Libraries & utilities 等為軟體發展工具。使用者可以寫 C/C++ 語言或組合語言。然而雖然使用者可以寫 C/C++ 語言，但是卻有一些限制。例如：無法使用”fopen”指令去打開檔案，資料皆需透過記憶體。因此在嵌入式系統裡，記憶體的存取非常重要。

### 四、量產轉移程序

Altera 公司提供從 Excalibur 嵌入式處理器 PLD 到 HardCopy™ 晶片的移轉方案，設計者不會花太長的發展時間及巨額的設資。轉移程序如下：

- (1) 以 FPGA 做硬體雛形化設計。
- (2) 測試及除錯 FPGA 內之電路系統。
- (3) 轉移至 HardCopy structured ASIC。

## 2.2 Nios 嵌入式處理器系統發展

Nios 嵌入式系統處理器確定了軟核心嵌入式處理器的標準。它是 Altera 可規劃邏輯 (Programmable Logic) 以及 SOPC 最佳化之解決方案。我們可使用具有彈性及使用容易的 SOPC Builder 工具來產生。Nios 嵌入式處理器的系統發展如圖 2.2，主要為發展工具、系統元件以及發展電路板與套件等部分。

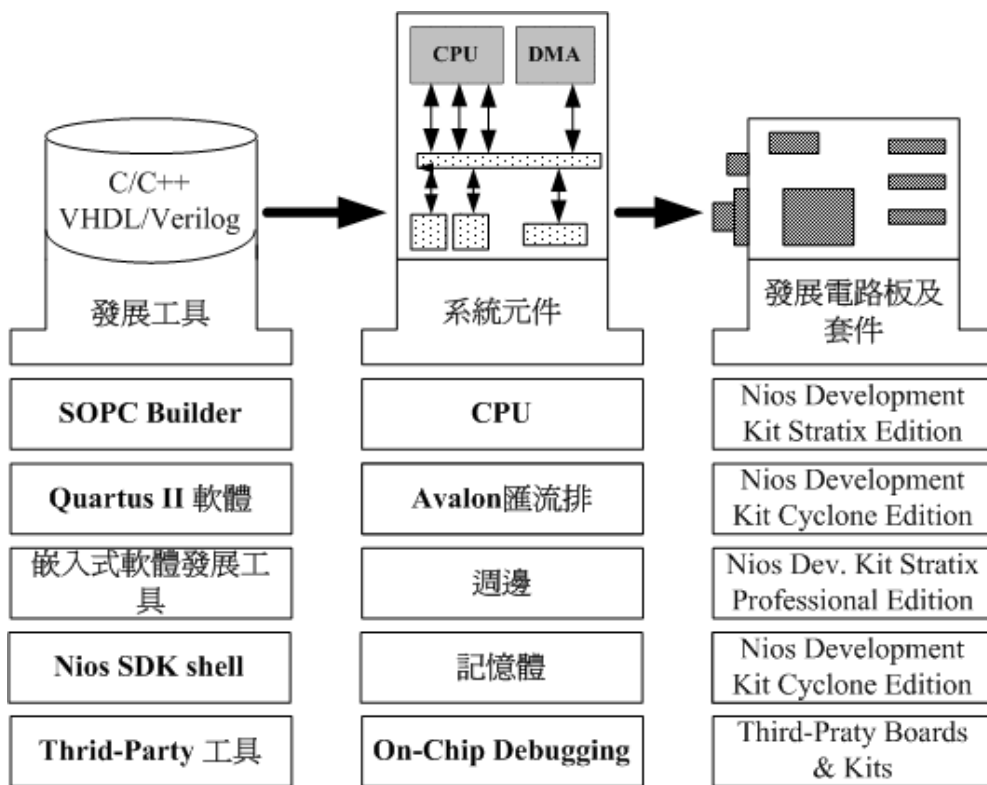


圖 2.2 Nios 嵌入式處理器系統發展

### 一、發展工具(Developer Tools)：

SOPC Builder 是系統開發的工具，它可自動整合系統元件，如：CPU、記憶體介面及週邊等等。SOPC Builder 也提供簡單的介面，讓使用者自定硬體更容易整合至 SOPC 上。設計者利用 SOPC Builder 建立嵌入式處理器系統。此嵌入式處理器系統包括 CPU、記憶體、及 I/O 週邊。SOPC Builder 元件庫包括 Wizard-based 圖形化介面供配置，以及硬體描述語言產生器自動產生 verilog 或 VHDL 供合成。

透過 QuartusII 軟體可使用 SOPC Builder。當 Nios 系統產生後，接下來使用 QuartusII 軟體去編譯並合成。若此系統沒有問題，則下載至發展電路板上，並使用 Nios SDK Shell 驗證其結果。

Nios SDK Shell 在 PC 平台上提供 UNIX-like 環境。包含的指令讓 UNIX 的使用者易於使用。在 Nios SDK Shell 裡，可使用 GERMS monitor 執行程式或檢視記憶體內程式執行狀態。

軟體設計者可用 C/C++ 程式語言發展軟體系統。Altera 公司提供設計者 GNUPro 工具。Red Hat 之 GNUPro 工具為軟體發展提供完整的解決方案。

## 二、系統元件(System Components)：

系統設計者可使用 SOPC Builder 依自己需求產生特定的系統。圖 2.3 為一個例子，此系統包括 Nios CPU、Avalon 週邊元件 (UART、PIO)、Ethernet、記憶體、DMA、自定硬體與 Avalon 匯流排的系統。

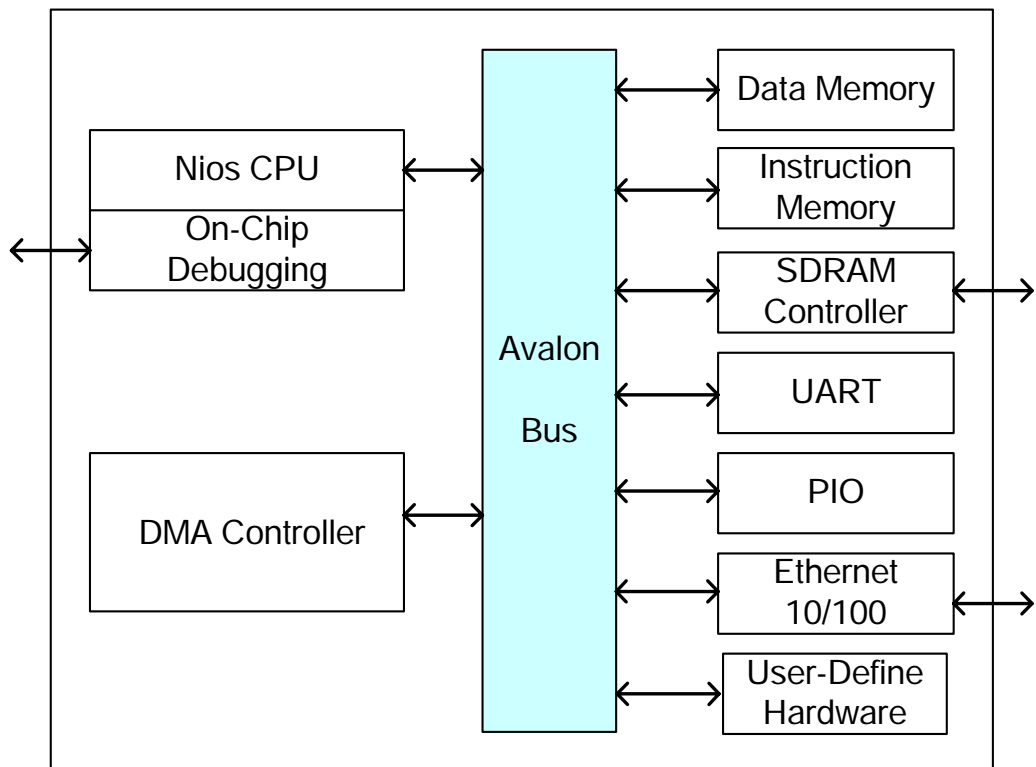


圖 2.3 Nios 嵌入式處理器系統例子

Nios CPU 是一個五階管線化精簡指令集 (five-stage pipelined RISC) 且指令和資料分離的微處理器。表 2.1 為 32 位元及 16 位元 Nios 處理器的資料及指令寬度。

|                   | 32 位元 Nios CPU | 16 位元 Nios CPU |
|-------------------|----------------|----------------|
| Data Bus Width    | 32             | 16             |
| ALU Width         | 32             | 16             |
| Register Width    | 32             | 16             |
| Address Bus Width | 32             | 16             |
| Instruction Width | 16             | 16             |

表 2.1 Nios 16 位元、32 位元處理器

Nios 嵌入式處理器發展套件包含了標準週邊元件庫，Altera 公司免費提供這些週邊元件之 VHDL、verilog 的原始碼。Nios 週邊元件庫包含了 UART、Timer、PIO、SPI、DMA、Memory Interfaces、Ethernet Port 及 Interface to User Logic。

### 三、發展電路板與套件(Development Boards & Kits)：

本論文以 Nios Development Kit Stratix Edition 為平台發展聰明型攝影機。此平台包括 EP1S10F780C6ES 的 FPGA (10,570 logic elements)、920 Kbits on-chip 記憶體、SRAM (1 Mbyte in two banks of 512 Kbytes, 16-bit wide)、SDRAM (16 Mbytes, 32-bit wide)、Flash (8 Mbytes)及 10/100 Ethernet physical layer/media access control (PHY/MAC)。圖 2.4 為 Stratix 發展板。

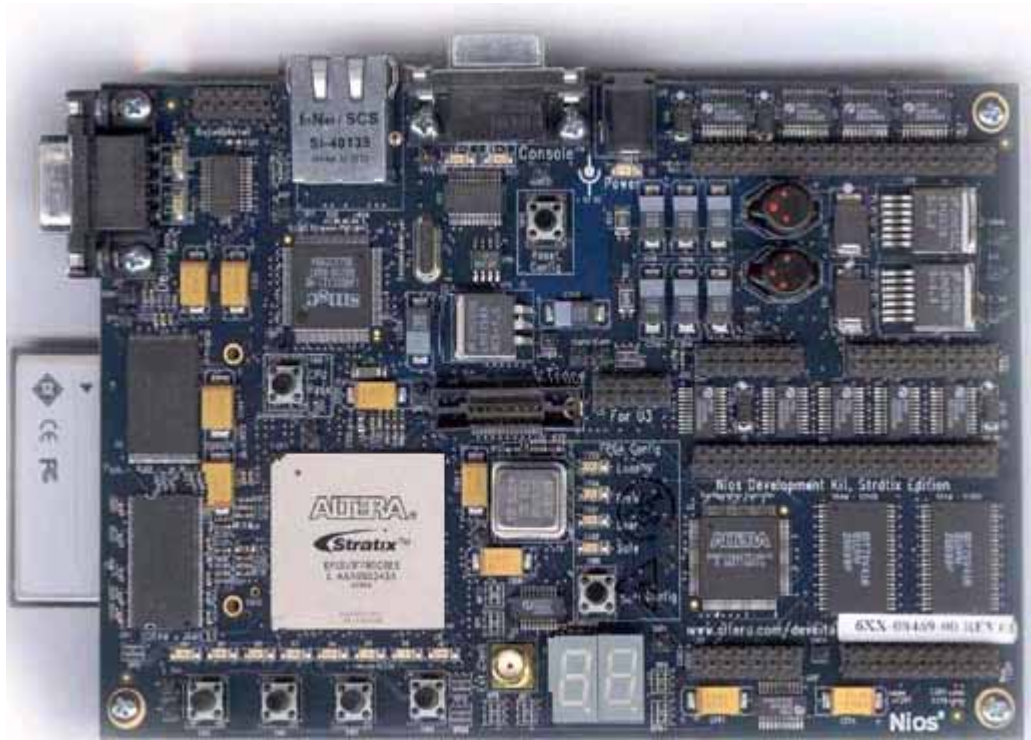


圖 2.4 Nios Stratix 發展板

## 2.3 CMOS 攝影機規格

本論文中採用 TAS5130DIB VGA CMOS color image sensor 來發展聰明型攝影機系統。TAS5130DIB 是單晶片數位影像感應器，0.35um 製程，此攝影機特色如下：

- (1) 最高每秒 30 張圖。
- (2) CMOS 數位影像感應器(image sensor)。
- (3) Wide dynamic range。
- (4) 具 on-chip CDS 電路。
- (5) 具 on-chip 8-bit 類比轉數位整流器(ADC)。
- (6) Bayer RGB color pattern。
- (7) External synchronization scheme。
- (8) 自動曝光控制(Auto Exposure Control)。
- (9) 自動電流強度控制(Auto Gain Control)。
- (10) +3.3 I/O 介面。
- (11) 具 Embedded +3.3V Regulated Power 供額外使用。
- (12) Low Power Consumption。
- (13) 32-pin PLCC Package available。

架構特色：

- (1) Optical size: 1/4-inch format。
- (2) Pixel size: 5.6 $\mu\text{m}$  × 5.6 $\mu\text{m}$ 。
- (3) Fill Factor: 27%。
- (4) 有效像素(pixel)數目: 645 (H) × 485 (V)。
- (5) Active image area: 3.61mm (H) × 2.72 (V)。
- (6) Optical black：水平方向：前 10 像素，後 10 像素。

垂直方向：前 5 像素，後 5 像素。

### 2.3.1 架構功能描述

TAS5130DIB 功能區塊圖(functional block diagram)如圖 2.5。

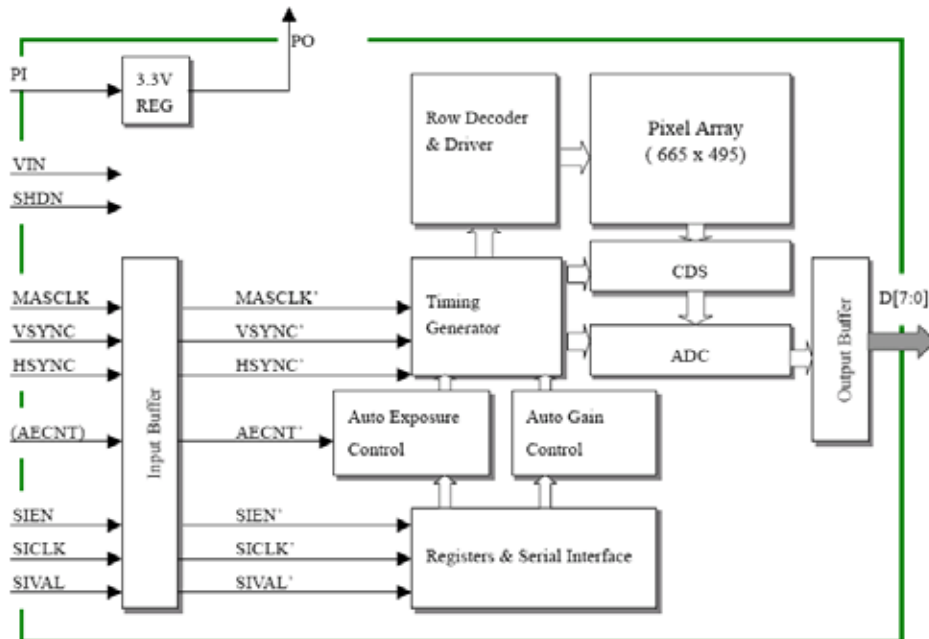


圖 2.5 TAS5130DIB 功能區塊圖

圖 2.5 是由台灣泰視科技公司所提供。在這個攝影機裡，主要控制 SHDN, MASCLK, VSYNC, HSYNC, SIEN, SICLK, SIVAL 腳位。結果由 D[7:0] 產生。當 SHDN=1 時，TAS5130DIB 影像感應器關閉，當 SHDN=0 時，感應器打開。MASCLK 是主要的時脈(master clock)，最高可達 24MHz。

在我們的聰明型攝影系統裡，我們採用 12.5MHz。VSYNC 是垂直同步訊號(Vertical synchronization)，用來表示換新的影像畫面(frame)。當 VSYNC 觸發時也可以表示一張影像第一列(row)的開始點。同樣的，HSYNC 是水平同步訊號(Horizontal synchronization)，用來表示換新列。當 HSYNC 觸發時也可表示在某列的第一個像素開始點。TAS5130DIB 內部大部分的訊號從 MASCLK, VSYNC, HSYNC 解碼。自動曝光時間控制(AEC)及自動電流強度控制(AGC)由輸入訊號 AECNT 或 SIEN、SICLK、SIVAL 控制。詳細的 TAS5130DIB 影像感應器腳位描述見附錄 A。

### 2.3.2 Image Array

有效像素陣列由  $645 \times 485$  像素之陣列所組成。此感應器晶片支援 progressive scan readout，也就是從底部到頂部，由左而右地數位輸出，形成如圖 2.6 的 RGB (Red, Green, Blue) Bayer color pattern。RGB Bayer pattern 是 CFA(color filter array)的一種。在 CFA 內的像素稱為 RGB raw data。每一

個像素只代表 R 或 G 或 B 中其中一個顏色。若要得到 24-bit 全彩的影像，必須使用 Demosaicing 演算法去還原影像。

在有效像素陣列周圍有額外的 optical black (OB) 像素，如圖 2.7 所示，這些 OB 像素由 light-shielding opaque element 所隱蔽著。圖 2.6 及圖 2.7 是由台灣泰視科技公司所提供。

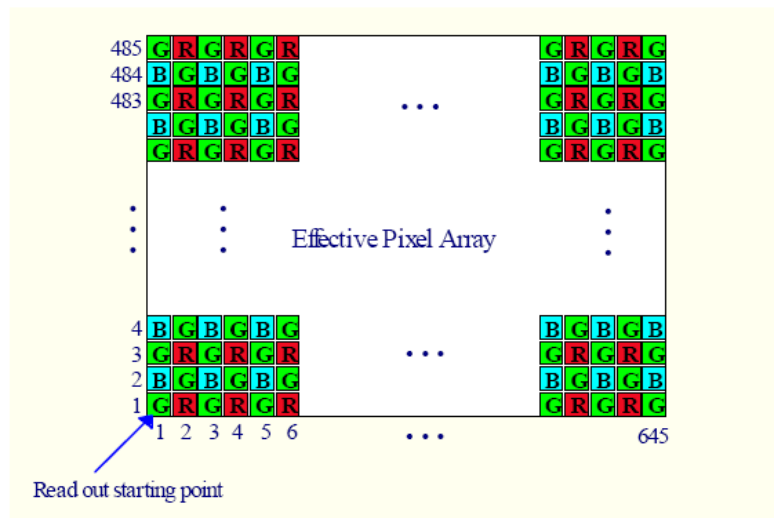


圖 2.6 Effective Pixel Image Array

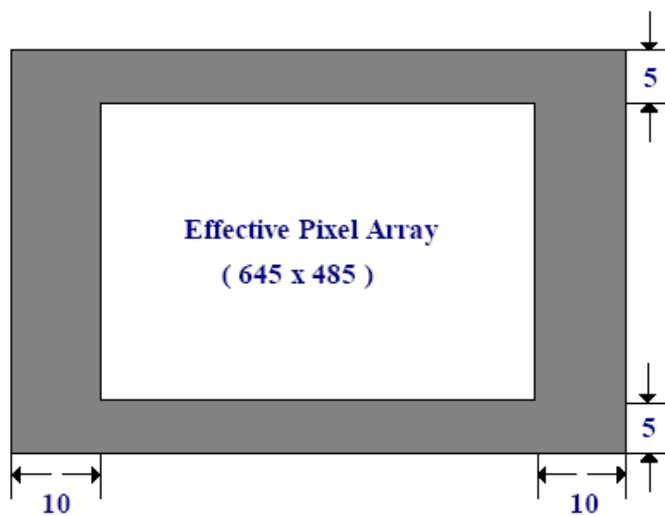


圖 2.7 Entire Pixel Array Including Optical Black Pixel

### 2.3.3 CDS、ADC、AEC、AGC 功能描述：

#### **Correlated Double Sampling(CDS):**

像素的雜訊主要用 CDS 電路去抑制。類比的輸出訊號被取樣兩次，一次為 reset level，一次為實際的 signal level。將 signal level 減 reset level，大部分的雜訊可被抑制。

#### **Analog-to-Digital Converter (ADC):**

on-chip 的類比轉數位(ADC)電路將類比訊號轉成 8-bit 數位訊號，由於輸出為數位資料，因此攝影機可更容易整合至 SOPC。

#### **Auto Exposure Control (AEC):**

AEC 電路用來控制曝光時間，曝光的時間長短可由 AECNT 或 SIEN、SICLK、SIVAL 控制。

#### **Auto Gain Control (AGC):**

AGC 電路用來控制影像亮度以適合環境，可由 AECNT 或 SIEN、SICLK、SIVAL 控制。

### 2.3.4 更多資訊

關於 TAS5130DIB 其它細部資料見附錄 A。附錄 A 包括腳位說明、AEC 及 AGC 控制表和 timing 分析圖。

## 2.4 Lancelot VGA controller

Lancelot 是相容於 Altera Nios 嵌入式系統的 VGA 視訊控制器。此外接卡適合安裝於 Altera Nios 嵌入式系統的擴充介面。VGA controller 架構圖如圖 2.8。

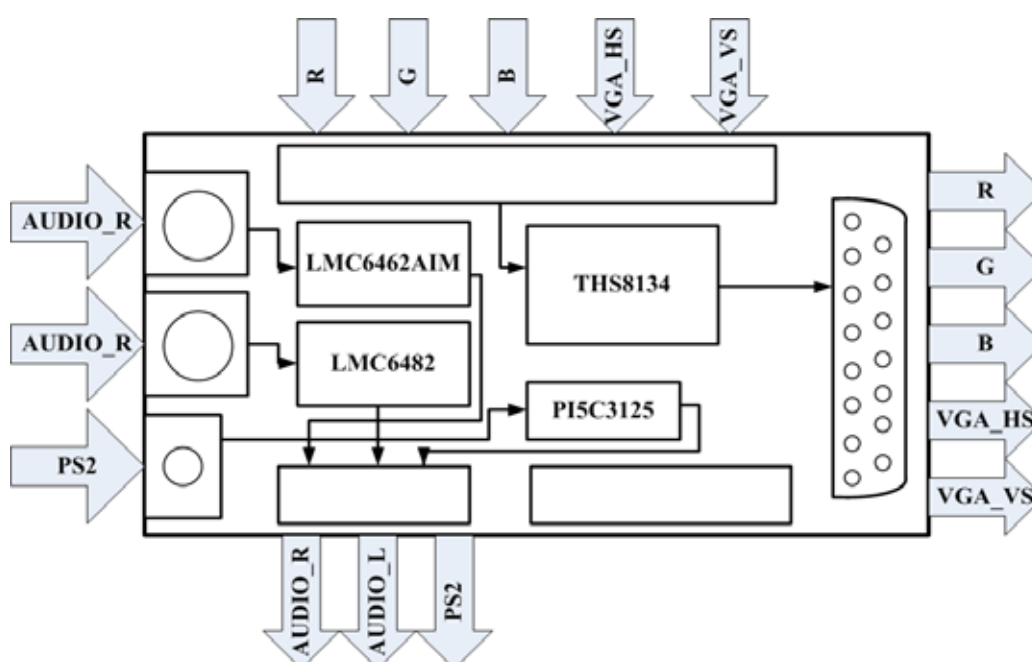


圖 2.8 VGA controller 架構圖

VGA controller 具有視訊 DAC、VGA、PS2 及 audio 接頭。THS8134 是 general-purpose triple high-speed D/A converter，使視訊及影像應用能更加完美。THS8134 包含 3 個 8-bit D/A converter，以及在視訊應用上的 bi-level/tri-level sync 和 blanking level generation 元件。在本論文中聰明型攝影機裡，我們藉由 VGA controller 將影像以灰階的方式顯示在螢幕上。