

第五章 結論

本論文所提出的架構對於向量量化器編碼端的硬體實現具有下列三樣優點：低面積複雜度、高吞吐量和高可調性。

使用子空間搜尋和位元平面縮減兩項技巧，可以大量降低實現碼簿 ROM 和 VSDC 運算單元的面積複雜度，整個硬體架構中最佔面積複雜度的也正好是屬於記憶體的碼簿 ROM 和擁有大量數學算的 VSDC 運算單元。使用多係數累積的技巧，可以降低部分距離計算的 Latency，事實上當 $\delta=4$ 時，單一模組的電路裡搜尋一個碼字的平均 Latency 幾乎接近只要一個時脈週期。我們的架構也提供了模組數的可調性，多模組的實現可以降低 Latency，但是卻要付出較高面積複雜度的代價，所以使用者可以根據需求在效能與面積複雜度上做取捨後決定模組數。

實際的效能測試顯示出我們提出的架構內嵌於 Nios 50MHz 的處理器上時執行效能優於沒有硬體支援的 Pentium4 處理器。