

國立臺灣師範大學科技與工程學院

光電工程研究所

碩士論文

Graduate Institute of Electro-optical Engineering

College of Technology and Engineering

National Taiwan Normal University

Master's Thesis

鐵電場效電晶體寫入後讀取速度及鐵電隨機存取記憶

體印記效應研究

Investigation of Read-After-Write in Ferroelectric Field-
Effect Transistor (FeFET) and Imprint Effect in
Ferroelectric Random Access Memory (FeRAM)

劉冠麟

Guan-Lin Liu

指導教授：李敏鴻 博士、邱南福 博士

Advisor : Min-Hung Lee, Ph.D. and Nan-Fu Chiu, Ph.D.

中華民國 114 年 7 月

July 2025

致謝

兩年的碩士生涯過得很快，一轉眼就已經開始寫論文了，現在回想其實這兩年過得很充實，認識了實驗室裡的優秀學長姐們，還跟福生學長合作的一篇IEDM 及一篇 VLSI，雖然兩次都沒有被接受，但還是覺得成長很多。

首先感謝敏鴻老師這兩年來的指導，不管是每週 meeting 的元件機制解釋及製程討論，或是學校課堂上的鐵電元件技術及半導體物理，都使我在量測實驗、製程上收穫良多。再來要感謝在我碩一時手把手帶我的福生學長，不管是元件物理機制或實驗上遇到的問題都難不倒他，同時也教會我很多實驗設計及數據該怎麼詮釋等該注意的細節，其中讓我印象最深的是由於時常都要加班至半夜，學長總會跟我說：「你才碩一而已，早點回家休息吧，剩下的交給我就好。」，彷彿有學長在所有問題都能解決。再來要感謝呈宏、嘉洋、兆豐、以太、家宏、宗翰這些學長們，這兩年間因為有學長們的共同努力，實驗室依舊能穩定發展，同時在我遇到不同問題時也都會細心地回答我。其中與我年齡相近卻實力超群的呈宏學長，這兩年間也教會我很多處事方法及材料相關知識。再來是資深的嘉洋學長、很會發現問題的哲奇，幫助我挺過在投稿 SNDCT 所遇到的困難。再來是溫柔的家宏學長，讓我在碩一時快速熟悉實驗量測及機台。再來是顏質組的以太、宗翰學長，兆豐學長和前學長姐們，因為有學長姐們辛苦產出的元件，我們才能有好的量測數據。再來要感謝同期的心慈、劉恆，要不是有你們的陪伴與幫助，我都不確定能否順利挺過這兩年。再來要感謝冠霆、佩穎學弟妹們，幫忙我處理過一些雜事和口試期間的事項。最後要感謝我的父母，願意讓我無擔憂的完成研究所，支持我選擇的方向及尊重我的選擇，等我兵役結束之後就換我來孝敬你們！

摘要

隨著非揮發性記憶體 (Non-Volatile Memory, NVM) 技術廣泛應用於人工智慧 (Artificial intelligence, AI) 與嵌入式系統領域，鐵電隨機存取記憶體 (Ferroelectric Random Access Memory, FeRAM) 與鐵電場效電晶體 (Ferroelectric Field-Effect Transistor, FeFET) 因具備高速、低功耗與互補式金屬氧化物半導體 (Complementary Metal-Oxide-Semiconductor, CMOS) 相容等優勢，被認為次世代記憶體架構的關鍵候選。然而在實際操作條件下，元件易受電子陷阱 (Trap) 與缺陷 (Defect) 影響，導致臨界電壓 (Threshold Voltage, V_T) 漂移、記憶視窗 (Memory Window, MW) 衰退與資料保持性劣化等可靠度挑戰。

本研究針對鐵電隨機存取記憶體與鐵電場效電晶體分別使用的元件結構為金屬-鐵電-金屬 (Metal-Ferroelectric-Metal, MFM) 與環繞式閘極 (Gate-All-Around, GAA)，探討元件在電子陷阱分佈與內建電場形成交互作用下的電性行為。於鐵電場效電晶體部分，提出雙層鐵電氧化鈷鋅 (HfZrO_2 , HZO) 夾氮化鈦 (Titanium Nitride, TiN) 結構，透過上下層厚度差異設計矯頑場 (Coercive Field) 不對稱性，並抑制短延遲讀取下的電子陷阱行為，有效提升高速讀寫下之寫入後讀取 (Read-After-Write) 穩定性。

於鐵電隨機存取記憶體部分，則藉由控制溫度與厚度變因，系統性分析印記效應 (Imprint Effect)，並證實其由極化導致的陷阱再分佈與氧空缺 (Oxygen Vacancies, V_O) 狀態變化所主導。實驗結果顯示，陷阱行為與內建電場交互作用為鐵電記憶體失效之關鍵，亦為未來可靠度設計之核心議題。

本研究提出結構設計與量測方法兩面向之改善策略，期望能作為高穩定度鐵電記憶體元件開發之參考。

關鍵詞：電子陷阱、印記效應、鐵電隨機存取記憶體、鐵電場效電晶體、寫入後讀取

Abstract

With the increasing demand for non-volatile memory (NVM) in artificial intelligence (AI) and embedded systems, ferroelectric random access memory (FeRAM) and ferroelectric field-effect transistor (FeFET) had been identified as promising candidates due to their high speed, low power consumption, and CMOS compatibility. However, device reliability had remained a critical concern, as electron trap behavior and defect were known to induce threshold voltage shifts, memory window degradation, and data retention loss under practical operating conditions.

In this study, the effect of trap distributions and internal field formation mechanisms were investigated on the electrical characteristics of FeRAM and FeFET devices, which had been using metal-ferroelectric-metal (MFM) and gate-all-around (GAA) device structures, respectively. For the FeFET, a titanium nitride (TiN) - inserted double HfZrO₂ (HZO) stack had been implemented to enhance read-after-write stability under fast operation, by introducing thickness-induced asymmetric coercive fields and suppressing electron trapping under short read delay conditions.

For the FeRAM, systematic thermal baking experiments had been conducted across various temperatures and film thicknesses to analyze imprint effect. The results confirmed that polarization-induced trap redistribution and oxygen vacancy transitions were the dominant mechanisms responsible of internal field-induced degradation.

The findings highlighted the critical role of electron trapping and internal field coupling in the reliability of ferroelectric memory, and provided experimentally validated strategies for future device optimization in high-performance and high-density applications.

Keywords: Electron Traps, Imprint Effect, FeRAM, FeFET, Read-After-Write

目錄

致謝.....	i
摘要.....	ii
Abstract.....	iii
目錄.....	iv
表目錄.....	vi
圖目錄.....	vii
第一章 緒論.....	1
1.1 記憶體與鐵電材料簡介.....	1
1.2 鐵電記憶體.....	4
1.2.1 鐵電隨機存取記憶體 (FeRAM)	4
1.2.2 鐵電場效電晶體 (FeFET)	6
1.3 電子陷阱的形成與內建電場機制.....	7
1.3.1 鐵電隨機存取記憶體 (FeRAM) 中的電子陷阱	8
1.3.2 鐵電場效電晶體 (FeFET) 中的電子陷阱	11
第二章 量測儀器設定與實驗方法.....	14
2.1 簡介.....	14
2.2 量測機台設定及方式.....	15
2.2.1 量測機台介紹-Radiant.....	15
2.2.2 遲滯曲線之量測.....	17
2.2.3 量測機台介紹-B1530A.....	19
2.2.4 RSU 檢測與除錯過程.....	22
第三章 鐵電場效電晶體 (FeFET) 之特性探討	25
3.1 簡介.....	25
3.2 寫入後讀取 (Read-After-Write) 實驗設計	26

3.3 實驗結果與討論.....	27
3.3.1 環繞式閘極鐵電場效電晶體 (GAA FeFET)	27
3.4 小結.....	31
第四章 鐵電隨機存取記憶體(FeRAM)之印記(Imprint)行為探討	32
4.1 簡介.....	32
4.2 印記(Imprint)實驗設計	33
4.2.1 量測機台介紹-B1525A.....	33
4.2.2 實驗波型設定.....	33
4.3 實驗結果與討論.....	36
4.3.1 溫度對印記 (Imprint) 的影響.....	36
4.3.2 厚度對印記 (Imprint) 的影響.....	42
4.3.3 不同頻率下之 Endurance 對印記 (Imprint) 影響	47
4.4 小結.....	50
第五章 總結與未來展望.....	51
5.1 總結.....	51
5.2 未來展望.....	52
References.....	53
Publications.....	56
研討會論文.....	56

表目錄

表 2-1 Precision Premier II Ferroelectric Tester 機台規格 16



圖目錄

圖 1-1 記憶體金字塔	1
圖 1-2 典型鐵電材料之 P-E 遲滯曲線	2
圖 1-3 $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$ ($x=0\%$ 、 30% 、 40% 、 50% 、 70% 、 100%) 於不同摻雜比例下 之相對介電常數與 P-E 遲滯曲線.....	3
圖 1-4 HfO_2 與 Zr 含量為 50% 、 75% 之 $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$ 材料的電流-時間響應與對應之 P-E 遲滯曲線.....	3
圖 1-5 FeRAM 元件結構與讀取機制示意圖	5
圖 1-6 FeRAM 與 DRAM 儲存機制差異比較圖	5
圖 1-7(a) FeFET 基本結構圖(b)極化狀態對 I_D - V_G 特性之影響示意圖	6
圖 1-8 遲滯曲線因(a)極化疲乏(b)極化偏移(c)保持性衰退所導致劣化現象.....	8
圖 1-9 電子注入示意圖	10
圖 1-10 Imprint 機制示意圖	10
圖 1-11 循環操作下鐵電域與陷阱分佈演化示意圖	11
圖 1-12 n 型 FeFET 於 read-after-write 操作下，不同延遲時間對 V_T 與 MW 之影 響.....	12
圖 1-13 FeFET 於 read-after-write 操作中， V_T 隨延遲時間變化之趨勢示意圖... 13	13
圖 1-14 FeFET 中陷阱電荷與 E_{dep} 交互機制的三階段示意圖：(a)陷阱屏蔽 E_{dep} ， 穩定極化(b)陷阱釋放使 E_{dep} 回升(c) E_{dep} 超過矯頑場導致極化反轉與寫入失 效.....	13
圖 2-1 Radiant QuickLook 測試參數設定介面.....	17
圖 2-2 P-E 繪圖參數設定介面	18
圖 2-3 Recovery 模式設定介面	19
圖 2-4 Keysight B1500A 機台	20
圖 2-5 RSU 架模組安裝示意圖	21

圖 2-6 RSU 與示波器連接示意	21
圖 2-7 RSU 模組內部電路圖	22
圖 2-8 Bypass 模式下輸出之正常波形	23
圖 2-9 WGF MU 模式下輸出之正常波形	24
圖 2-10 Fast IV 模式下量測之 PUND 電流	24
圖 2-11 RSU 異常之 PUND 電流波形	24
圖 3-1 單層 HZO 與雙層 HZO 結構之 I_D - V_G 電性曲線	26
圖 3-2 Read-After-Write 量測波型示意圖	27
圖 3-3 Single-HZO 在 $PW=100 \mu s$ 下的 read-after-write	29
圖 3-4 Single-HZO 在 $PW=10 ns$ 下的 read-after-write	29
圖 3-5 TiN-DHZO 在 $PW=100 \mu s$ 下的 read-after-write	30
圖 3-6 TiN-DHZO 在 $PW=10 ns$ 下的 read-after-write	30
圖 3-7 Single-HZO 與 TiN-DHZO 結構於 GAA 元件內電場分佈示意圖	31
圖 4-1 印記 (Imprint) 實驗操作波形示意圖	35
圖 4-2 具加熱功能之探針平台與溫控系統面板	35
圖 4-3 $25^\circ C$ 下 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作	38
圖 4-4 $25^\circ C$ 下極化方向操作後，於 3 ks 後對應之 P-E 曲線比較	38
圖 4-5 $55^\circ C$ 下 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作	39
圖 4-6 $55^\circ C$ 下極化方向操作後，於 3 ks 後對應之 P-E 曲線比較	39
圖 4-7 $85^\circ C$ 下 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作	40
圖 4-8 $85^\circ C$ 下極化方向操作後，於 3 ks 後對應之 P-E 曲線比較	40
圖 4-9 鐵電層厚度 10nm 在不同溫度 ($25^\circ C$ 、 $55^\circ C$ 、 $85^\circ C$) 下之隨時間變化之 V_C	

位移.....	41
圖 4-10 鐵電層厚度 10nm 之 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作.....	43
圖 4-11 比較鐵電層厚度 10nm 經極化方向操作後，於 3 ks 時之 P-E 曲線變化.....	43
圖 4-12 鐵電層厚度 8nm 之 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作.....	44
圖 4-13 比較鐵電層厚度 8nm 經極化方向操作後，於 3 ks 時之 P-E 曲線變化.....	44
圖 4-14 鐵電層厚度 6nm 之 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作.....	45
圖 4-15 比較鐵電層厚度 6nm 經極化方向操作後，於 3 ks 時之 P-E 曲線變化.....	45
圖 4-16 不同鐵電層厚度 (6、8、10nm) 在 55°C 高溫下，隨時間變化之 V_C 位移.....	46
圖 4-17 波形示意圖.....	48
圖 4-18 不同頻率時間下 P_r 隨循環次數之變化.....	48
圖 4-19 不同頻率時間下 $2P_r$ 變化比較.....	49
圖 4-20 (a)不同頻率時間下 ΔP_r 變化比較(b)Imprint 示意圖.....	49

第一章 緒論

1.1 記憶體與鐵電材料簡介

隨著記憶體內運算 (Compute-in-Memory, CiM)、第五代行動通訊 (5G)、物聯網 (Internet of Things, IoT) 與人工智慧 (AI) 等應用日益普及，對於記憶體系統提出更高的效能與能耗需求。現行主流記憶體技術如動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 與快閃記憶體 (NAND Flash) 分別面臨儲存資料需持續供電與寫入速度緩慢的問題，加上元件尺寸微縮日益趨近極限，因此促使業界積極發展新興記憶體 (Emerging Memory) 技術。

圖 1-1 以金字塔形式展示各類記憶體於記憶體階層中的相對定位與應用領域[1]，並標示其速度 (Speed)、耐久性 (Endurance) 與單位儲存成本 (Cost per Bit) 之對比。以二氧化鈦 (HfO_2) 為基礎的鐵電記憶體，如一電晶體一電容結構 (1-Transistor-1-Capitor, 1T1C) 的 FeRAM、一電晶體 (1-Transistor, 1T) 的 FeFET 與 3D FeFET 具備高速、非揮發與製程簡化等優勢，逐漸被視為適合應用於儲存級記憶體 (Storage Class Memory, SCM) 甚至高效能嵌入式系統的潛力技術。

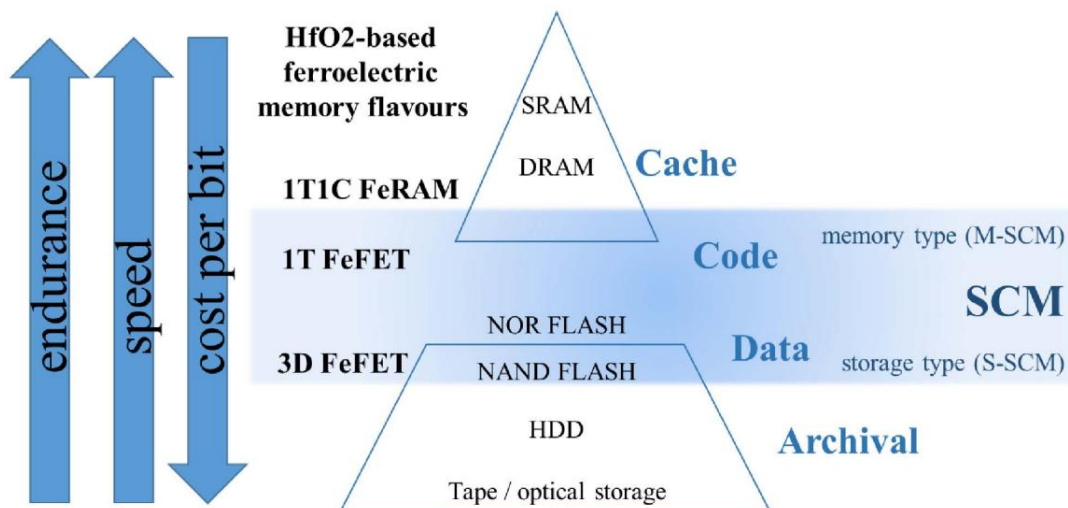


圖 1-1 記憶體金字塔[1]。

鐵電材料因其晶格中氧原子的非對稱位移產生電偶極(Dipole)，進而表現出自發極化(Spontaneous Polarization)與雙穩態特性，即使在外加電場移除後仍能保持剩餘極化量(Remanent Polarization, P_r)，形成典型的極化-電場(Polarization-Electric field, P-E)雙迴線，如圖 1-2 所示[2]。這種特性使其成為實現非揮發性記憶體(NVM)的關鍵材料之一。

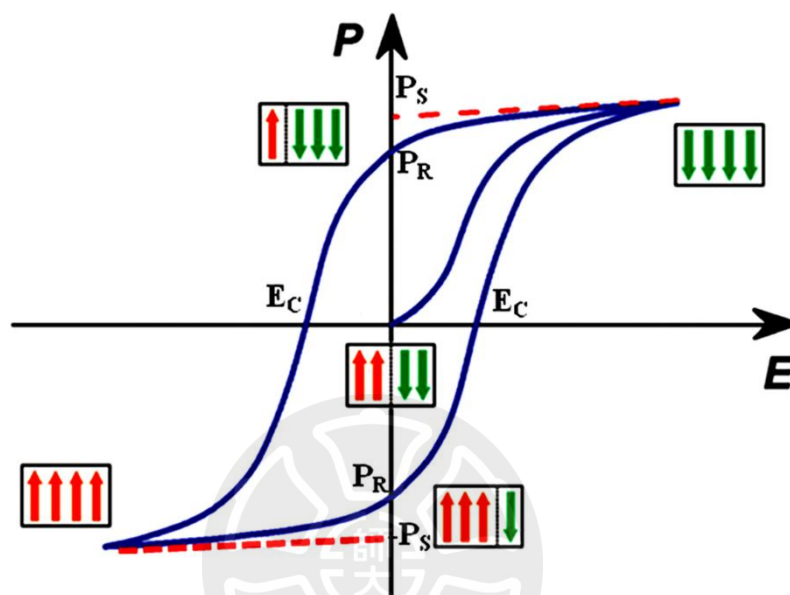


圖 1-2 典型鐵電材料之 P-E 遲滯曲線[2]。

早期常見鐵電材料如 $BaTiO_3$ 、PZT 等多為鈣鈦礦結構[3]，雖具良好鐵電性，卻面臨製程微縮不易與先進 CMOS 製程不相容的問題[4]。2011 年 Böске 團隊首次於 HfO_2 薄膜中觀察到鐵電特性[5]，掀起新一代 CMOS 相容鐵電材料研究熱潮。隨後相關研究發現，透過摻雜元素(如 Zr、Si、La 等)可誘導 HfO_2 進入鐵電相[6-8]，並可藉由調控摻雜濃度進一步優化其極化特性。

圖 1-3 顯示了 $Hf_{1-x}Zr_xO_2$ 材料於不同 Zr 含量(0%、30%、40%、50%、70%、100%)下的相對介電常數與 P-E 遲滯曲線變化[9]。可觀察到在 Zr 含量為 50% 時，材料展現出最大剩餘極化量(P_r)，為最佳鐵電性表現，而摻雜濃度再提升至 70% 以上則產生反鐵電行為，出現典型的雙曲線特徵。

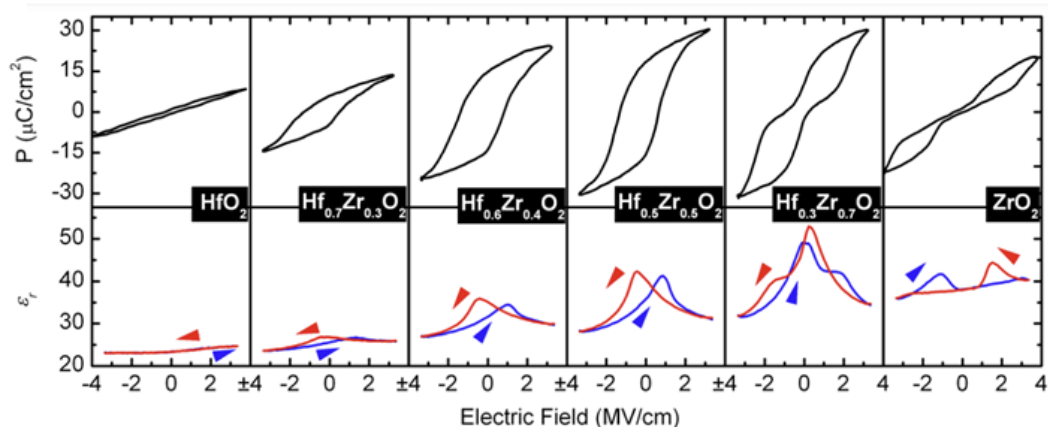


圖 1-3 $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$ ($x = 0\%$ 、 30% 、 40% 、 50% 、 70% 、 100%) 於不同摻雜比例下之相對介電常數與 P-E 遲滯曲線[9]。(Reproduced with permission from Ref. [9]. © 2012 American Chemical Society.)

進一步分析其材料極化響應，圖 1-4 比較了摻雜濃度分別為 0%、50%、與 75%時的電流-時間 (I-t) 波形及其對應的 P-E 遲滯曲線[9]。純 HfO_2 幾乎無鐵電電流，摻雜 Zr 50%的 HZO 呈現明顯鐵電響應，而 Zr 含量達 75%時則轉變為反鐵電開關行為，對應雙迴線形狀，顯示摻雜濃度對鐵電性質具有關鍵調控能力。

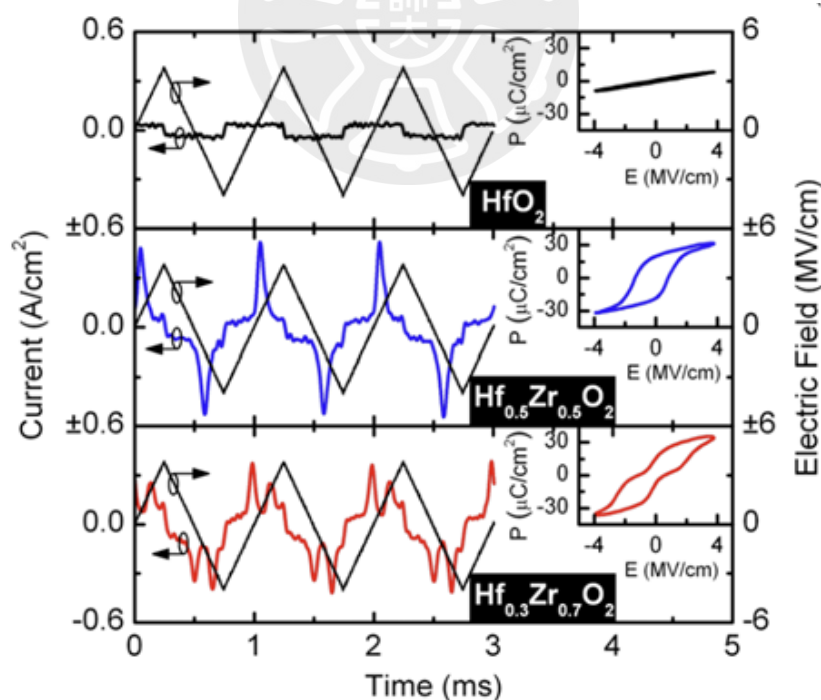


圖 1-4 HfO_2 與 Zr 含量為 50%、75%之 $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$ 材料的電流-時間響應與對應之 P-E 遲滯曲線[9]。(Reproduced with permission from Ref. [9]. © 2012 American Chemical Society.)

1.2 鐵電記憶體

1.2.1 鐵電隨機存取記憶體 (FeRAM)

FeRAM 是一種結合傳統 DRAM 結構與鐵電材料特性的非揮發性記憶體。其基本單元採用 1T1C 架構，如圖 1-5 所示[10]，透過字線 (Word Line, WL) 控制通道電晶體開關，藉以將鐵電電容 (C_{FE}) 與位線 (Bit Line, BL) 連接。與 DRAM 不同的是，FeRAM 的電容下電極接於 Plate Line (PL) 而非接地，透過輸入不同極性的電壓脈衝至 PL，即可切換鐵電層中極化方向，並利用剩餘極化 (P_r) 記錄資料位元「0」與「1」。由於 P_r 可在不通電情況下穩定存在，因此實現了非揮發性儲存。

FeRAM 的讀取依賴極化翻轉所造成的瞬時電流變化，如圖 1-5 右側所示[10]。若極化方向相反，則在施加脈衝時產生明顯電流尖峰；若無極化反轉，則電流相對平緩。此行為可用於判斷儲存狀態。不過因讀取動作為破壞性讀取，因此需要在讀取後進行資料重寫。

進一步與 DRAM 比較，如圖 1-6 所示[11]，FeRAM 透過 P_r 儲存電荷而具備非揮發性，而 DRAM 僅依靠電容電荷量儲存資料，電荷易因漏電而流失，需定期刷新以維持資料。兩者在電路設計與穩定性上存在根本差異。

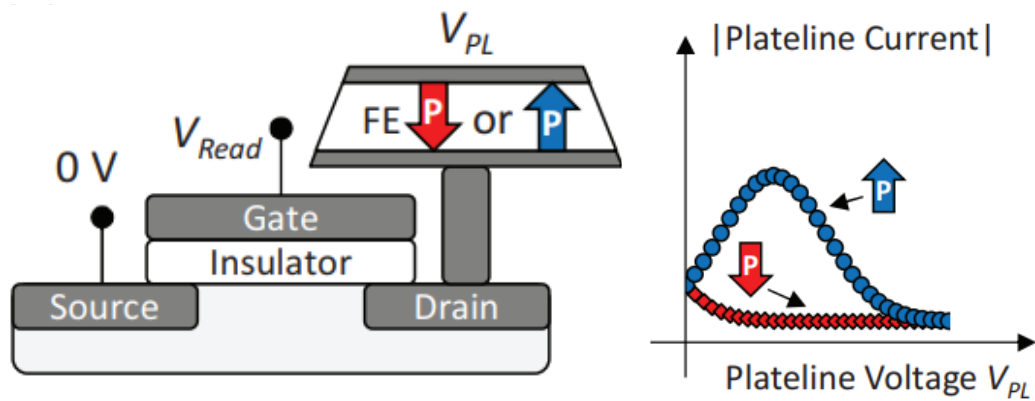


圖 1-5 FeRAM 元件結構與讀取機制示意圖[10]。

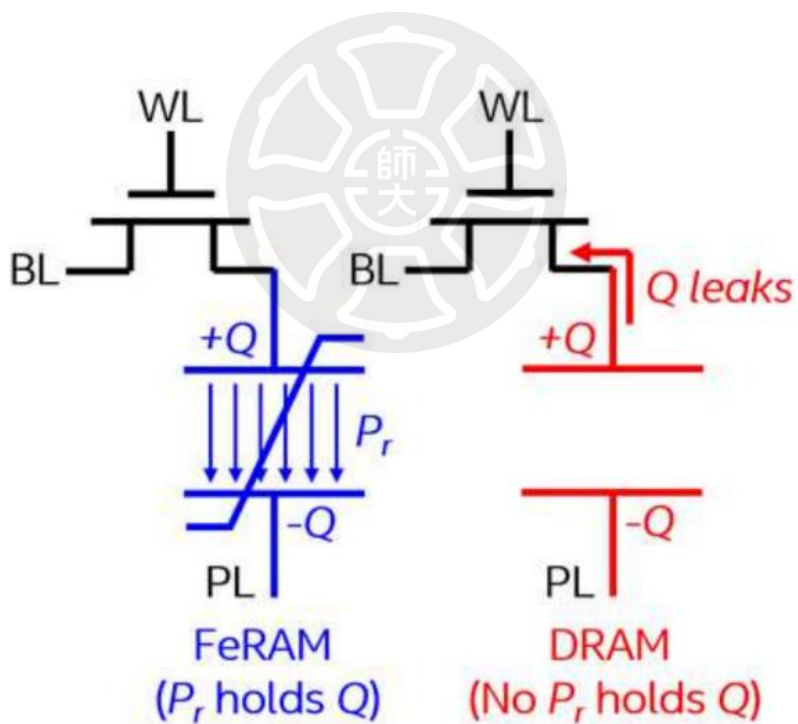


圖 1-6 FeRAM 與 DRAM 儲存機制差異比較圖[11]。

1.2.2 鐵電場效電晶體 (FeFET)

FeFET 為一種將鐵電材料直接作為場效電晶體閘極絕緣層的元件，其基本結構如圖 1-7(a)所示[10]。與一般 MOSFET 相比，其最大差異在於閘極絕緣層為鐵電層，極化狀態將直接改變閘極下通道的能障結構，進而控制導通狀態。當鐵電極化方向朝向通道 (P 朝下) 時，將使通道所需臨界電壓降低 (Low V_T)；反之，當極化方向遠離通道 (P 朝上) 時，導通臨界電壓則提高 (High V_T)。

這樣的極化切換行為使 FeFET 可於不同極化狀態下展現雙臨界電壓行為，其 I_D - V_G 電性曲線如圖 1-7(b)所示[10]，形成可觀察之記憶視窗 (MW)，代表不同的位元狀態 (邏輯"0"與"1")。此特性使 FeFET 不僅具備非揮發性記憶能力，亦可實現高整合密度與非破壞性讀取 (Non-Destructive Read)，是具備高度潛力的新興記憶體元件。

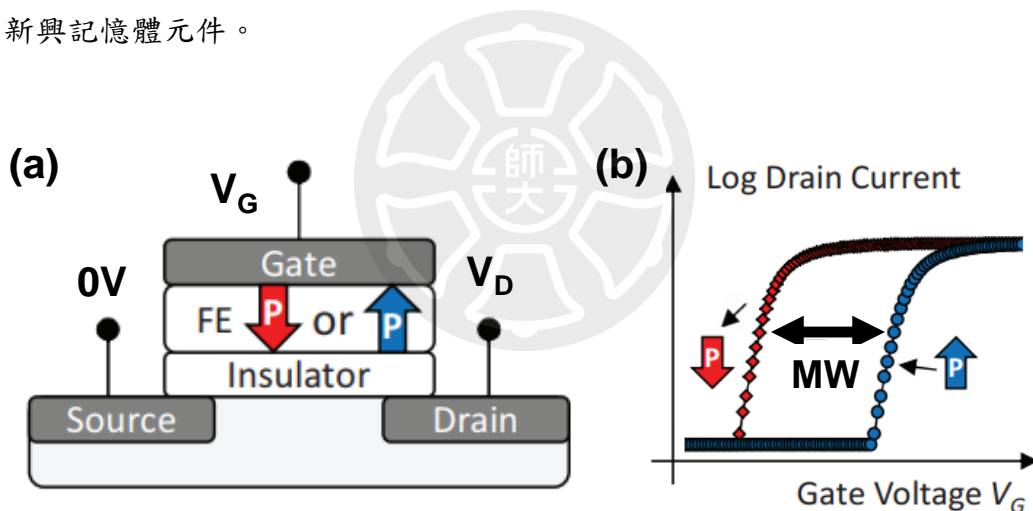


圖 1-7(a) FeFET 基本結構圖(b)極化狀態對 I_D - V_G 特性之影響示意圖[10]。

1.3 電子陷阱的形成與內建電場機制

鐵電記憶體元件雖具有高速度、低功耗與非揮發性等優點，然而在長時間或高頻操作下，常會出現電性行為退化現象，限制其在實際應用中的穩定性與可靠度。根據 Ishiwara 等人提出之鐵電元件失效機制分類（圖 1-8）[12]，可將其主要電性退化現象歸納為三種類型，分別為：極化疲乏(Fatigue)、極化偏移(Imprint)與資料保持性衰退 (Retention Loss)。

第一類為極化疲乏 (Fatigue)，指元件經過大量極化切換循環後，其飽和極化值 (Saturation Polarization, P_s) 與 P_r 值逐漸下降，使遲滯曲線逐步衰退至中心，導致記憶辨識度降低。其主要原因包括介面層的劣化、缺陷累積以及鐵電疇壁釘扎 (Domain Wall Pinning) 受限等，特別是在上下電極介面產生的陷阱電荷可能屏蔽外加電場，抑制極化反轉行為。

第二類為極化偏移 (Imprint)，即 P-E 遲滯曲線於橫軸 (電壓軸) 方向產生位移，表示元件在經歷操作後，極化行為呈現非對稱性，容易傾向於維持特定極化狀態。此現象通常與電子注入至介面層或氧空缺陷的形成有關，注入電子所產生的內建電場將部分抵銷外加電場，使極化反轉所需電壓提升或偏移。

第三類為資料保持性衰退 (Retention Loss)，指元件在未操作情況下，原先寫入的極化狀態隨時間緩慢減弱或翻轉，導致資料喪失。此效應可能與陷阱電荷釋放、去極化場效應或鐵電極化退化有關，尤其在高溫條件下更加明顯。

圖 1-8 統整了上述三種失效現象在 P-E 遲滯曲線中的表現型態[12]，可作為理解後續探討電子陷阱機制的問題背景。上述退化行為主要在電容式鐵電元件 (如 FeRAM) 中被廣泛觀察，然而在 FeFET 中也出現類似現象，例如極化疲乏對應至記憶視窗衰退、極化偏移表現為臨界電壓偏移，以及保持性退化則表現為臨界電壓隨時間回復等，皆與電子陷阱與內建電場形成密切相關[13]。

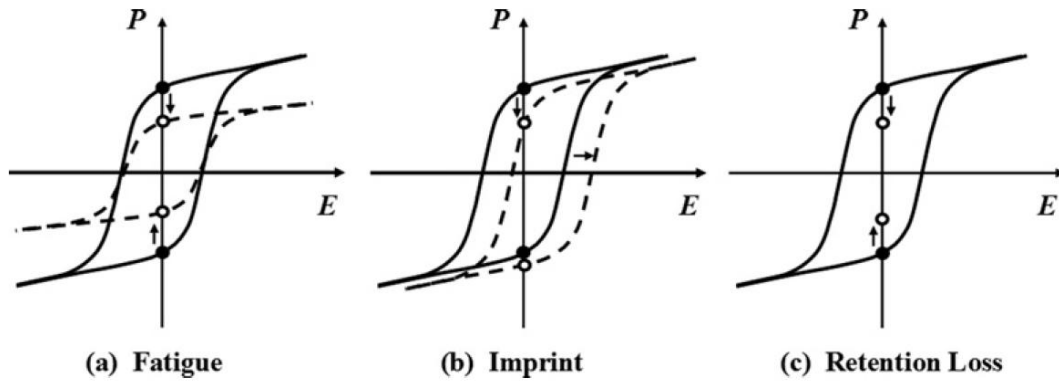


圖 1-8 遲滯曲線因(a)極化疲乏(b)極化偏移(c)保持性衰退所導致劣化現象[12]。

1.3.1 鐵電隨機存取記憶體 (FeRAM) 中的電子陷阱

在 FeRAM 中，元件以 1T1C 架構為主，透過鐵電電容的極化狀態儲存資訊。然而隨著操作循環增加，常伴隨 P_r 值縮小、極化非對稱與保持性衰退等現象發生，而這些退化行為多與材料中的電子陷阱與缺陷分佈密切相關，進而導致 Imprint 效應的產生。為釐清此類退化機制與材料本質的關聯性，本研究採用金屬-鐵電-金屬 (MFM) 結構作為實驗分析對象，聚焦於 1T1C 架構中鐵電電容 (1C 部分) 的單元行為。MFM 可排除電晶體導通與通道效應干擾，使觀察結果更直接反映極化切換與電子陷阱間的交互機制，亦為後續探討 Imprint 行為與內建電場建立之基礎。

造成 Imprint 的機制可概略分為兩類。首先第一類如圖 1-9 所示[14]，在極化建立後，介面層 (Interfacial Layer, IL) 與鐵電層間存在電場不連續與去極化場 (Depolarization Field, E_{dep})，在疊加偏壓與溫度條件下，電子自電極穿隧或注入至介面層與鐵電材料中。這些電子可能被鐵電層本體 (Bulk) 或介面處的陷阱捕獲，形成固定電荷並逐漸建立一個內建電場 (E_{Imp})，造成 P-E 遲滯曲線偏移與極化對稱性喪失。此一現象受注入時間積分與熱激發影響，換言之，時間越久及溫度越高，電子捕獲速率與注入效率亦越高[14]。

第二類機制則與鐵電材料本身的氧空缺有關。氧空缺原為中性 V_o ，但在高

溫操作條件下，其束縛的電子可能逸出，進而轉變為帶正電的 V_{O}^{2+} ，形成 trap [15]。圖 1-10 (a) 至 (c) 描繪此過程[16]：氧空缺陷於加熱期間釋放電子，產生大量帶正電的缺陷，其濃度沿鐵電層厚度方向分佈不均，導致鐵電層內建電場 E_{imp} 產生，進而導致極化偏壓方向發生傾斜，亦為 Imprint 現象的另一來源。

進一步觀察材料的微觀演化，如圖 1-11 所示[17]，從初始狀態 (Pristine) 至疲乏狀態 (Fatigued)，FeRAM 中鐵電域結構、氧空缺陷與陷阱電荷分佈皆產生顯著變化。在初期循環階段，陷阱行為以缺陷擴散主導；而在高循環次數下，則轉變為陷阱生成主導，導致更多固定電荷與鐵電疇壁釘扎，進一步造成極化切換能力降低與疲乏效應。

綜合而言，FeRAM 中的電子陷阱來源可從兩個層次來看：一為由電極注入至介面或鐵電層之電子陷阱，二為材料本身引發之氧空缺陷陷阱。這些陷阱在時間與溫度條件下共同造成 Imprint 現象的加劇，對極化穩定性與可靠性產生關鍵影響。後續章節亦將延伸探討相同機制於 FeFET 元件中的表現，並分析其對臨界電壓穩定性與記憶視窗的影響。

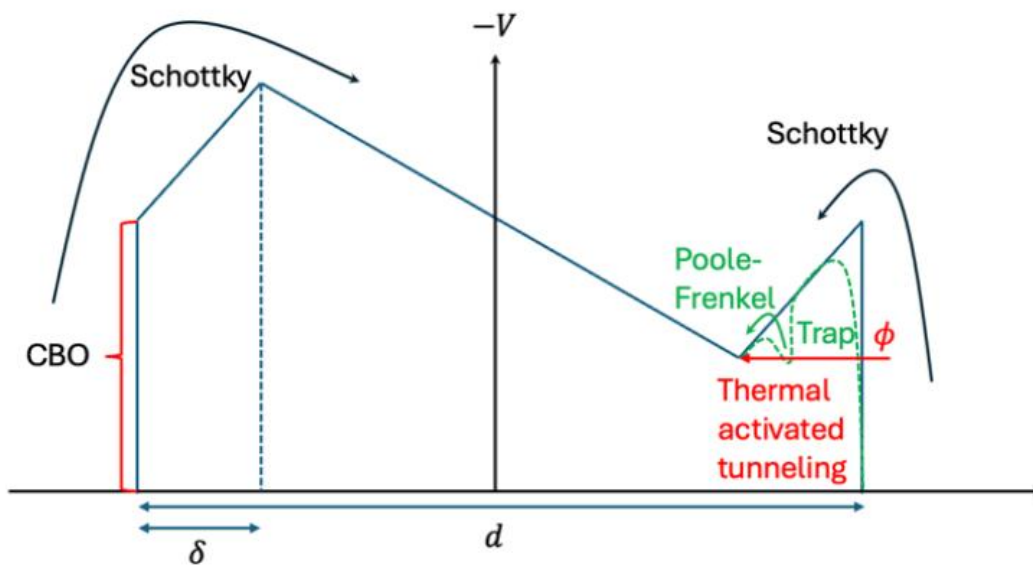


圖 1-9 電子注入示意圖[14]。(© 2024 IEEE)

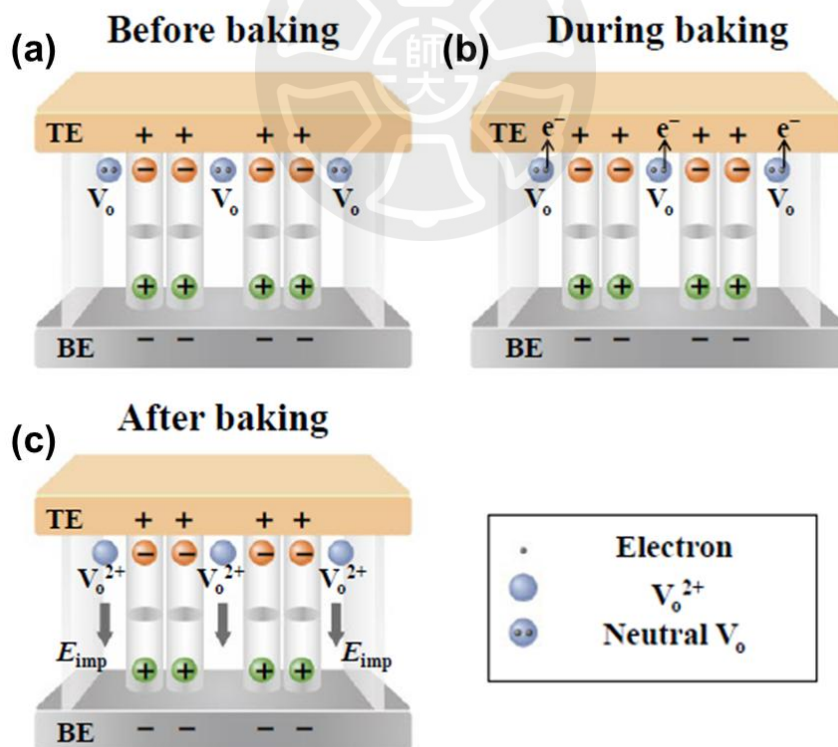


圖 1-10 Imprint 機制示意圖[16]。

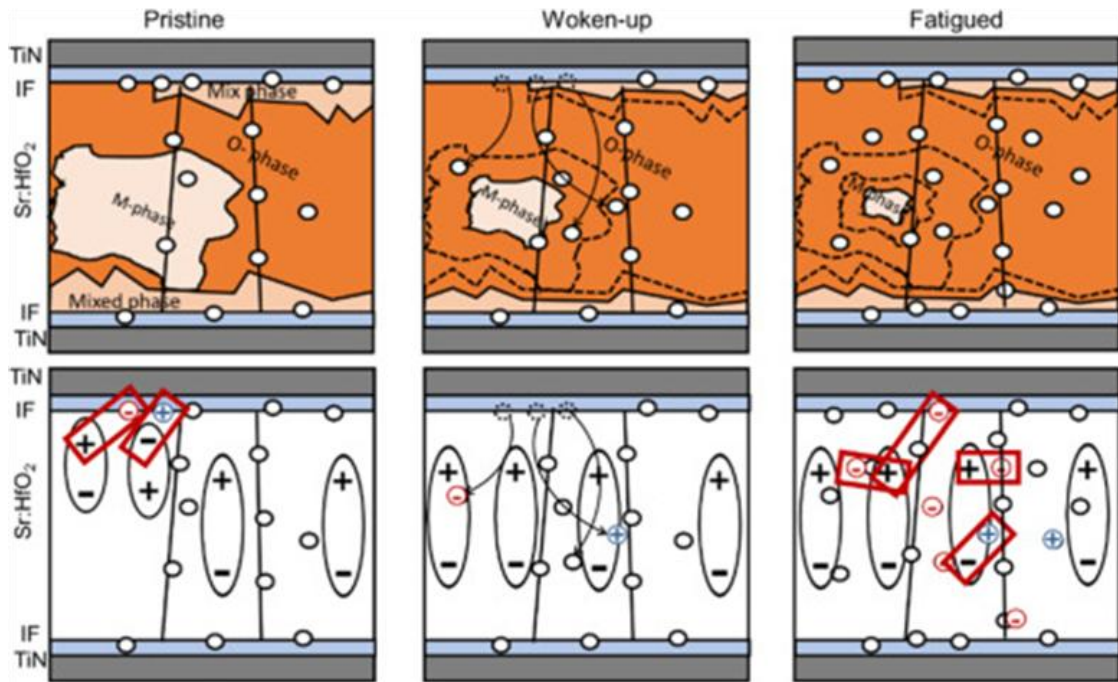


圖 1-11 循環操作下鐵電域與陷阱分佈演化示意圖[17]。

1.3.2 鐵電場效電晶體 (FeFET) 中的電子陷阱

FeFET 在寫入與讀取操作中，臨界電壓 (V_T) 易出現短時間內的不穩定性，特別是在「寫入後讀取」(read-after-write) 操作條件下，容易產生誤讀或記憶視窗不完全開啟的問題，影響元件的可讀性。此類行為主要與鐵電材料中存在的電子陷阱與去極化場 E_{dep} 的交互作用密切相關，尤其在短延遲時間 (t_{delay}) 讀取條件下尤為顯著[13]。

圖 1-12 顯示 n 型 FeFET 於 read-after-write 操作下的 V_T 偏移行為[18]。在固定寫入與抹除條件下，改變 t_{delay} 以觀察延遲時間對寫入狀態穩定性的影響。當 t_{delay} 縮短至小於 10^{-4} s 時，記憶視窗不完全開啟甚至關閉，表示鐵電極化尚未達到穩態，主要與鐵電層與介面層中陷阱電荷於短時間內釋放 (Detrapping)，重新建立局部去極化場 E_{dep} 有關，導致 V_T 偏移與極化方向擾動。

圖 1-13 展示 FeFET 於 read-after-write 操作下，延遲時間 t_{delay} 的變化對 V_T 穩定性的影響趨勢[13]。Erase 狀態對應 P 朝上 (High- V_T)，Program 對應 P 朝下 (Low- V_T)，當 t_{delay} 極短時，寫入後尚未達到穩定，鐵電層與介面中的陷阱電荷

仍未完全釋放 (Detrapping 進行中)，其產生之電場會短暫削弱極化對通道的控制能力，使得 High- V_T 與 Low- V_T 接近，記憶視窗縮小。隨著 t_{delay} 逐漸拉長，陷阱電荷逐步釋出，極化恢復，去極化場 E_{dep} 開始回升。若 E_{dep} 強度足以干擾或甚至反轉原極化方向，將導致 low- V_T 上升幅度更大，使 MW 進一步壓縮，甚至發生極化失效。該圖以示意方式顯示在 read-after-write 操作中，Detrapping 與 E_{dep} 共同變化影響元件的讀取穩定性。

進一步如圖 1-14 所示[13]，FeFET 中陷阱電荷與 E_{dep} 間的交互可分為三階段，說明了 t_{delay} 由短至長時記憶視窗變化的機制: (a)在寫入初期，電子陷入鐵電層與介面中的陷阱，形成對極化的屏蔽效應，可部分中和 E_{dep} 、穩定寫入極化狀態； (b)隨著 t_{delay} 拉長，陷阱電子逐漸釋放，對極化造成的屏蔽效應減弱， E_{dep} 開始回升，削弱極化穩定性； (c)當 E_{dep} 累積至超過矯頑場 (E_C) 時，可能導致原本極化方向反轉，造成寫入失效與記憶視窗關閉。此三階段模型亦有助於解釋 read-after-write 實驗中觀察到的延遲依賴行為。

綜合上述，FeFET 的 read-after-write 不穩定行為可由陷阱釋放與 E_{dep} 交互作用所致。後續於第三章將延續此架構，進一步探討雙層 HZO 結構與中間層夾 TiN 的結構差異，以改善 read-after-write 可靠度。

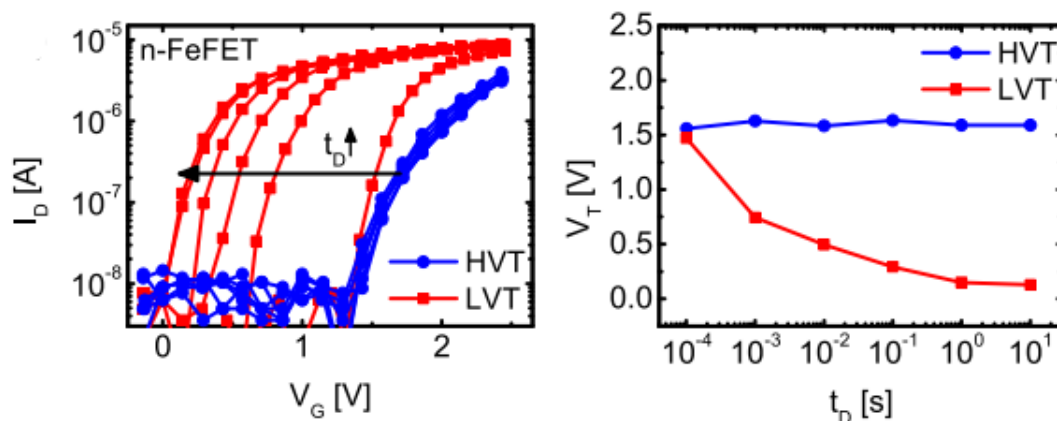


圖 1-12 n 型 FeFET 於 read-after-write 操作下，不同延遲時間對 V_T 與 MW 之影響[18]。

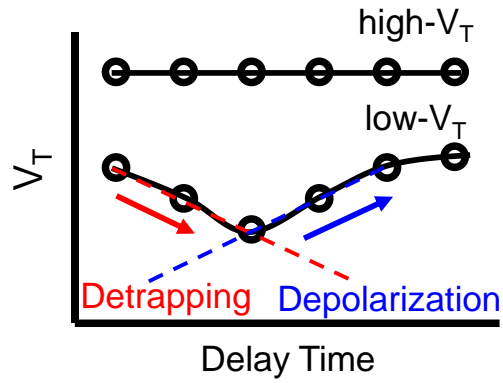


圖 1-13 FeFET 於 read-after-write 操作中， V_T 隨延遲時間變化之趨勢示意圖 [13]。

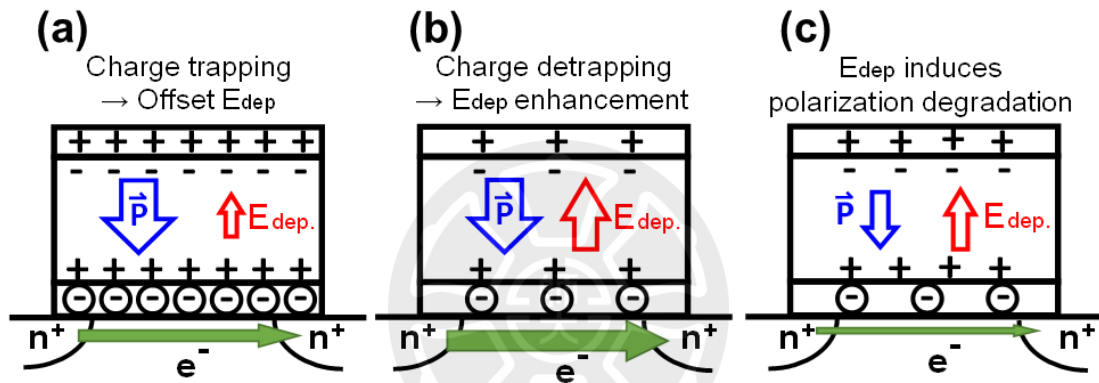


圖 1-14 FeFET 中陷阱電荷與 E_{dep} 交互機制的三階段示意圖：(a)陷阱屏蔽 E_{dep} ，穩定極化(b)陷阱釋放使 E_{dep} 回升(c) E_{dep} 超過矯頑場導致極化反轉與寫入失效 [13]。

第二章 量測儀器設定與實驗方法

2.1 簡介

為探討鐵電材料於元件中極化行為與暫態響應的機制，本章將說明本研究中所使用之量測設備與操作方式，藉以建立後續實驗結果之依據。鐵電材料常見的極化特性包括遲滯曲線 (P-E loop)，以及與其相關之記憶特性與極化反轉機制，需透過精密且可控之量測系統加以觀察與分析。

在本研究中，使用 Radiant Technologies 所開發之 Precision Premier II Ferroelectric Tester 作為鐵電元件遲滯曲線量測工具，可由輸入波形與電流響應計算極化量，進而獲得 P-E 特性。此外亦搭配 Recovery 操作，以穩定極化分佈與提升資料一致性。

另一方面，為進行高速脈衝響應分析與元件非線性行為觀測，本研究亦採用 Keysight B1500A 搭配 B1530A Waveform Generator/Fast Measurement Unit (WGFMU) 模組，並整合 Remote-sense and Switch Unit (RSU) 模組以提升量測精度與訊號穩定性。此設備組合可實現單脈衝與雙脈衝模式切換、直流與暫態量測之整合操作，並能於短時間內擷取電流變化，適用於記憶體元件之極化行為與介面效應分析。

本章將依序介紹上述兩套系統之機台架構與操作介面，並說明進行遲滯曲線與脈衝操作時之參數設定，為後續章節之元件電性分析建立實驗基礎。

2.2 量測機台設定及方式

2.2.1 量測機台介紹-Radiant

本論文所使用之量測設備為 RADIANT TECHNOLOGIES, INC. 所開發之 Precision Premier II Ferroelectric Tester，主要應用於鐵電材料特性之量測。該機台具備量測 P-E 遲滯曲線的功能，可透過施加電壓並量測電流進而計算極化行為，是分析鐵電性質的標準工具。此外 Premier II 亦可支援脈衝響應(Pulse Switching)、漏電流 (Leakage Current)、I-V 及 C-V 等電性量測，可針對不同結構與測試需求進行彈性設定與分析。表 2-1 為 Precision Premier II Ferroelectric Tester 機台規格 [19]。



表 2-1 Precision Premier II Ferroelectric Tester 機台規格[19]。

Tester Parameter	Premier
Voltage Range (built-in drive voltage)	±10V
Voltage Range with an external amplifier and high voltage interface (HVI)	10KV
Number of ADC Bits	18
Minimum Charge Resolution	0.80fC
Minimum Area Resolution (assuming 1 ADC bit = 1μC/cm ²)	0.080μ ²
Maximum Charge Resolution	5.26mC
Maximum Area Resolution (assuming saturation polarization = 100μC/cm ²)	52.6cm ²
Maximum Charge Resolution with High Voltage Interface (HVI)	526mC
Maximum Area Resolution (assuming saturation polarization = 100μC/cm ²) w/o HVI	>100cm ²
Maximum Hysteresis Frequency	250KHz @ 10V
Minimum Hysteresis Frequency	0.03Hz
Minimum Pulse Width	0.5μs
Minimum Pulse Rise Time (5V)	400ns
Maximum Pulse Width	1s
Maximum Delay between Pulses	40ks
Internal Clock	25ns
Minimum Leakage Current (assuming max current integration period = 1 seconds)	1pA
Maximum Small Signal Cap Frequency	1MHz
Minimum Small Signal Cap Frequency	1Hz
Output Rise Time Control	10 ⁵ scaling
Input Capacitance	-6fF
Electrometer Input All Test Frequencies for all test at any speed	Yes

2.2.2 遲滯曲線之量測

量測原理為透過輸入三角波形至待測元件並即時量測電流，經電流積分後換算出極化量，繪製出 P-E 遲滯曲線。量測前需透過 Radiant QuickLook 軟體介面完成測試參數與繪圖參數之設定，如圖 2-1 與圖 2-2 所示。測試參數包含最大電壓 (Max Voltage)、偏壓 (Bias Voltage)、樣品面積 (Sample Area)、樣品厚度 (Sample Thickness)、波型週期 (Hysteresis Period) 及輸入最大電場 (Max Field) 等，以適應不同樣品與實驗需求，其中本實驗所有遲滯曲線之波型週期固定為 1 ms，對應頻率為 1 kHz。繪圖參數則包含圖表標題、軸標籤，以及中心校正 (Centering) 等功能，可避免因電壓偏移造成遲滯曲線的不對稱現象。

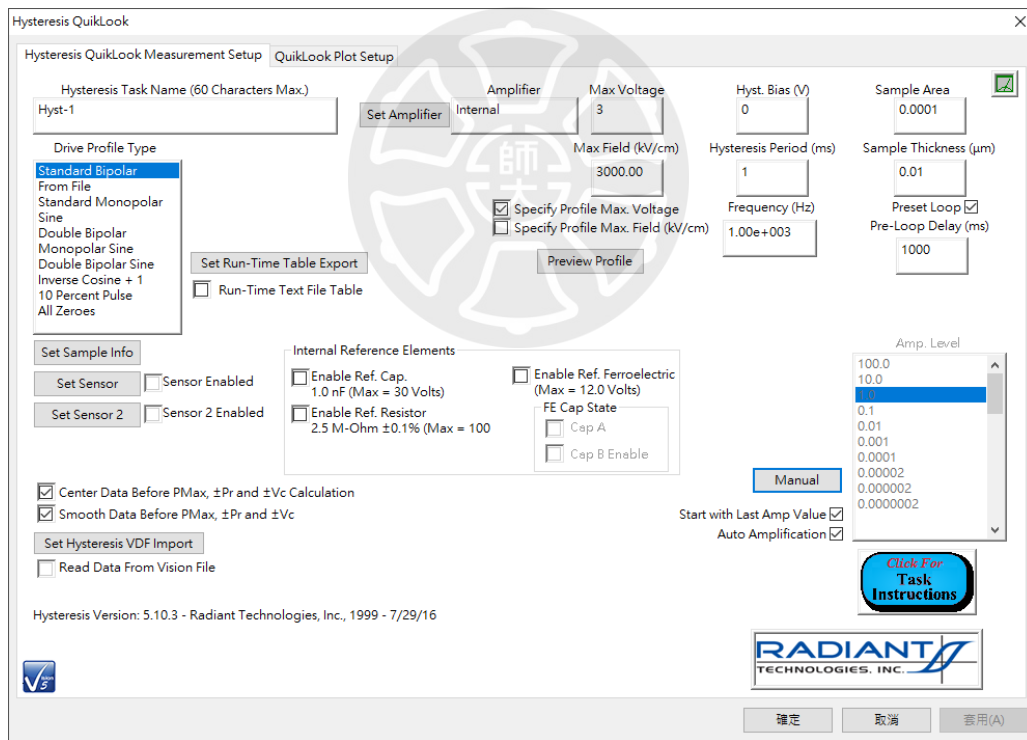


圖 2-1 Radiant QuickLook 測試參數設定介面。

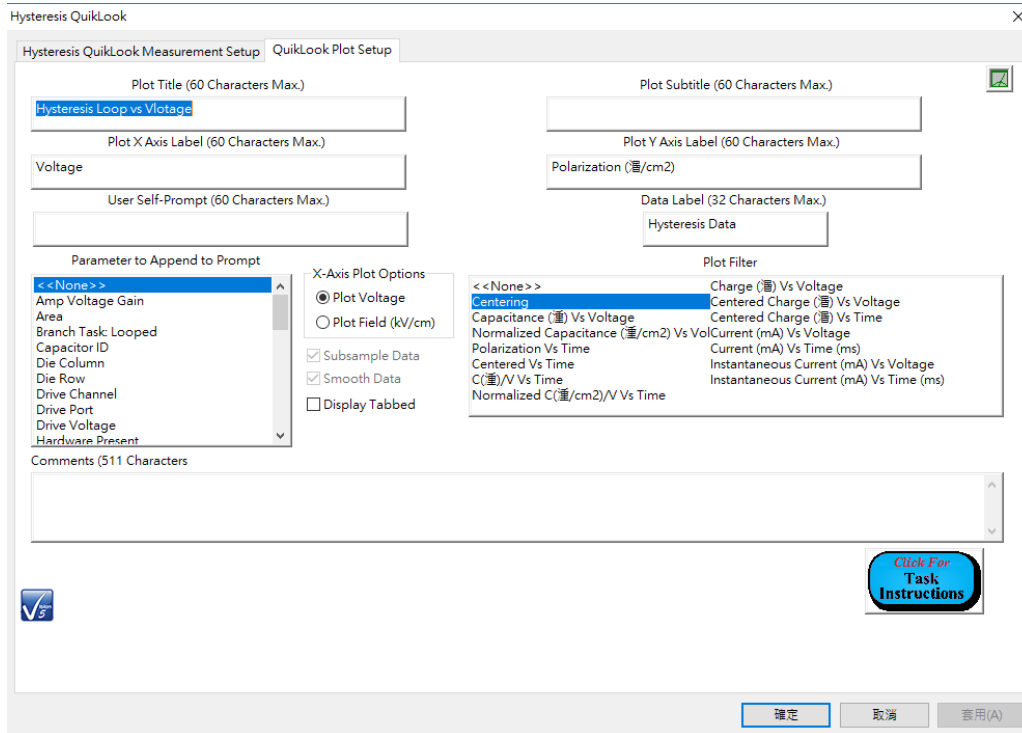


圖 2-2 P-E 繪圖參數設定介面。

此外針對樣品於量測前進行 Recovery 操作，以施加一系列連續脈衝喚醒 (Wake-Up) 鐵電薄膜中未完全反轉之極化區域，使其極化行為趨於穩定，進而提升遲滯曲線之對稱性。其中可設定參數包含輸入電壓 (Peak Voltage)、頻率 (Frequency) 與施加時間 (Duration) 皆可依不同樣品需求於 Recovery 介面中設定，其設定畫面如圖 2-3 所示。

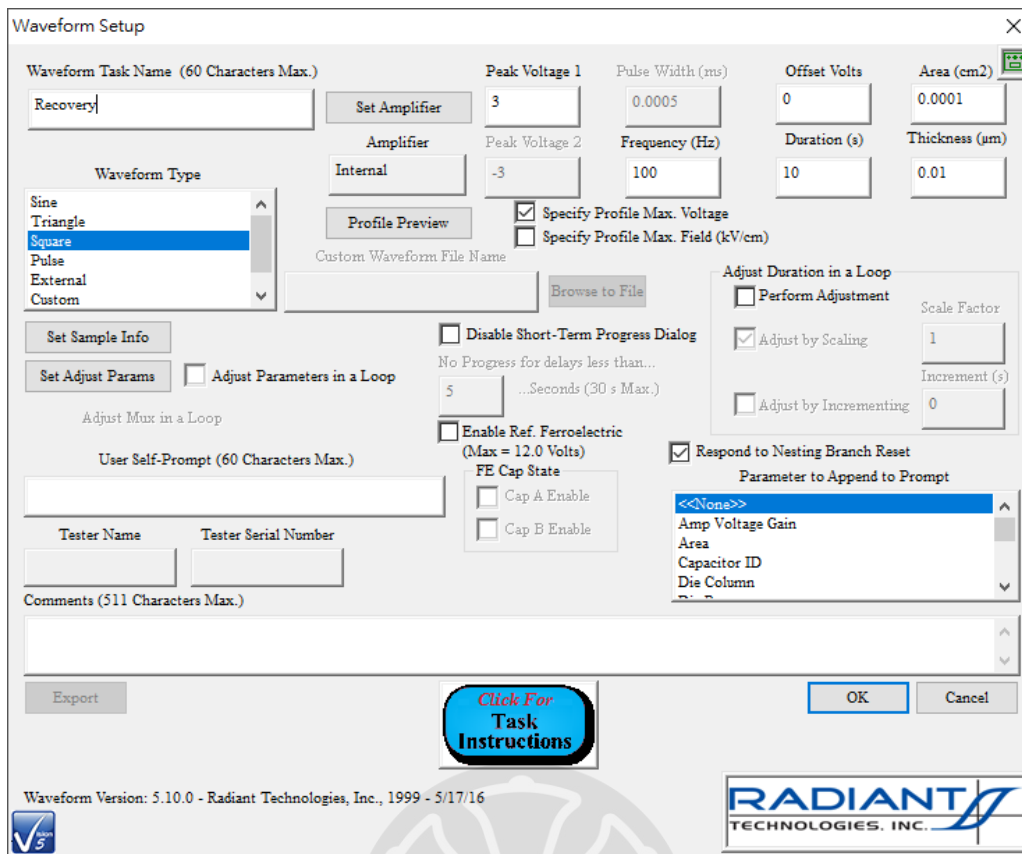


圖 2-3 Recovery 模式設定介面。

2.2.3 量測機台介紹-B1530A

本論文使用 Keysight B1500A 半導體參數分析儀，搭配 B1530A Waveform Generator / Fast Measurement Unit (WGFMU) 模組進行脈衝電性量測。B1530A 為雙通道高速模組，可產生可程式化電壓波形並即時擷取電流響應，支援 DC、PG(Pulse Generation)與 Fast IV 三種操作模式。圖 2-4 為 B1500A 實體機台[20]，可在螢幕上進行脈衝參數與量測條件之設定。根據使用手冊指示，於連接測試線至 DUT (Device Under Test) 前，須關閉 B1500A 電源，以避免損壞設備或產生測試誤差。



圖 2-4 Keysight B1500A 機台[20]。

為提升量測準確性與高速穩定性，本研究同步搭配 RSU 模組。RSU 為高速訊號切換與電壓偵測單元，安裝方式如圖 2-5 所示[21]，需將 RSU 插入專用測試板並固定於機台指定位置。圖 2-6 為 RSU 與示波器之連接情形[21]，透過 BNC 完成訊號傳輸。圖 2-7 為 RSU 模組的內部電路圖[21]，展示其如何根據操作需求自動於 SMU (Source Measurement Unit) 與 WGF MU 之間切換訊號通路，使直流與脈衝操作可整合於同一架構中，無需更換接線。此外由於 WGF MU 模組需透過 RSU 實現高頻訊號切換與量測穩定性，因此本研究亦針對 RSU 模組進行詳細除錯，相關內容於 2.2.4 節中說明。

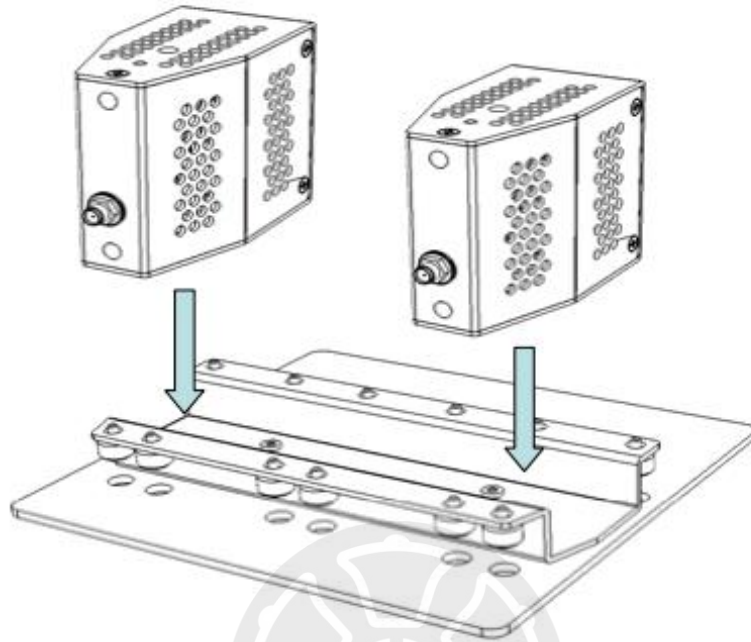


圖 2-5 RSU 架模組安裝示意圖[21]。

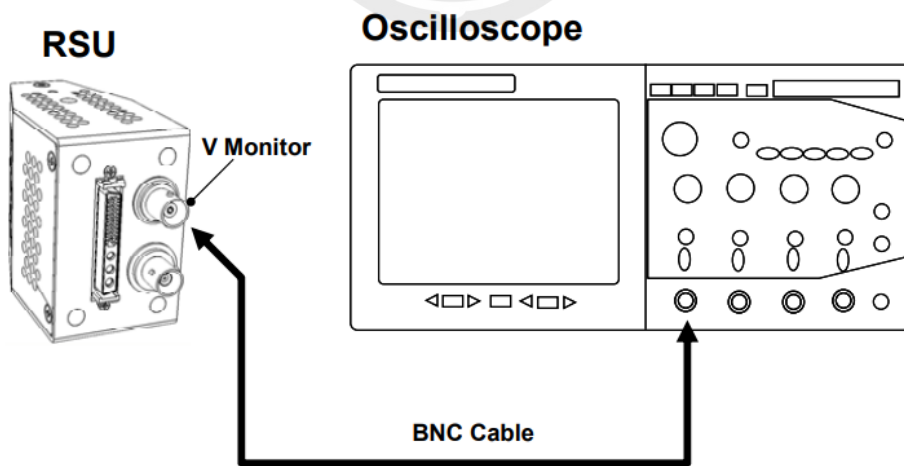


圖 2-6 RSU 與示波器連接示意[21]。

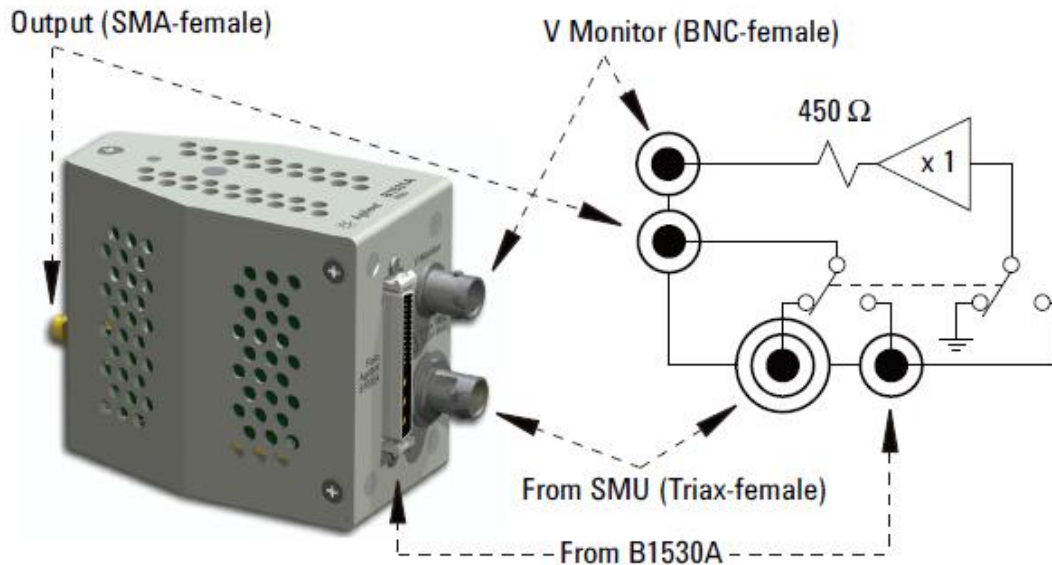


圖 2-7 RSU 模組內部電路圖[21]。

2.2.4 RSU 檢測與除錯過程

Remote-sense and Switch Unit (RSU，型號 B1531A) 為 Keysight B1500A 系統中，專為高速切換與電壓/電流精密偵測所設計之模組，可自動切換 SMU 與 WGFMU 之通道，實現單一 DUT 接點下多種操作模式之整合，包括脈衝產生(PG)與快速掃描 (Fast IV)。為確保脈衝量測之重現性與量測精度，本節針對 RSU 模組進行檢測與除錯，以排除其在量測中造成之干擾與異常。

在 RSU 模組除錯過程中，需針對三種主要操作模式 (Bypass、WGFMU 與 Fast IV) 分別進行功能驗證，並結合示波器觀察實際波形，以判斷 RSU 輸出是否如預期。依測試結果可分為兩種狀況：「良好」表示輸出訊號對應輸入波形，無明顯延遲或失真；「異常」則通常伴隨輸出電流為零、波形扭曲、或訊號延遲等現象，須進一步確認接線完整性與功能卡是否有在運作。

三種操作模式之判斷與對應波形說明如下：Bypass 模式：此為最基本之 RSU 導通檢測方式。訊號來源為一般功能卡 (如 B1517A 或 B1525A) 透過三軸電纜 (Triaxial Cable) 從 RSU 背面之 From SMU 端口進入，不經過 WGFMU 模組，直接由 RSU 之 Output 端傳至示波器。在此模式下，示波器所顯示波形應與 SMU

輸入之電壓一致（無延遲、失真或電平漂移），如圖 2-8 所示，可確認 RSU 內部開關模組（Switch）切換與直通功能運作正常。若此模式異常，多半表現為無法輸出波形，其原因可能為 Triaxial Cable 接法錯誤或接觸不良導致。

WGFMU 模式：此模式中，脈衝波形由 B1530A WGFMU 模組產生，經由白色 Cable（WGFMU-to-RSU cable）傳送至 RSU 背部矩陣接頭（Matrix-style），再經由 RSU 內部 Switch 切換，輸出至 Output 端並接上示波器進行觀測。若 RSU 模組工作正常，示波器上應可觀察到與 WGFMU 設定之脈衝波形（含上升/下降時間、電壓大小等），如圖 2-9 顯示常見 PUND（Positive-Up Negative-Down）之設定波形。若波形完全無輸出或失真，則推測為矩陣接頭接觸不良或內部 Switch 故障。

Fast IV 模式：此模式為實際 DUT 操作時所使用，電壓脈衝由 WGFMU 輸出並透過 RSU 導入樣品，電流由 RSU 回送至 WGFMU 進行同步擷取。在此模式下，需將探針系統針尖落於 DUT 接點，並使用量測波形如 PUND 進行極化電流量測。如圖 2-10 所示，正常情況下應可觀察到四組對應脈衝之鐵電切換電流。若 RSU 模組異常，則可能觀察到如圖 2-11 之雜訊波形。

綜合除錯經驗顯示，當 Bypass 與 WGFMU 模式若發生異常，最常見現象即為示波器量測不到任何波形，此情況亦常源自 Triaxial Cable 或白色 Cable 內部斷線或 RSU 矩陣接頭鬆脫。關閉 Keysight B1500A 主機後透過更換線材或模組後觀察波形回復與否，即可快速定位故障來源。

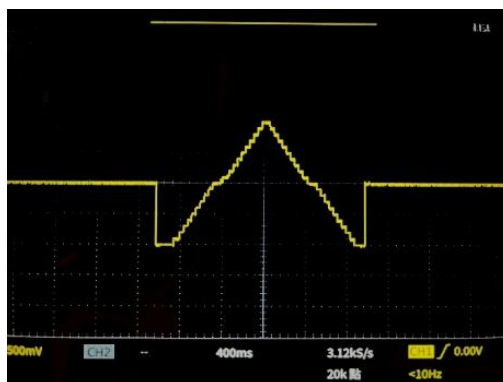


圖 2-8 Bypass 模式下輸出之正常波形。

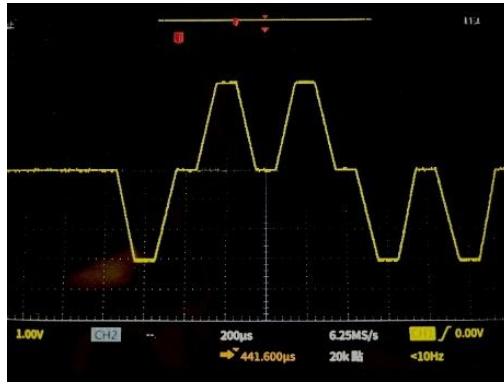


圖 2-9 WGFMU 模式下輸出之正常波形。

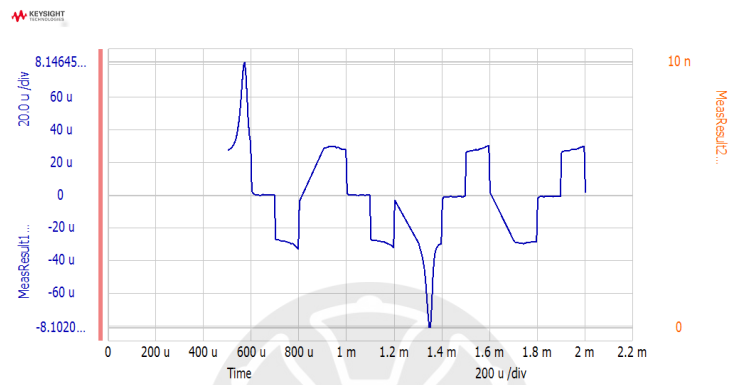


圖 2-10 Fast IV 模式下量測之 PUND 電流。

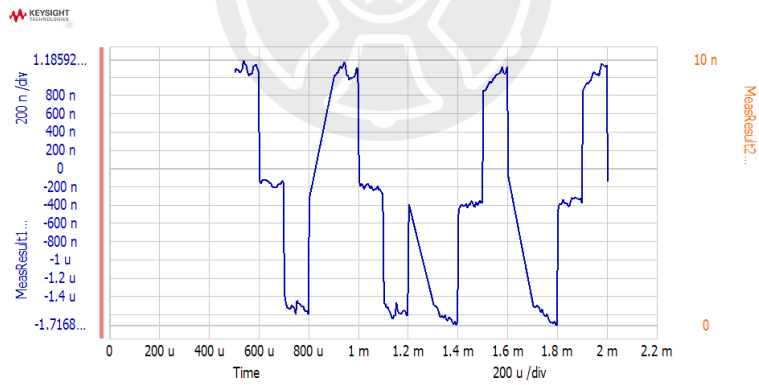


圖 2-11 RSU 異常之 PUND 電流波形。

第三章 鐵電場效電晶體 (FeFET) 之特性探討

3.1 簡介

FeFET 憑藉其非揮發性、高切換速度與與 CMOS 製程相容的優勢[10]，成為新興記憶體技術的重要候選架構之一。在第一章中已說明，FeFET 透過鐵電材料極化狀態的切換，使元件臨界電壓 (V_T) 呈現高低位移，並形成穩定的記憶視窗 (MV) 以儲存邏輯資訊；而在第二章則建立了本研究中所使用的量測設備與脈衝操作流程，作為後續探討 FeFET 記憶行為的技術基礎。

然而 FeFET 在實際應用中仍面臨諸多挑戰，其中以「寫入後讀取」 (read-after-write) 所造成的臨界電壓漂移與資料保存流失最為關鍵。當 n 型 FeFET 在寫入邏輯“1”時施加正向閘極脈衝，極化電偶極 (Dipole) 雖會定向排列，卻也容易在鐵電層與通道介面間產生電荷捕獲 (Charge Trapping) 現象，使極化所造成的內建電場遭到部分中和，導致讀取電流誤判邏輯狀態[13, 22]。此外隨著閘極絕緣層厚度的減薄，內部去極化場亦隨之上升，加劇極化衰退現象，進一步限制資料保留時間[23]。

為了因應環繞式閘極鐵電場效電晶體 (GAA FeFET) 於高速操作下，因角落處 (Corner) 電場集中導致的陷阱累積與極化不完全[24]，本研究延續實驗室前期設計經驗，導入雙層鐵電氧化鈣鋅 (Double HfZrO₂, DHZO) 為結構，並於中間夾置金屬介電層 TiN 作為隔離層 (TiN-Inserted Double HZO, TiN-DHZO)。該設計利用上下層 HZO 之不同厚度 (分別為 5 nm 與 10 nm)，創造出差異化的矯頑電場，使極化切換具備多階段與可控性，進而穩定多重 V_T 狀態、降低極化干擾與誤判風險[25]。

圖 3-1 展示 GAA FeFET 於寫入前之 I_D - V_G 電性曲線。相較於傳統 15 nm 單層 HZO 結構 (Single-HZO)，TiN-DHZO 結構展現出較寬且對稱之記憶視窗，說明其具有更良好的臨界電壓穩定性與極化對稱性，對高階非揮發性多位元記憶體

設計具有潛在優勢。

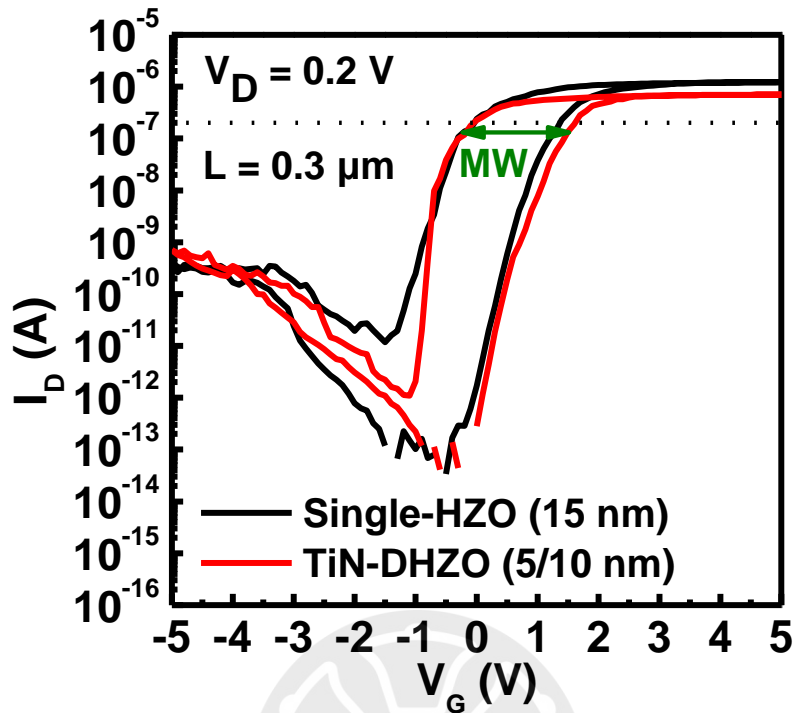


圖 3-1 單層 HZO 與雙層 HZO 結構之 I_D - V_G 電性曲線。

3.2 寫入後讀取（Read-After-Write）實驗設計

本節針對 GAAFeFET 元件於寫入後讀取操作（read-after-write）下之臨界電壓穩定性進行分析，並設計對應之脈衝條件與量測流程。此實驗主要目標為觀察極化切換後在短延遲時間內是否發生明顯的 V_T 漂移現象，進而反映電荷捕獲、去極化場等效應對讀取可靠度的影響。為此，本研究設計兩種結構進行對照：Single-HZO 與 TiN-DHZO，以探討結構差異對記憶視窗的維持能力。

元件依序施加 -5 V 與 +5 V 之單一寫入脈衝，脈衝寬度（Pulse Width, PW）設定為 100 μ s 與 10 ns 兩組，模擬低速與高速寫入操作。在實際應用中，較短脈衝寬度雖能提高操作效率，但也可能因極化尚未完全翻轉而導致寫入不完全（Incomplete Switching）或產生不穩定的介面電場分佈，進而提升錯誤率[13]。

每次寫入後立即對閘極與汲極施加偏壓，以取得 I_D - V_G 特性。為進一步觀察

時間相關行為，實驗亦設計不同讀取延遲時間 (t_{delay}) 條件，範圍涵蓋 10^{-8} 至 100 秒，模擬從快速讀取至中期保留的狀況，藉以評估極化穩定性與 trapping 行為之時效性。

實驗流程如圖 3-2 所示，展示本研究採用之寫入脈衝、延遲與讀取的時序配置，並標註各主要可調變參數，用以觀察 V_T 變化於不同結構與操作條件下之行為差異。

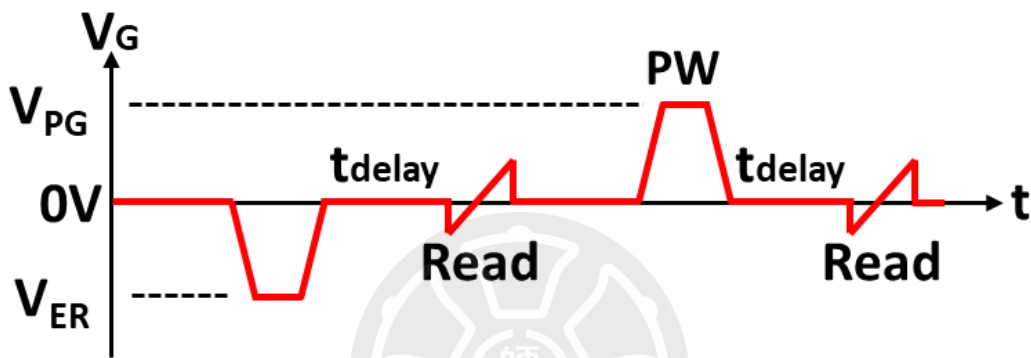


圖 3-2 Read-After-Write 量測波型示意圖。

3.3 實驗結果與討論

3.3.1 環繞式閘極鐵電場效電晶體 (GAA FeFET)

本節比較 Single-HZO 與 TiN-DHZO 兩種 GAA 結構於不同寫入脈衝寬度條件下的 read-after-write 行為，觀察其臨界電壓穩定性與記憶視窗維持能力，進一步評估結構對高速操作可靠度的影響。

圖 3-3 與圖 3-4 分別為單層 15 nm HZO 之 GAA FeFET 元件在 PW 為 100 μs 與 10 ns 寫入脈衝下的 I_D - V_G 轉移曲線。於 100 μs 條件下，寫入與抹除操作後之 V_T 分布明確，代表極化切換完整、記憶視窗維持穩定；然而在 10 ns 短脈衝下，P/E 狀態的 V_T 逐漸靠近甚至重疊，記憶視窗縮小，顯示寫入不完全或極化狀態受到電荷捕獲影響，導致讀取穩定性下降。此結果驗證 Single-HZO 於高速寫入

條件下存在明顯 read-after-write 穩定性問題。

圖 3-5 與圖 3-6 為 TiN-DHZO 之 GAA FeFET 元件在相同脈衝條件下之測量結果。相較於 Single-HZO，TiN-DHZO 在 PW 為 100 μ s 與 10 ns 操作下皆可維持穩定分離之 V_T 分布，記憶視窗清晰，顯示其極化狀態切換具一致性與穩定性。此行為可歸因於 TiN interlayer 所形成之雙層 HZO 結構具備上下層厚度非對稱設計，能有效均勻化內部電場分佈並降低整體矯頑場，即使在 10 ns 短脈衝下亦能完成極化翻轉，避免極化不完全導致之臨界電壓漂移現象。相較於單層 HZO 於相同條件下較難完成極化切換，極化訊號易受陷阱屏蔽，需等待電子釋放後訊號才顯現。

本結果證明，TiN-DHZO 結構於高速寫入操作下具明顯優勢，能有效緩解 read-after-write 錯誤行為，為提升 FeFET 穩定性與操作可靠度的可行結構策略。



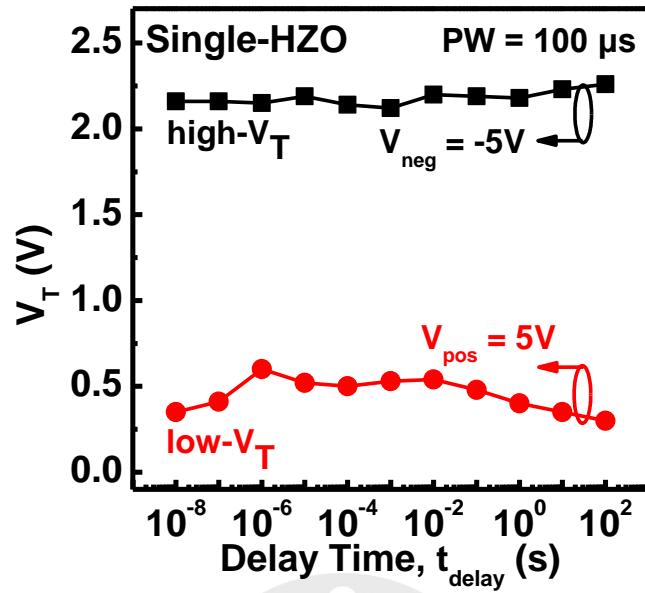


圖 3-3 Single-HZO 在 PW=100 μ s 下的 read-after-write。

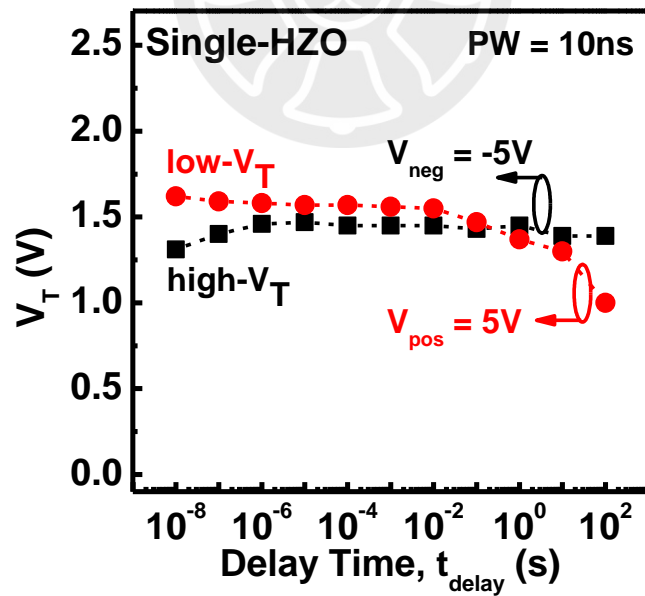


圖 3-4 Single-HZO 在 PW=10 ns 下的 read-after-write。

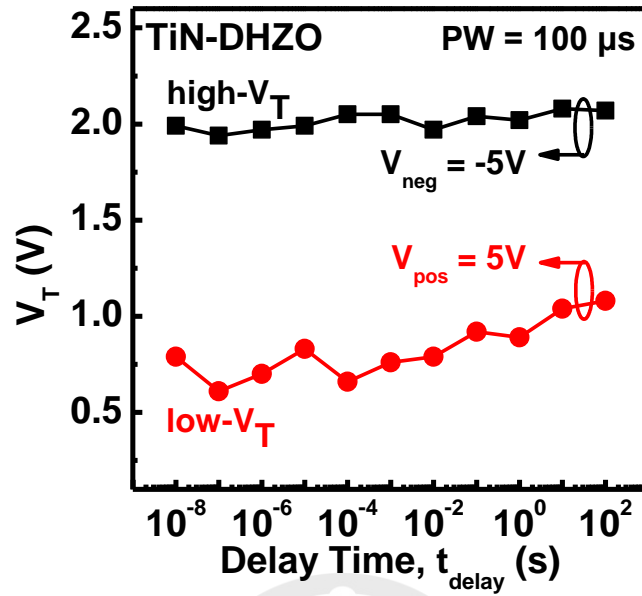


圖 3-5 TiN-DHZO 在 PW=100 μ s 下的 read-after-write。

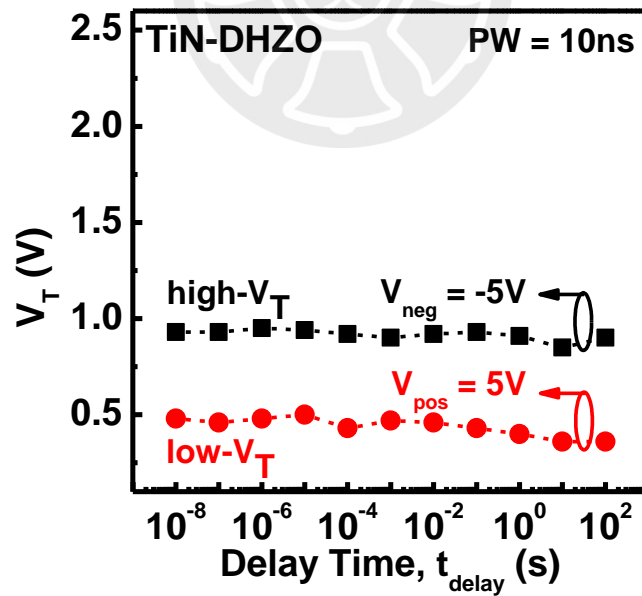


圖 3-6 TiN-DHZO 在 PW=10 ns 下的 read-after-write。

3.4 小結

本節針對 GAAFeFET 元件於寫入後讀取 (read-after-write) 後之記憶視窗穩定性進行比較與分析，實驗結果顯示 Single-HZO 在高速脈衝 (10 ns) 操作下易出現 P/E 重疊、 V_T 衰退等不穩定現象，推測與寫入不完全與介面捕獲有關。而 TiN-DHZO 結構在相同條件下仍可維持穩定的 I_D - V_G 轉移曲線與清晰的 V_T 區分，顯示該結構具備優異的 read-after-write 穩定性。

此結果可由 GAA 結構中電場分佈與陷阱機制進一步解釋。由於 GAA 幾何設計使得閘極電場於 Corner 處產生集中現象，Single-HZO 在此處容易產生電場尖峰與介面陷阱，進而形成極化死區 (Dead Zone) 並產生大量陷阱，特別是在極化尚未完全穩定的高速寫入條件下，更易造成 V_T 漂移與記憶視窗衰退。

圖 3-7 展示 Single-HZO 與 TiN-DHZO 結構於 GAA 結構中之電場分佈示意圖。圖中顯示 TiN 中間層可有效屏蔽與分散 Corner 的集中電場，並協助電場分佈均勻化，降低局部過強電場導致的 Trapping 與極化不完全問題。此結構設計同時具備多重矯頑場與上下層鐵電層之極化獨立性，有助於維持多位元儲存穩定性，並透過降低矯頑場提升短脈衝下之極化寫入效率[25]，展現優異之寫入與讀取穩定性與高速操作耐受性。

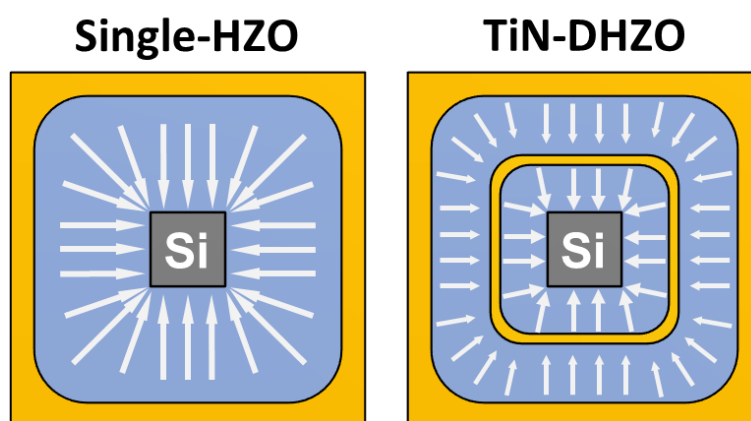


圖 3-7 Single-HZO 與 TiN-DHZO 結構於 GAA 元件內電場分佈示意圖。

第四章 鐵電隨機存取記憶體(FeRAM)之印記 (Imprint)行為探討

4.1 簡介

FeRAM 因具備高速、非揮發與低功耗等優點，近年成為嵌入式系統與新興記憶體架構的重要候選[12]。然而在長時間操作或高溫環境下，FeRAM 元件常觀察到 P-E 遲滯曲線的橫軸偏移現象，即所謂的 Imprint 效應[14]。此現象顯示極化反轉行為出現不對稱性，導致寫入電壓需求提升與邏輯狀態誤判率增加，嚴重影響記憶體的可靠性與壽命[16]。

目前對於 Imprint 的主流解釋可歸納為兩類機制。第一類為電子由電極注入並被介面層或鐵電層中的陷阱捕獲，形成固定電荷，進而產生一個內建電場 (E_{Imp})。其方向取決於施加偏壓與陷阱分布，同時會抑制極化反轉，促使元件傾向維持特定極化狀態，進而導致 P-E 遲滯曲線向電壓軸一側偏移[14]。第二類則與材料本身的氧空缺有關，高溫條件下 V_{O} 可能釋放電子並轉化為正電態 V_{O}^{2+} ，其濃度沿鐵電層厚度方向分佈不均，建立額外的內建電場，亦會造成極化反轉傾向性與可靠性問題[16]。

需要特別指出的是，上述由陷阱或缺陷所形成的內建電場與鐵電材料固有的去極化場來源不同。去極化場是由極化與電極邊界條件不匹配所造成，始終與極化方向相反；而 E_{Imp} 則源自固定電荷分佈，可因陷阱位置與濃度而具有不同方向與強度，雖在效應表現上可能類似，但其物理起因必須加以區分。

為深入探討 Imprint 現象於 FeRAM 操作中的表現與演化行為，本章以 MFM 結構為基礎，設計一系列實驗，分別針對操作溫度、鐵電層厚度與印記頻率 (Frequency Dependence of Imprint) 等變因進行分析，藉此建立 FeRAM 在實際應用中之可靠性評估基礎。

4.2 印記(Imprint)實驗設計

4.2.1 量測機台介紹-B1525A

本章節所使用之量測設備為 Keysight B1500A 參數分析儀搭配擴充模組 B1525A 高電壓波形產生與量測單元 (High Voltage Semiconductor Pulse Generator Unit, HV-SPGU)。該系統整合易於操作的 EasyEXPERT 程式與多通道模組架構，廣泛應用於記憶體元件中之脈衝寫入與讀取特性量測。

B1525A 模組具備 ± 40 V 的雙通道輸出能力，可支援任意線性波形產生 (Arbitrary Linear Waveform Generation, ALWG) 與三態控制 (Tri-state operation)，特別適用於模擬記憶體操作中的 Preset、Program 與 Erase 等脈衝序列。透過其快速切換與精準控制的特性，可顯著縮短寫入/抹除週期、提高耐久性與暫態特性分析的靈敏度。

此外 B1525A 可搭配 B1500A 主機進行多通道同步讀取，並具備與 WGFMU (Waveform Generator/Fast Measurement Unit) 相容的波形設計功能，可自訂上升/下降時間、脈衝寬度與延遲時間，最小時間解析度達 10 ns，對應帶寬可達 45 MHz，能夠實現快速且重複性高的寫入讀取操作，並於本研究之 Imprint 電性量測中扮演重要角色。

4.2.2 實驗波型設定

為探討 FeRAM 元件中的 Imprint 行為，本研究設計出一套極化操作與量測流程，包含三個主要階段：Wake-up 極化活化、極化後加熱處理 (Baking)，以及 P-E loop 量測。圖 4-1 所示為本章節採用之實驗流程，針對不同極化方向 (P 朝上與 P 朝下) 施加相對應之操作條件，以觀察 Imprint 偏移方向與程度之差異。

Wake-up 階段為預先極化活化操作，使用 Radiant 量測平台內建之 Recovery 模式 (詳見第 2.2.2 節)，透過反覆雙極性脈衝喚醒鐵電薄膜中未完全轉向的極化區域，促進結晶穩定性與量測對稱性。該步驟與 P-E loop 皆於室溫條件下進行。

完成 Wake-up 後，將元件施加單向脈衝以寫入特定極化方向（P 朝上或 P 朝下），隨後進行極化狀態保持之加熱處理（Baking），模擬實際操作中極化在高溫環境下維持的情境，並誘發陷阱再分佈所造成之 Imprint 行為。本研究使用相同元件進行連續操作，透過每輪執行「極化寫入 → 加熱 → P-E 量測」的循環，逐步延長累積加熱時間。各輪加熱時間依序為 0、0.5、1、2 與 3(ks)，並於每階段後立即進行頻率為 1 kHz 條件下之 P-E loop 量測，以評估 P-E 偏移之溫度與時間依賴性。此實驗策略可避免樣品間差異對結果造成干擾，確保所觀察之 Imprint 行為為單一元件於操作循環中逐步累積的結果。

除加熱階段外，其餘操作皆於室溫環境中進行，包含所有脈衝操作與 P-E 電性量測，藉以單獨探討溫度對極化狀態穩定性的影響。

所有脈衝操作波形皆透過 Keysight B1525A HV-SPGU 模組撰寫執行，搭配 EasyEXPERT 軟體調控脈衝與偏壓條件，P-E loop 量測則使用 Radiant Precision Premier II 系統完成。極化後之加熱處理則由 EVERBEING HT-200 型熱加熱平台（Hot Chuck）搭配探針系統進行，如圖 4-2 所示。樣品固定於中央加熱圓盤上，透過 PID 控溫模組精準維持設定溫度，確保操作期間熱條件穩定，提升 Imprint 實驗之準確性與重現性。後續章節將依據上述操作流程，探討不同加熱溫度（第 4.3.1 節）與鐵電層厚度（第 4.3.2 節）對 Imprint 行為之影響。

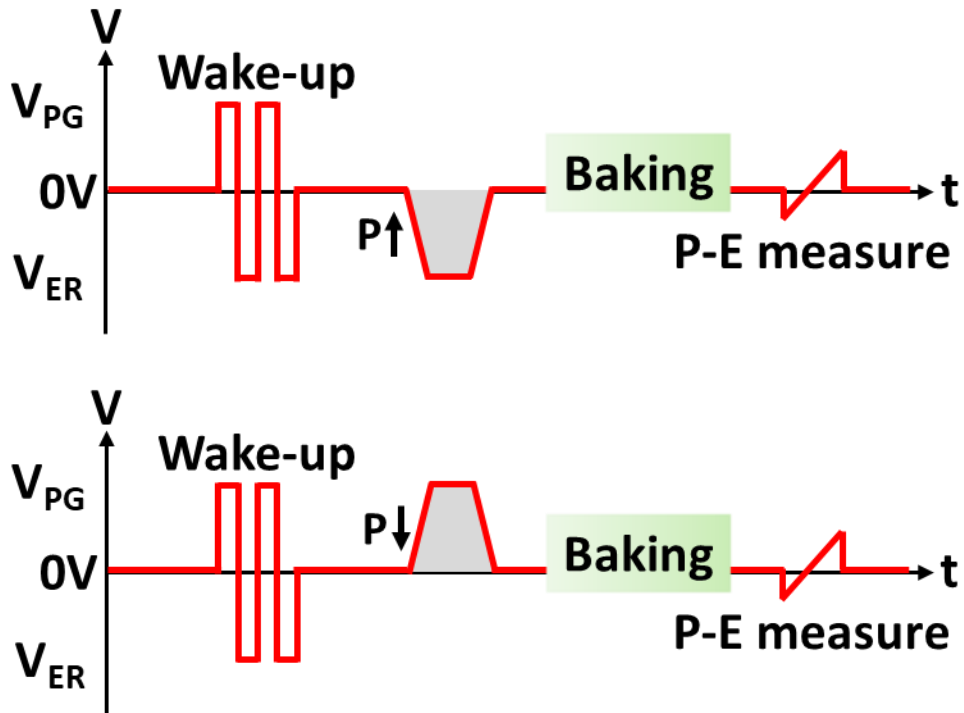


圖 4-1 印記 (Imprint) 實驗操作波形示意圖。

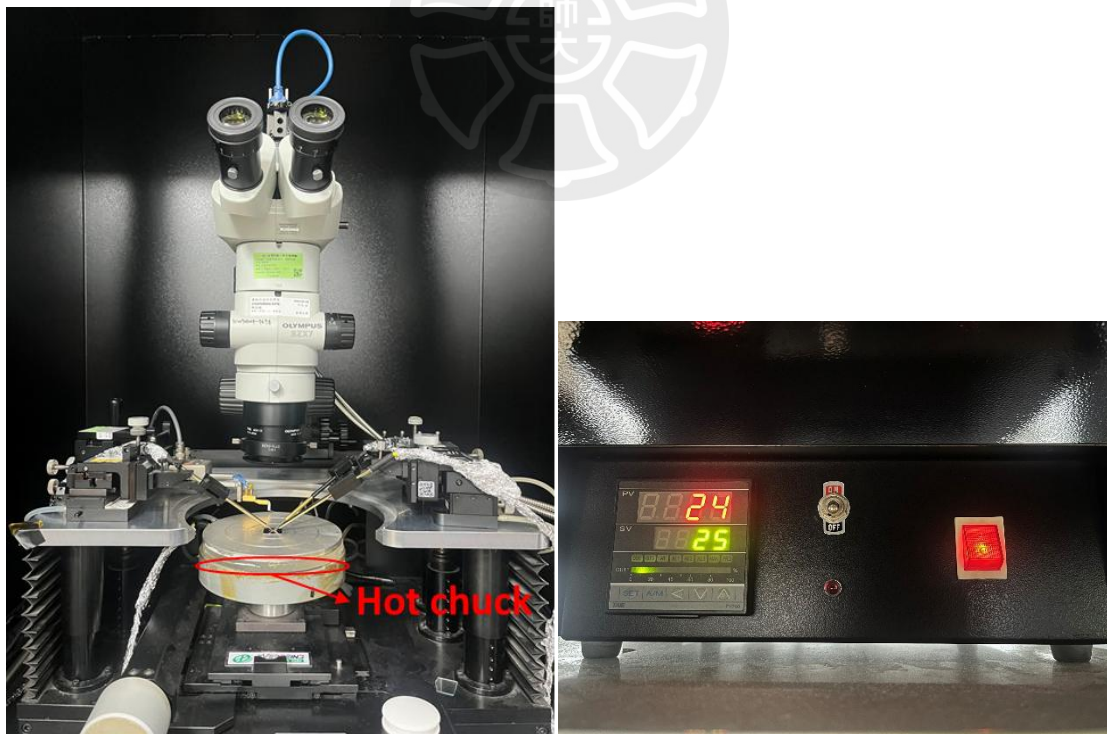


圖 4-2 具加熱功能之探針平台與溫控系統面板。

4.3 實驗結果與討論

4.3.1 溫度對印記 (Imprint) 的影響

為探討操作溫度對 FeRAM 元件 Imprint 現象的影響，本研究分別於 25 °C、55 °C 與 85 °C 三種條件下，進行固定極化方向操作後的加熱處理 (Baking)，並觀察其 P-E 曲線隨時間變化之偏移程度。此測試階段皆使用相同元件，採用逐步遞增加熱時間 (0、0.5、1、2、3 ks) 後量測 P-E 曲線，分析 Imprint 隨時間與溫度之演化趨勢。測試元件之鐵電層厚度固定為 10 nm，以排除厚度變因干擾。

在 25 °C 條件下，不同 Baking 時間下的 P-E 曲線如圖 4-3 所示，於 0 至 3 ks 內皆維持對稱形狀，無明顯電壓偏移，顯示此條件下 Imprint 效應極不顯著，陷阱重新分佈或內建電場形成速率皆受抑制，符合低溫下陷阱捕獲釋放速率較慢之預期行為。由圖 4-3 中取出加熱時間為 3 ks 時之 P 朝上與 P 朝下操作結果重疊繪圖，如圖 4-4 所示，可見其 P-E 偏移方向呈對稱，顯示內建電場形成之方向受極化狀態所控制，具可調控性，並非源自材料本身。

當溫度提升至 55 °C，P-E 曲線開始出現時間相依偏移現象，如圖 4-5 所示。曲線偏移方向較 25 °C 下明顯，顯示中等溫度已足以促使部分陷阱活化或氧空缺狀態改變，進而逐步累積有助於穩定原極化狀態之內建電場。在 3 ks 條件下觀察到之 P 朝上與 P 朝下極化狀態，其 P-E 曲線偏移方向呈鏡像對稱 (如圖 4-6)，顯示內建電場方向與極化方向相關，具備可調性，並非源自製程或結構性不對稱所影響。

在 85 °C 條件下，偏移現象最為顯著，如圖 4-7 所示，僅 0.5 ks 加熱即觀察到明顯曲線偏移，至 3 ks 時偏移量達最大。此結果驗證高溫操作能顯著促進陷阱電子釋放與 Vo^{2+} 形成機制，導致元件內部快速建立穩定的內建電場 E_{Imp} ，使 Imprint 效應迅速累積。對應之 P 朝上與 P 朝下疊圖見圖 4-8，偏移量進一步放大，偏移方向仍與極化狀態呈對應，顯示此內建電場受極化狀態所控制，而非來自材料製程。

將三種溫度條件下 P-E 曲線偏移量疊圖於圖 4-9 中，可清楚看出溫度越高，其偏移趨勢越明顯，且相同 Baking 時間下偏移量亦更大，充分顯示 Imprint 效應有著較高之溫度依賴性。此行為可歸因於陷阱電荷與氧空缺動態皆為熱活化機制主導，隨溫度提升，陷阱再分佈速率上升，內建電場形成速率亦隨之加快。此現象與 Pramoda 團隊對於 Retention 偏移與陷阱行為之溫度依賴性所觀察結果一致 [14]。

綜合而言，本節實驗結果證實 FeRAM 元件中的 Imprint 行為具有明顯的溫度依賴性，偏移程度隨操作溫度與 Baking 時間上升而增強，顯示陷阱捕獲與氧空缺再分佈均為主導機制[14, 16]。對記憶體穩定性與可靠性造成潛在挑戰，特別是在高溫操作環境下的嵌入式應用中更需加以考量。



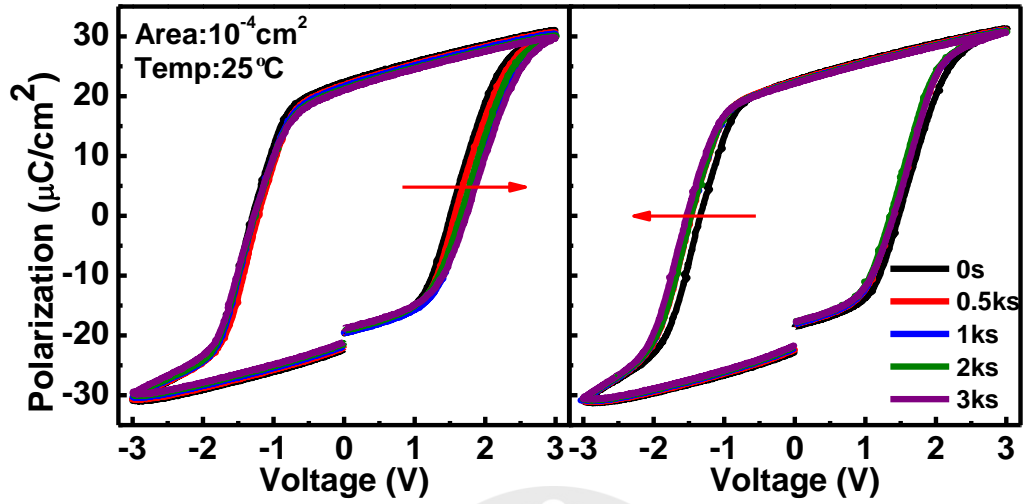


圖 4-3 25°C 下 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作。

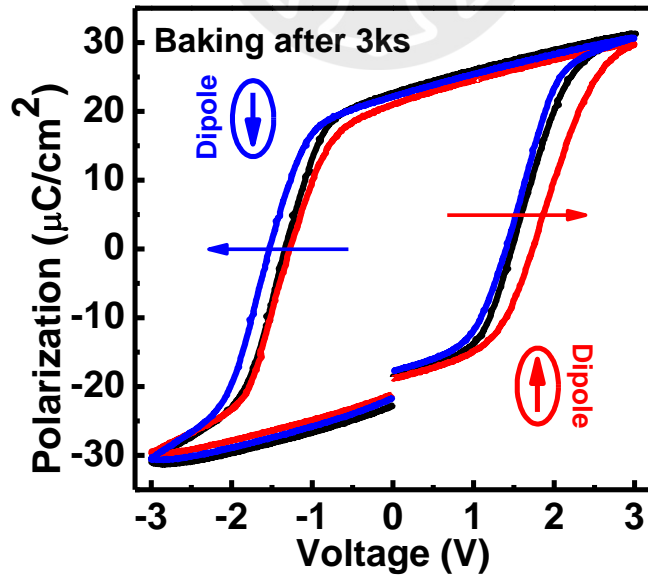


圖 4-4 25°C 下極化方向操作後，於 3 ks 後對應之 P-E 曲線比較。

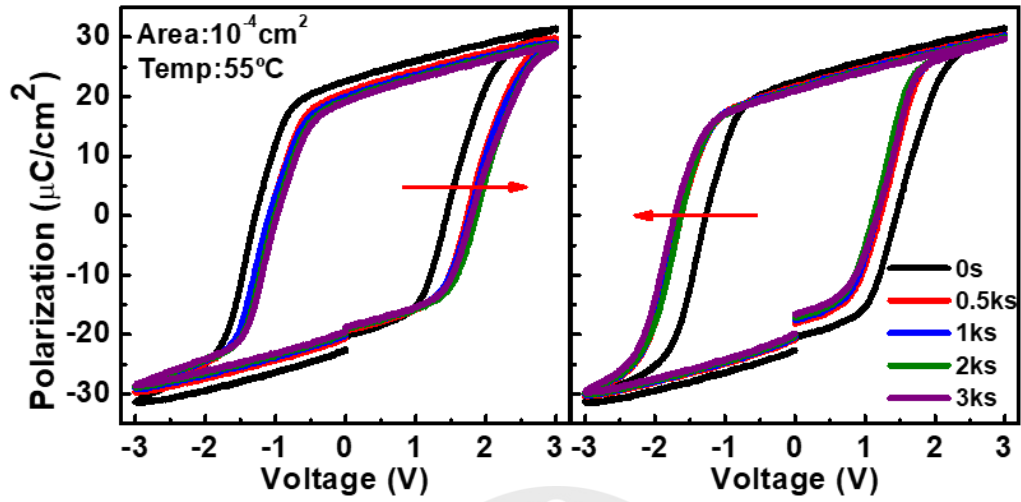


圖 4-5 55°C 下 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作。

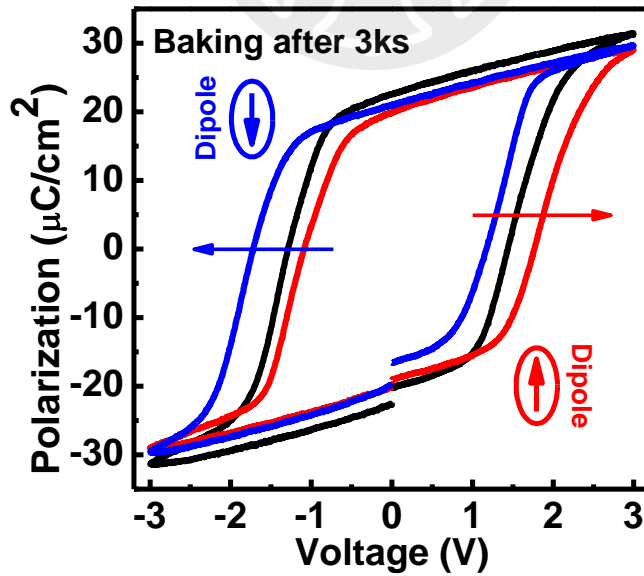


圖 4-6 55°C 下極化方向操作後，於 3 ks 後對應之 P-E 曲線比較。

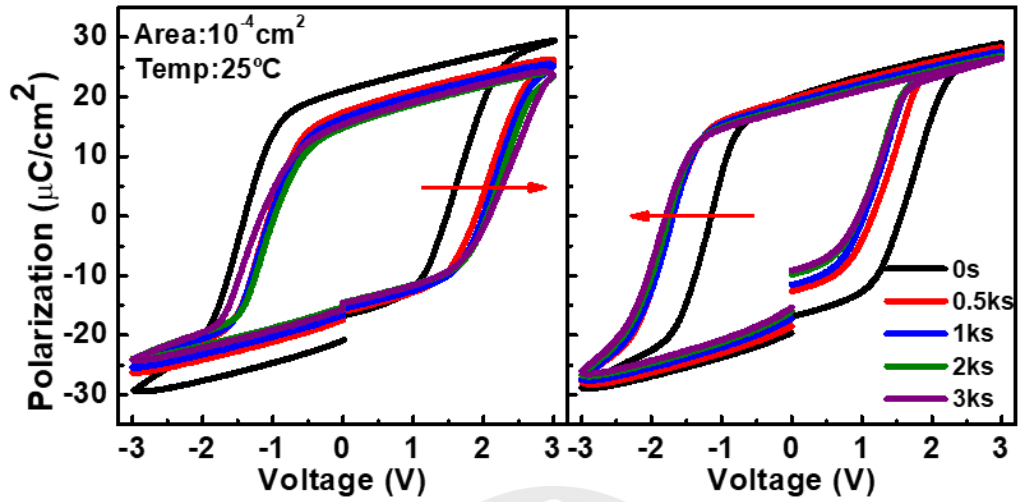


圖 4-7 85°C 下 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作。

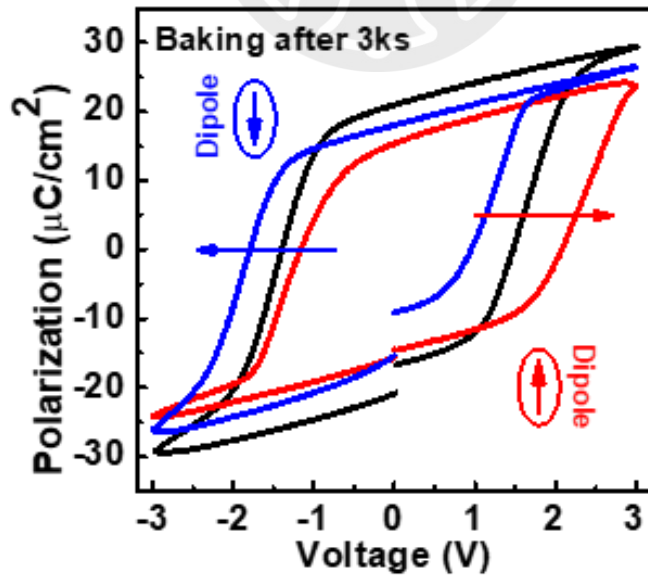


圖 4-8 85°C 下極化方向操作後，於 3 ks 後對應之 P-E 曲線比較。

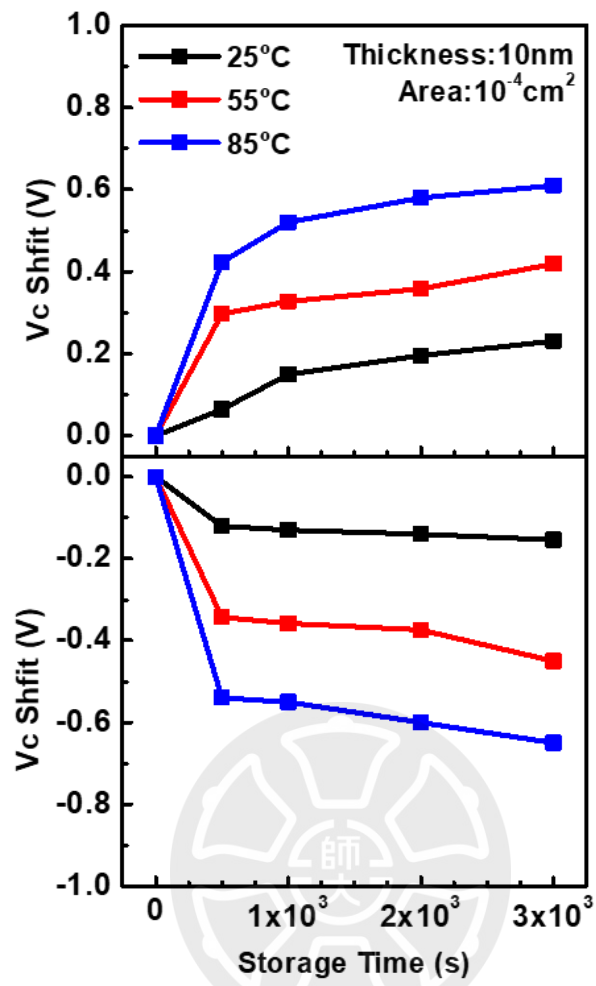


圖 4-9 鐵電層厚度 10nm 在不同溫度 (25°C、55°C、85°C) 下之隨時間變化之 V_C 位移。

4.3.2 厚度對印記 (Imprint) 的影響

為探討鐵電薄膜厚度對 Imprint 行為之影響，本節比較三種不同厚度之 FeRAM 元件 (10 nm、8 nm 與 6 nm) 於相同操作條件下的 P-E 曲線偏移行為。此測試階段皆使用相同元件、相同步驟與波形設定，並根據電場 E 與厚度 d 呈線性關係 $V = E * d$ ，因此對應脈衝電壓分別為 3.0 V、2.4 V 與 1.8 V。

在 10 nm 元件中 (圖 4-10 與圖 4-11)，極化為 P 朝下與 P 朝上操作後，P-E 曲線於加熱 500 s 後即出現明顯偏移，而 3 ks 條件下偏移量已非常顯著，顯示 Imprint 效應快速發生。8 nm 樣品 (圖 4-12 與圖 4-13) 雖然亦呈現相同趨勢，但偏移程度明顯較低，且時間依賴性較緩。至於 6 nm 樣品 (圖 4-14 與圖 4-15)，即使在加熱 3 ks 後，曲線偏移量仍極為有限，呈現明顯 Imprint 抑制行為。

不同厚度樣品於 3 ks 下之 P-E 偏移總比較如圖 4-16 所示，偏移方向的趨勢一致，顯示內建電場 E_{imp} 形成機制與前節一致，為極化導致內建電場產生，非材料結構性偏壓。整體而言，厚度越大，所施加電壓越高，介面層受到之實際電場強度亦隨之增加，導致電子注入量、陷阱捕獲速率效應加劇，同時更高電場亦可能促使氧空缺重新分佈與解離為 VO^{2+} ，進而加速內建電場累積。根據 Tagantsev 團隊所建立之注入模型[26]，Imprint 效應由電極注入電子至 Passive Layer 引發，其行為對電壓高度敏感；Fengler 團隊亦指出陷阱能階激發與氧空缺穩定化過程需足夠能量門檻方可產生可見偏移[15]。本研究結果與文獻趨勢一致，驗證厚度依賴性 Imprint 行為乃源自電場強度對陷阱活化與介面注入之影響。”

綜上所述，鐵電層厚度對 Imprint 效應具有明顯影響。較厚薄膜 (如 10 nm) 即使在短時間加熱下亦會迅速產生偏移，而較薄樣品則需更長時間或更高能量條件才能激發可觀偏移量。此厚度依賴性行為在未來高密度記憶體設計中，對於薄膜尺度與可靠度之間的平衡提供重要設計參考。

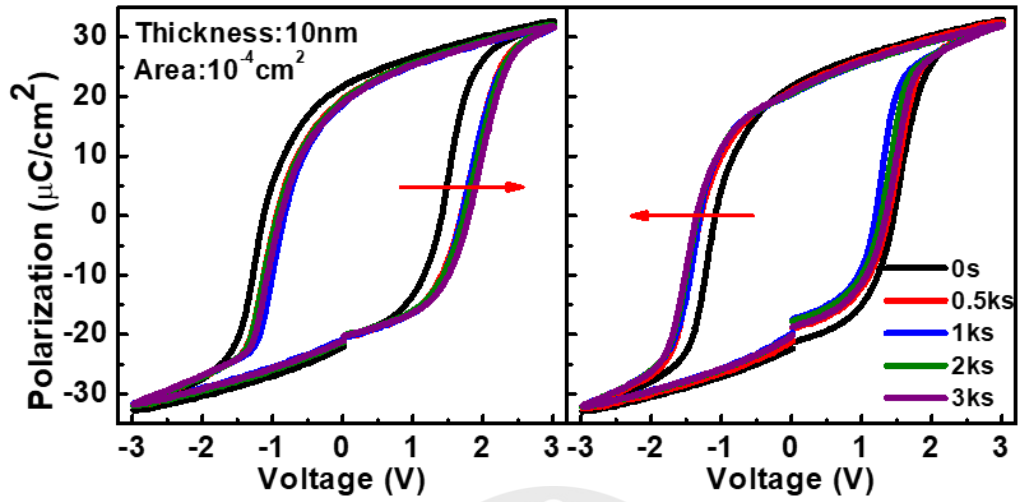


圖 4-10 鐵電層厚度 10nm 之 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作。

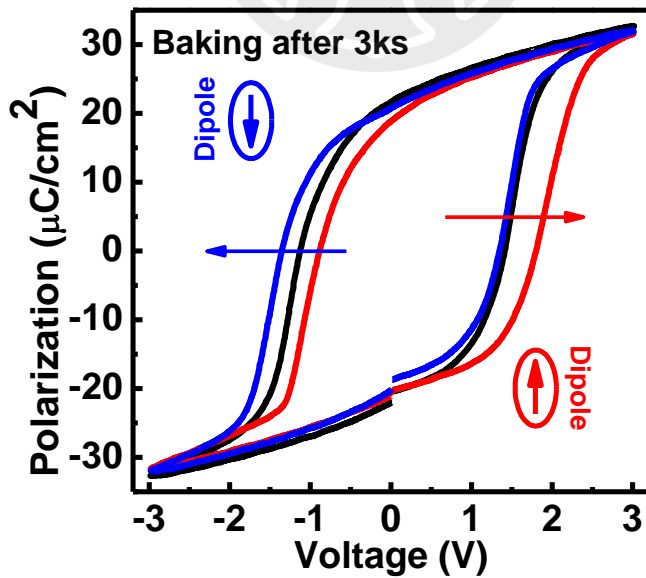


圖 4-11 比較鐵電層厚度 10nm 經極化方向操作後，於 3 ks 時之 P-E 曲線變化。

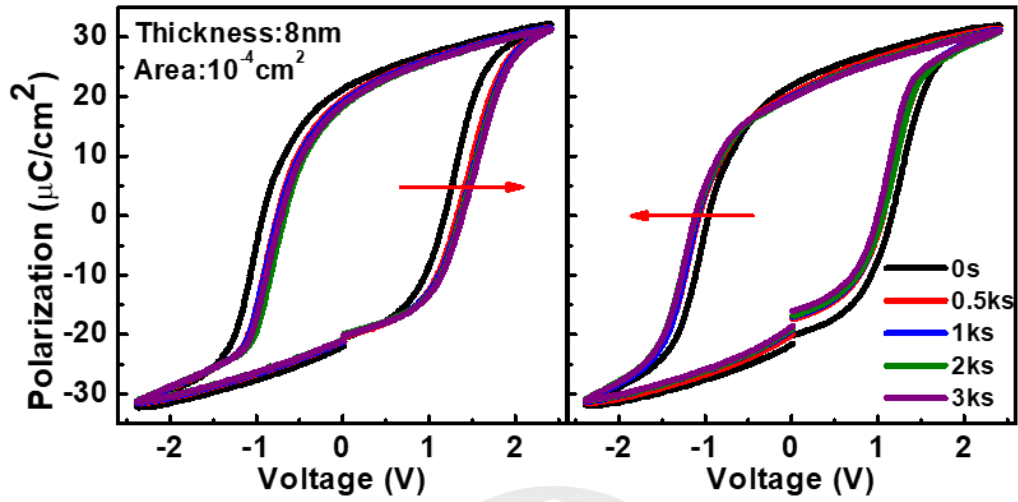


圖 4-12 鐵電層厚度 8nm 之 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作。

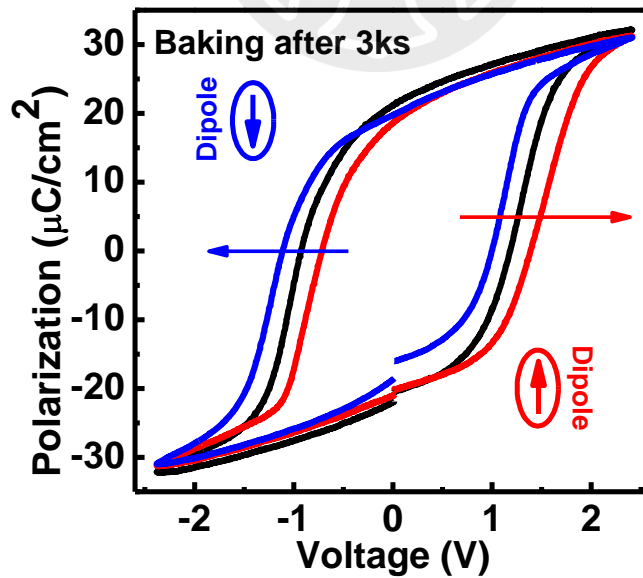


圖 4-13 比較鐵電層厚度 8nm 經極化方向操作後，於 3 ks 時之 P-E 曲線變化。

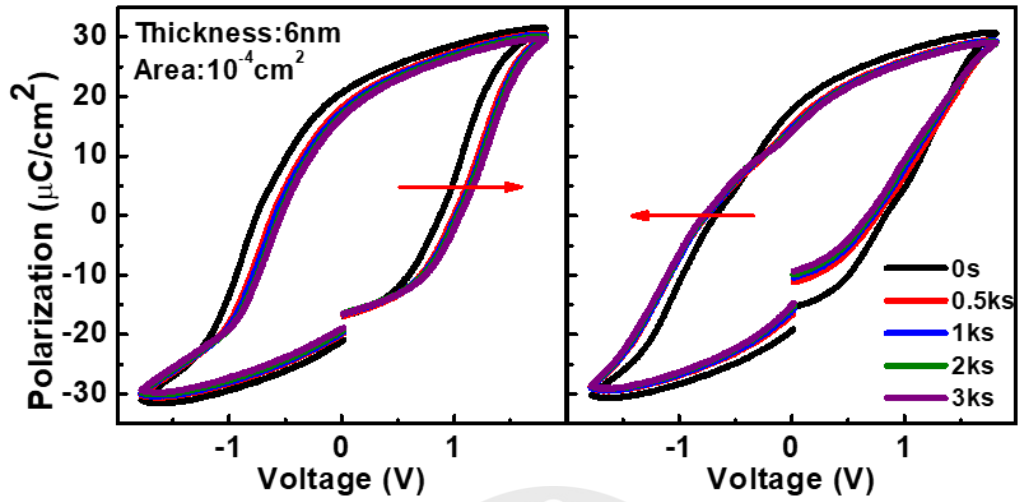


圖 4-14 鐵電層厚度 6nm 之 P-E 曲線於不同 Baking 時間 (0~3 ks) 之趨勢。左圖為 P 朝上操作，右圖為 P 朝下操作。

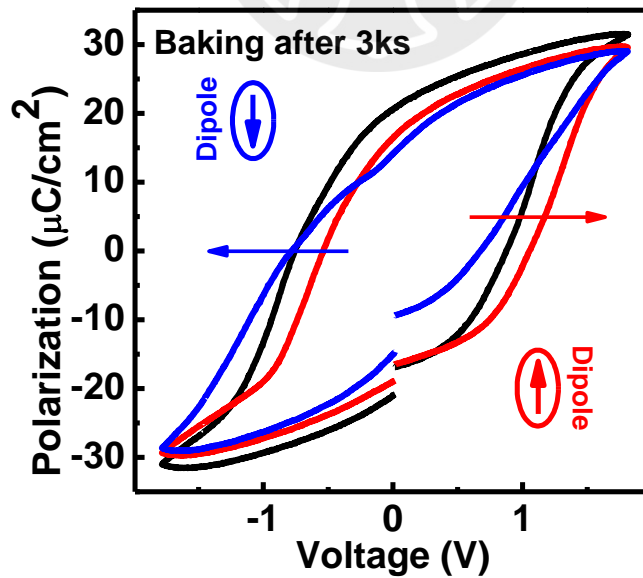


圖 4-15 比較鐵電層厚度 6nm 經極化方向操作後，於 3 ks 時之 P-E 曲線變化。

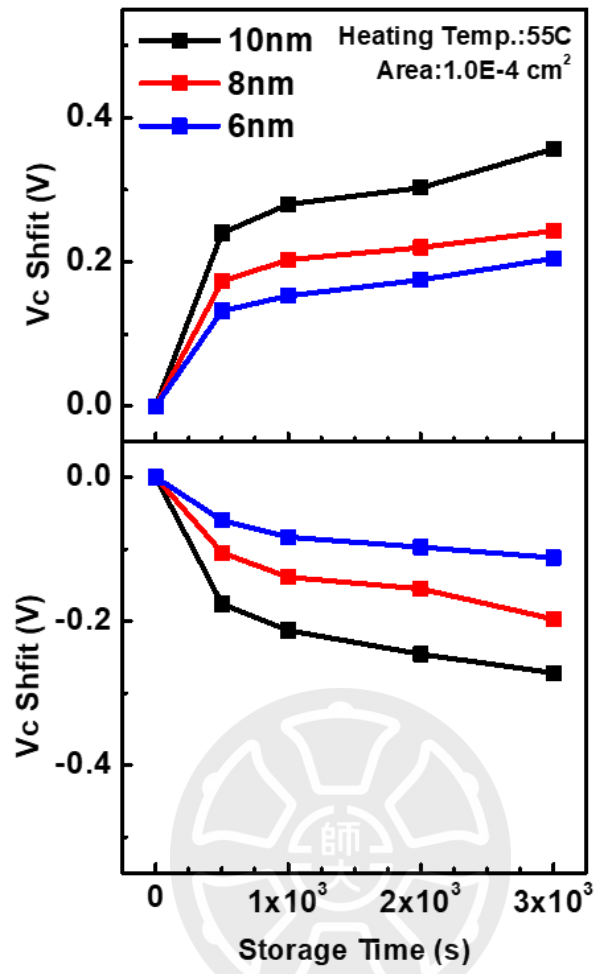


圖 4-16 不同鐵電層厚度 (6、8、10nm) 在 55°C 高溫下，隨時間變化之 V_C 位
移。

4.3.3 不同頻率下之 Endurance 對印記 (Imprint) 影響

在 2025 VLSI Symposium 發表之 Micron 報告中[27]，作者指出極化劣化行為對元件操作頻率具有敏感性，並提出在中頻操作條件下，因 Cycling 數與陷阱動力學之平衡，導致印記效應被明顯加速。本節即嘗試以類似方式設計不同頻率的條件，觀察實際元件於常溫下之循環特性變化。

本實驗設計三組不同週期時間 (Cycle Time) 之脈衝條件，分別為 3 μ s、3 ms 與 0.3 s。所有測試皆維持 ± 3 V 電壓大小，並對稱配置正負脈衝，透過調整 Delay Time 達到不同頻率，進行耐久度測試。三組應力條件之脈衝波形示意如圖 4-17 所示。

剩餘極化值 ($\pm P_r$) 隨循環次數之變化如圖 4-18 所示。觀察結果顯示三組實驗結果皆經歷初期的 Wake-up 行為，後續逐漸進入 Fatigue 階段，但差異相對有限，如圖 4-19 所示之 $2P_r$ 比較圖。進一步將 $+P_r$ 與 $-P_r$ 相減得出差值，顯示整體差值分布接近 0，唯獨在 Cycle 為 High Frequency 下，黑色曲線出現明顯負偏移，如圖 4-20(a)。與圖 4-20(b) 所示 Imprint 示意圖 $+P_r$ 與 $-P_r$ 可同時下降行為相符。其推測原因為從負偏壓轉換至正偏壓的翻轉過程 (即 $V_{ER} \rightarrow V_{PG}$) 幾乎立即發生，具有極短的 Delay Time，可能導致極化尚未完全釋放或重新排列即進入下一階段。而相對地，從正轉負 ($V_{PG} \rightarrow V_{ER}$) 之間插入了明顯的 Delay Time，給予更充足的時間使 Dipole 完全翻轉與穩定，形成極化方向非對稱的應力條件。此不對稱波形導致單側偏壓應力集中，易造成陷阱再分佈與單邊累積，進一步形成內建電場，促使 Imprint 偏移加劇。

此外，本節研究於室溫下進行，與文獻中於 95 °C 進行循環操作不同，可能導致陷阱行為未被顯著活化，頻率差異不如預期明顯。整體而言，操作頻率對印記行為具潛在影響，後續實驗可增加高溫測試與以釐清其真實機制。

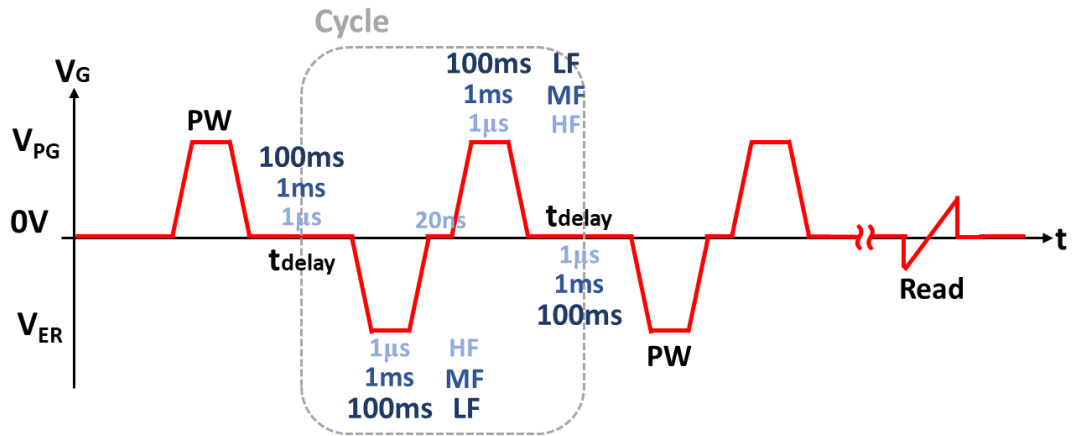


圖 4-17 波形示意圖。

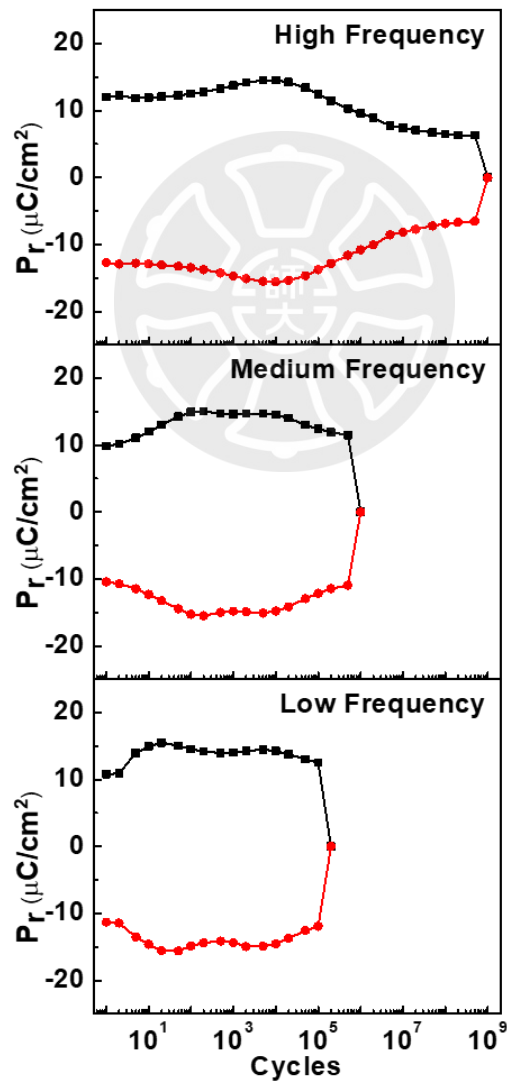


圖 4-18 不同頻率時間下 P_r 隨循環次數之變化。

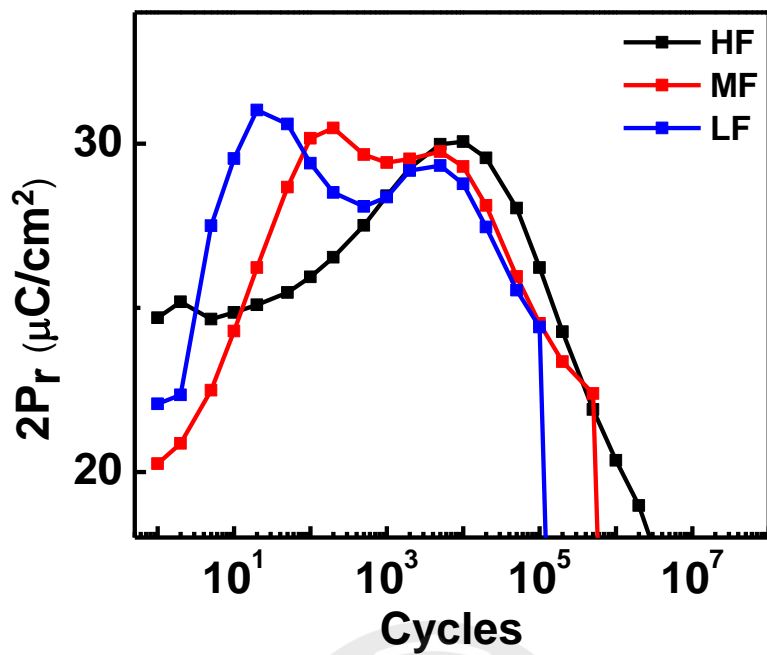


圖 4-19 不同頻率時間下 $2P_r$ 變化比較。

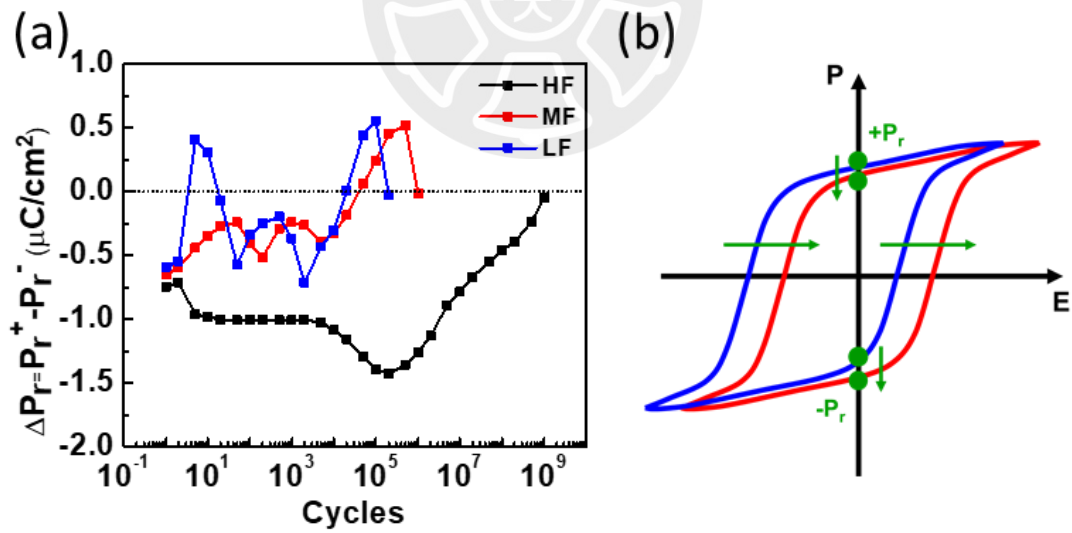


圖 4-20 (a)不同頻率時間下 ΔP_r 變化比較(b)Imprint 示意圖。

4.4 小結

本章透過一系列的加熱實驗，探討 FeRAM 元件中 Imprint 效應隨操作條件改變之行為與成因。搭配第一章所述電子陷阱與氧空缺陷相關理論，結果顯示此偏移現象並非單純由結構性不對稱或內建偏壓所致，而是源自極化導致的缺陷再分佈與陷阱活化機制[15, 16]。

在溫度依賴性方面，實驗觀察到 P-E 曲線偏移隨加熱溫度升高而加速發生，顯示內建電場 E_{Imp} 主要由熱活化過程主導，包含陷阱釋放、電子注入與氧空缺陷導向聚集等機制。其方向取決於施加偏壓與陷阱分布，支持第一章所述 Imprint 為極化導致內建電場產生的觀點，而非結構內建電場[16]。此外 P 朝上與 P 朝下操作所造成的對稱性偏移，亦再次證明陷阱分佈行為受極化方向調控。

在厚度依賴性部分，不同厚度對應相同電場操作下，較厚樣品於相同加熱時間下出現更快速且明顯之偏移行為。此現象顯示 Imprint 效應不僅與電場強度相關，更與實際施加電壓下介面處電子注入能力與陷阱填充速率密切相關。根據先前理論推論，較厚鐵電層需較高電壓導致電子注入量上升，加速陷阱填充與氧空缺陷再分布，使 E_{Imp} 更快速形成並穩定極化狀態[15, 26]。

此外，透過不同頻率操作下之 Endurance 測試，雖於高頻操作下觀察到較明顯之極化偏移，推測與印記效應相關，但整體頻率依賴性仍不如文獻中於高溫操作下所呈現之顯著趨勢[27]。顯示操作頻率對印記行為的影響，可能與溫度條件及陷阱活化速率密切相關，仍需進一步實驗佐證以釐清機制差異。

綜合而言，本章實驗結果驗證第一章中提出之 Imprint 物理解釋，包含極化導致之陷阱再分佈機制，以及溫度驅動下的缺陷重組與電子釋放行為。這些機制共同構成 Imprint 形成的多重原因，可作為日後提升鐵電記憶體穩定性設計之基礎依據。

第五章 總結與未來展望

5.1 總結

本研究聚焦於電子陷阱與缺陷行為對鐵電記憶體元件之電性影響，分別從 FeFET 與 FeRAM 兩類結構探討其在實際操作下之可靠度退化現象與機制成因，並提出具體改善策略以提升元件穩定性與應用潛力。

在 FeFET 部分，實驗觀察到元件於 read-after-write 操作中，臨界電壓短時間內出現明顯漂移與記憶視窗衰退現象。經分析此行為主要受陷阱釋放與去極化場交互作用影響，特別在短延遲時間下尤為顯著。為改善此問題，本研究導入雙層 HZO 夾 TiN (TiN-DHZO) 結構，藉由不同上下層 HZO 之非對稱設計，有效降低矯頑場，成功穩定極化切換行為並降低誤讀率，顯示該結構在高速讀寫應用中具實質改善效果。

在 FeRAM 部分，透過一系列加熱保持實驗探討 Imprint 行為之溫度與厚度依賴性，結果顯示偏移量隨溫度升高與薄膜厚度增加而顯著上升，且偏移方向始終受極化方向所控制，呈現鏡像對稱性。此結果驗證內建電場形成與極化導致的陷阱再分佈與氧空缺動態有關，並非材料本身之結構性偏壓。搭配文獻理論模型分析，本研究進一步釐清 Imprint 效應為熱活化下陷阱行為所主導，對實際操作穩定性具深遠影響。此外，亦設計不同頻率之操作進行 Endurance 測試，其中高頻下出現較為明顯之極化偏移，亦顯示 Imprint 效應可能受操作頻率影響。儘管 FeFET 與 FeRAM 元件架構不同，但本研究顯示兩者皆易受電子陷阱與缺陷再分佈影響，導致出現類似的偏移與穩定性問題。

綜合而言，本研究驗證電子陷阱與缺陷重組為 FeFET 與 FeRAM 可靠度劣化的核心機制，並分別提出具結構設計與操作條件調變效益之改善方法，可作為未來高密度、高穩定性鐵電記憶體元件設計之參考依據。

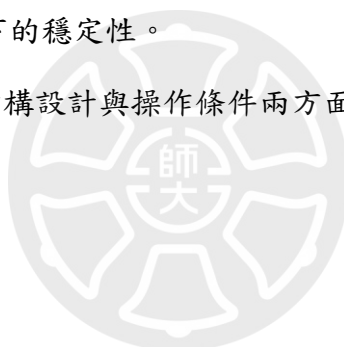
5.2 未來展望

本研究針對 FeFET 與 FeRAM 的可靠度問題進行初步探討，後續仍有多項方向值得深入研究。

在 FeFET 部分，未來可以嘗試調整上下層 HZO 的厚度比例，或更換不同金屬中間層材料，及延伸探討更長延遲時間下的記憶視窗變化，進一步分析其對極化切換與陷阱行為的影響。同時也可以延伸測試不同脈衝寬度與延遲時間下的讀寫穩定性，建立更完整的 read-after-write 模型。

在 FeRAM 部分，後續可以設計更長時間的偏壓保持實驗，觀察 Imprint 效應與 Retention 偏移之間的關聯，也可分別調變 PW 與 Delay Time，釐清操作頻率對印記效應的影響。此外，也可以進一步測試在高溫或高頻操作條件下的 P-E 偏移行為，評估實際應用下的穩定性。

整體而言，未來可從結構設計與操作條件兩方面持續優化，提升鐵電記憶體元件的可靠度與實用性。



References

- [1] S. Slesazeck, U. Schroeder, and T. Mikolajick, "Embedding hafnium oxide based FeFETs in the memory landscape," in *2018 International Conference on IC Design & Technology (ICICDT)*, 2018: IEEE, pp. 121-124.
- [2] I. H. Lone, J. Aslam, N. R. Radwan, A. H. Bashal, A. F. Ajlouni, and A. Akhter, "Multiferroic ABO₃ transition metal Oxides: A rare interaction of ferroelectricity and magnetism," *Nanoscale research letters*, vol. 14, pp. 1-12, 2019.
- [3] J. Valasek, "Piezo-electric and allied phenomena in Rochelle salt," *Physical review*, vol. 17, no. 4, p. 475, 1921.
- [4] J. Müller, P. Polakowski, S. Mueller, and T. Mikolajick, "Ferroelectric hafnium oxide based materials and devices: Assessment of current status and future prospects," *ECS Journal of Solid State Science and Technology*, vol. 4, no. 5, p. N30, 2015.
- [5] T. Böske, J. Müller, D. Bräuhäus, U. Schröder, and U. Böttger, "Ferroelectricity in hafnium oxide thin films," *Applied Physics Letters*, vol. 99, no. 10, 2011.
- [6] T. Böske *et al.*, "Phase transitions in ferroelectric silicon doped hafnium oxide," *Applied Physics Letters*, vol. 99, no. 11, 2011.
- [7] J. Müller *et al.*, "Ferroelectric ZrO₂-5HfO₂ thin films for nonvolatile memory applications," *Applied Physics Letters*, vol. 99, no. 11, 2011.
- [8] A. Chernikova, D. Kuzmichev, D. Negrov, M. Kozodaev, S. Polyakov, and A. Markeev, "Ferroelectric properties of full plasma-enhanced ALD TiN/La: HfO₂/TiN stacks," *Applied Physics Letters*, vol. 108, no. 24, 2016.
- [9] J. Muller *et al.*, "Ferroelectricity in simple binary ZrO₂ and HfO₂," *Nano letters*, vol. 12, no. 8, pp. 4318-4323, 2012.
- [10] S. Mueller, S. Slesazeck, T. Mikolajick, J. Müller, P. Polakowski, and S. Flachowsky, "Next-generation ferroelectric memories based on FE-HfO₂," in *2015 Joint IEEE International Symposium on the Applications of Ferroelectric (ISAF), International Symposium on Integrated Functionalities (ISIF), and Piezoelectric Force Microscopy Workshop (PFM)*, 2015: IEEE, pp. 233-236.
- [11] S.-C. Chang *et al.*, "FeRAM using anti-ferroelectric capacitors for high-speed and high-density embedded memory," in *2021 IEEE International Electron Devices Meeting (IEDM)*, 2021: IEEE, pp. 33.2. 1-33.2. 4.
- [12] H. Ishiwara, "Ferroelectric random access memories," *Journal of nanoscience and nanotechnology*, vol. 12, no. 10, pp. 7619-7627, 2012.
- [13] C.-Y. Liao *et al.*, "Mechanisms of instability retention for ferroelectric field

- effect transistors with HfZrO₂ gate stack scaling down," *Applied Physics Letters*, vol. 121, no. 25, 2022.
- [14] P. Vishnumurthy, R. Alcalá, T. Mikolajick, U. Schroeder, L. A. Antunes, and A. Kersch, "Ferroelectric HfO₂-based capacitors for FeRAM: Reliability from field cycling endurance to retention," in *2024 IEEE International Reliability Physics Symposium (IRPS)*, 2024: IEEE, pp. 1-10.
- [15] F. Fengler, M. Hoffmann, S. Slesazeck, T. Mikolajick, and U. Schroeder, "On the relationship between field cycling and imprint in ferroelectric Hf_{0.5}Zr_{0.5}O₂," *Journal of Applied Physics*, vol. 123, no. 20, 2018.
- [16] P. Yuan *et al.*, "Microscopic mechanism of imprint in hafnium oxide-based ferroelectrics," *Nano Research*, vol. 15, no. 4, pp. 3667-3674, 2022.
- [17] M. Pešić and L. Larcher, "Modeling of Field Cycling Behavior of Ferroelectric Hafnia-Based Capacitors," in *Ferroelectricity in Doped Hafnium Oxide: Materials, Properties and Devices*: Elsevier, 2019, pp. 399-411.
- [18] D. Kleimaier *et al.*, "Demonstration of a p-type ferroelectric FET with immediate read-after-write capability," *IEEE Electron Device Letters*, vol. 42, no. 12, pp. 1774-1777, 2021.
- [19] "Premier II Ferroelectric Test System Brochure," pp. 1-2.
- [20] "Keysight Technologies B1500A Semiconductor Device Analyzer," pp. 1,4-2,32.
- [21] "Keysight Technologies B1530A Waveform Generator/ Fast Measurement Unit," pp. 1,5-2,12.
- [22] M. Hoffmann *et al.*, "Fast read-after-write and depolarization fields in high endurance n-type ferroelectric FETs," *IEEE Electron Device Letters*, vol. 43, no. 5, pp. 717-720, 2022.
- [23] X. Jia, J. Xiang, H. Xu, W. Liu, X. Wang, and W. Wang, "Depolarization field in FeFET considering minor loop operation and charge trapping," *IEEE Transactions on Electron Devices*, vol. 69, no. 5, pp. 2711-2717, 2022.
- [24] S.-C. Yan *et al.*, "High speed and large memory window ferroelectric HfZrO₂ finfet for high-density nonvolatile memory," *IEEE Electron Device Letters*, vol. 42, no. 9, pp. 1307-1310, 2021.
- [25] C.-Y. Liao *et al.*, "Endurance > 10¹¹ cycling of 3D GAA nanosheet ferroelectric FET with stacked HfZrO₂ to homogenize corner field toward mitigate dead zone for high-density eNVM," in *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, 2022: IEEE, pp. 1-2.
- [26] A. K. Tagantsev, I. Stolichnov, N. Setter, and J. S. Cross, "Nature of nonlinear imprint in ferroelectric films and long-term prediction of polarization loss in

ferroelectric memories," *Journal of Applied Physics*, vol. 96, no. 11, pp. 6616-6623, 2004.

- [27] A. C. A. Calderoni, D. P. Ettisserry, A. Liao, M. Balakrishnan, M. Hollander, M. Mariani, K. Karda, M. Jerry, M. Fischer, D. Mills, B. Cook, S. Chhajer, J. Zahurak, N. Ramaswamy, "Voltage Reduction (1.4V) and Array Scaling (41nm) of Ferroelectric NVDRAM for Low-Power and High-Density Applications," *2025 Symposium on VLSI Technology and Circuits Digest of Technical Papers*, pp. 1-3, 2025.



Publications

研討會論文

1. **G.-L. Liu**, C.-Y. Lee, C.-C. Cheng, M. Januar, N.-F Chiu, and M.-H. Lee*,
“Read-After-Write Improvement of GAA FeFETs by a TiN-Inserted Double
Ferroelectric HfZrO₂ Gate Stack,” BB11400031, 2025 SNDCT, Hsinchu,
Taiwan, May 27-28, 2025.

