

國立臺灣師範大學電機工程學系

碩士論文

Department of Electrical Engineering
National Taiwan Normal University
Master's Thesis

28 GHz 鏡像訊號抑制接收機設計
Design of a 28 GHz Image Rejection Receiver



DENG, Kai- Jyun

指導教授：蔡政翰 博士

Advisor: TSAI, Jeng-Han, Ph.D.

中華民國 111 年 9 月

September 2022

28 GHz 鏡像訊號抑制接收機設計

學生：鄧凱駿

指導教授：蔡政翰 博士

國立臺灣師範大學電機工程學系碩士班

摘 要

隨著毫米波頻段的發展，在毫米波射頻收發器中，低雜訊放大器及混頻器為射頻收發機的重要元件。由於近年來互補式金氧半導體製程(CMOS)的發展愈趨前瞻，近年來一些射頻電路整合成的射頻模組也逐漸出現在市場上，因此本論文將使用 TSMC 180nm CMOS 製程，實現 28 GHz 鏡像抑制接收器模組。

第一個電路為 28 GHz 低雜訊放大器，使用串接兩極疊接組態結構，透過在疊接結構中加入匹配電感對雜訊進行抑制。當供給電壓 V_{dd} 為 2.4 V， V_{g1} 、 V_{g2} 分別為 0.8 V、2 V 時，量測在 27.2 GHz 有最大增益 14.7 dB，雜訊指數在 26 ~ 34 GHz 雜訊指數小於 6 dB， OP_{1dB} 約為 -7.25 dBm，電路直流功率消耗約為 10.87mW，整體晶片面積佈局為 $615 \mu\text{m} \times 410 \mu\text{m}$ 。

第二個電路為 28 GHz 鏡像抑制混頻器，為一降頻器，射頻訊號由 RF 端進入後透過威爾金森功率合成器(Wilkinson Power Combiner)將訊號分配到 I/Q 混頻器中，LO 端則是用耦合器和馬相巴倫構成的四相位產生器將差 90 度的正交的差動訊號輸入到 I/Q 混頻器中，IF 端是以二階多相位濾波器(Poly Phase Filter)將輸出的四相位訊號合併成差動訊號。在 LO 驅動功率為 3 dBm 時，電晶體閘極偏壓在 0.6V 時，頻帶約為 25 ~ 31 GHz，轉換增益(Conversion Loss)約為 -20.48 dB，鏡像拒斥比在 RF 頻率 28 GHz 時為 -47.18 dB， OP_{1dB} 約為 -17.33 dBm，LO

對 RF、LO 對 IF 隔離度皆小於-50 dB，電路直流功率消耗約為 0 mW，整體晶片面積佈局為 $800\ \mu\text{m} \times 700\ \mu\text{m}$ 。

第三個電路為 28 GHz 鏡像抑制接收器，由上述介紹的兩電路組成，由第一極的低雜訊放大器抑制雜訊並放大接收到的訊號，再由第二極的鏡像抑制混頻器做降頻和鏡像訊號抑制。當混頻器閘極電壓為 0.6V、LO 驅動功率供給 3 dBm 時，在頻率為 28 GHz 有最大的轉換增益約為-6.4 dB，RF 頻寬鏡像拒斥比在 20 GHz~28 GHz 小於-40 dB，IF 頻寬鏡像拒斥比在 3 GHz~5 GHz 小於-40 dB，當 LO 頻率固定在 25 GHz、RF 頻率固定在 28 GHz，LO 驅動功率為 3 dBm， $OP_{1\text{dB}}$ 約為-27.15 dBm，LO 到 IF 還是 LO 到 RF 的隔離度都有在-50 dB 以下，直流功率消耗約為 19.6 mW，整體晶片面積佈局為 $1200\ \mu\text{m} \times 700\ \mu\text{m}$ 。

關鍵字：互補式金氧半導體製程、低雜訊放大器、鏡像抑制混頻器、高鏡像抑制、LO 匹配網路、雜訊抑制電感



Design of 28 GHz Image Rejection Receiver

Student : Kai-Jyun Deng

Advisor : Dr. Jeng-Han Tsai

Department of Electrical Engineering
National Taiwan Normal University

ABSTRACT

With the development of the millimeter-wave frequency band, low-noise amplifiers and mixers are important components in millimeter-wave RF transceivers. Due to the advancement of the complementary metal oxide semiconductor process (CMOS), some radio frequency modules integrated with RF circuits have gradually appeared in the market in recent years. Therefore, this paper will use the TSMC 180nm CMOS process to achieve 28 GHz image rejection receiver module.

The first circuit is a 28 GHz low-noise amplifier, which is consists of a two-stage cascode structure. Noise suppression is achieved by adding matched inductors to the cascode structure. When the supply voltage V_{dd} is 2.4 V, and V_{g1} and V_{g2} are 0.8 V and 2 V, respectively, the maximum gain is 14.7 dB at 27.2 GHz, and the noise figure is around 6 dB at 26 ~ 34 GHz. The output power 1-dB gain compression point is about -7.25 dBm, the circuit DC consumption is about 10.87mW, and the overall chip layout area is $615\mu\text{m} \times 410\mu\text{m}$.

The second circuit is a 28 GHz image rejection mixer, which is a down-converter. The RF signal enters from the RF end than the signal distributes to the mixer of the I/Q path through the Wilkinson Power Combiner. At the LO end we

use a four-phase generator composed of a coupler and two Marchand Balun baluns to create the quadrature differential signal with a difference of 90 degrees into the I/Q mixer, and at the IF end a second-order polyphase filter(Poly Phase Filter) is utilized to combine the output four-phase signal into a differential signal. When the LO power is fixed at 3 dBm and the transistor gate bias is 0.6V, the conversion gain (Conversion Loss) is about -20.48 dB at 25 ~ 31 GHz, and when the RF frequency is 28 GHz, the image rejection ratio is -47.18 dB, the output power 1-dB gain compression point is about -17.33 dBm, RF to LO and RF to IF isolation is less than -50 dB, the circuit DC consumption is about 0 mW, and the overall die layout area is $800 \mu\text{m} \times 700 \mu\text{m}$.

The third circuit is a 28 GHz image-reject receiver, which consists of the two circuits described above. The first stage is a low-noise amplifier that suppresses noise and amplifies the received signal, and the second stage is an image-reject mixer to convert the received signal and suppress image signals. When the gate bias of the mixer is 0.6V and the LO power is fixed at 3 dBm, the conversion gain is around -6.4 dB at 28 GHz, and the image rejection ratio is less than -40 dB at 20 GHz to 28 GHz. IF bandwidth image rejection ratio is less than -40 dB at 3 GHz to 5 GHz, when the LO frequency is fixed at 25 GHz, the RF frequency is fixed at 28 GHz, the LO power is 3 dBm, and the output power 1-dB gain compression point the OP1dB is about -27.15 dBm, the isolation from LO to IF or LO to RF is below -50 dB, the DC consumption is about 19.6 mW, and the overall chip layout area is $1200 \mu\text{m} \times 700 \mu\text{m}$.

Keywords : Complementary Metal Oxide Semiconductor (CMOS), Low Noise Amplifier (LNA), Image Reject Mixer, High image rejection, LO matching network, Noise Suppression technique

誌 謝

兩年的研究生生涯，不知不覺就快畢業了，從剛進實驗室甚麼都不了解到現在能順利成為準碩士畢業生，要感謝一路上幫助過我的許多人，才讓我能順利畢業。我先要感謝我的指導教授蔡政翰教授，感謝教授願意細心的一步步教導沒有相關背景的我，讓我不僅學到專業領域上的知識，在待人處事的態度也有所增長。接著要感謝李威聰博士與林文傑博士能於百忙之中撥空來擔任口試委員，感謝兩位口試委員於口試中給予寶貴的建議以及詳細的研究方法，讓本論文可以更加的完整。

而在實驗室中，我要感謝已畢業的雲岳學長、庚生學長、泰廷學長，當我剛進實驗室受到許多學長的幫助，使我可以解決研究上遇到的問題，並使我更好的找到解決問題的方向，還在電路出現問題時與我一起討論可能問題。還要感謝這兩年碩班的同學，新亞、易廷、品寰，在這兩年的時間裡陪著我下線時一起解 DRC、LVS，遇到問題時一起討論，並在這段期間互相學習一同成長。此外我還要感謝專題生瑤心、柏宇、柏任和實驗室的學弟妹鈞霖、映晨、佺雯、仲堯、靜汶、青霖、奕綺、庭瑜、詠捷、佳慧，跟你們一起討論問題、一起聊天的這段期間中我在你們身上也學到很多。

另外要感謝其他實驗室中的同學、學長姐和學弟妹們，在這段時間裡互相幫忙。感謝系辦的琇文、婷節、嘉安，在課業或實驗課借教室或雜事，都願意協助我們。

最後要感謝我親愛的家人們，謝謝你們總是支持我做去嘗試我想做的事情並在旁給予幫助和建議，有這些支持我才能專心完成我的碩士學位。

也再次感謝一路上幫助過我的師長、朋友和家人，謝謝一路上的幫助和支持。

鄧凱駿 110.08.21

國立臺灣師範大學電機工程學系 工 515 RFIC 實驗室



目錄

摘要	i
ABSTRACT	iii
誌謝	v
目錄	vii
圖目錄	x
表目錄	xix
第一章 緒論	1
1.1 研究背景與動機	1
1.2 文獻探討	2
1.2.1 低雜訊放大器	2
1.2.2 28 GHz 鏡像訊號抑制混頻器	3
1.2.3 28 GHz 鏡像訊號抑制接收器	4
1.3 研究成果	5
1.4 論文架構	7
第二章 28 GHz 低雜訊放大器設計	8
2.1 簡介	8
2.2 低雜訊放大器之設計參數	9
2.2.1 散射參數(S-parameters)	9
2.2.2 穩定度(Stability)	10
2.2.3 線性度(Linearity)	10
2.2.4 雜訊指數(Noise Figure, NF)	11
2.3 共源級組態和與疊接組態架構分析	12
2.3.1 共源級組態分析	13
2.3.2 疊接組態分析	18
2.3.3 架構選擇	23
2.3.4 疊接組態電晶體尺寸最佳化	25
2.4 28 GHz 低雜訊放大器設計	31
2.4.1 電路架構	31
2.4.2 匹配網路設計	32
2.4.3 旁路電路設計	39
2.5 低雜訊放大器之模擬結果	42

2.6	低雜訊放大器之量測結果	49
2.7	結果與討論	56
2.8	總結	58
第三章	28 GHz 鏡像抑制混頻器設計	60
3.1	簡介	60
3.2	混頻器之架構	61
3.2.1	單端輸入輸出混頻器(Single-Ended Mixer)	61
3.2.2	單端平衡混頻器(Single-Balanced Mixer).....	62
3.2.3	雙端平衡混頻器(Double-Balanced Mixer)	63
3.2.4	被動電阻式環形混頻器(Passive Resistive Ring Mixer)	64
3.2.5	鏡像抑制混頻器(Image-Rejection Mixer, IR Mixer).....	65
3.3	鏡像抑制混頻器之設計參數	67
3.3.1	轉換增益/損耗(Conversion Gain/Loss).....	67
3.3.2	線性度 (Linearity)	67
3.3.3	鏡像拒斥比(Image Rejection Ratio, IRR)	68
3.3.4	隔離度(Isolation).....	69
3.4	鏡像抑制混頻器設計	70
3.4.1	混頻器電晶體尺寸與偏壓分析選擇	70
3.4.2	RF 端與 LO 端 Marchand Blaun 設計	81
3.4.3	耦合器(Coupler).....	87
3.4.4	匹配網路設計	90
3.4.5	多相位濾波器(Poly Phase Filter)	94
3.4.6	威爾金森功率合成器(Wilkinson Power Combiner).....	97
3.5	鏡像抑制混頻器之模擬結果	99
3.5.1	單路混頻器模擬結果	99
3.5.2	鏡像抑制混頻器模擬結果	104
3.6	總結	110
第四章	28GHz 鏡像抑制接收器.....	111
4.1	簡介	111
4.2	收發機混頻器比較	111
4.3	收發機之常見架構	112
4.3.1	外差式接收機(Heterodyne Receiver)	112
4.3.2	雙中頻外差式接收機(Dual-IF Heterodyne Receiver)	113
4.3.3	同差式接收機(Homodyne Receiver).....	114
4.4	28 GHz 低雜訊放大器.....	115

4.5	28 GHz 鏡像抑制混頻器	115
4.6	28 GHz 鏡像抑制接收器設計	115
4.7	28 GHz 鏡像抑制接收器模擬結果	116
4.8	28 GHz 鏡像抑制接收器量測結果	125
4.9	結果與討論	146
4.9.1	製成電晶體變異對轉換增益和鏡像拒斥比影響	146
4.9.2	混頻器閘極偏壓對轉換增益和鏡像拒斥比影響	147
4.9.3	PPF 電磁模擬模型對轉換增益和鏡像拒斥比影響	148
4.9.4	PPF 電容電阻變異對轉換增益和鏡像拒斥比影響	149
4.10	總結	151
第五章	結論	153
參 考 文 獻	154
自 傳	159
學 術 成 就	159



圖 目 錄

圖 2-1 相位陣列射頻收發系統.....	8
圖 2-2 雙埠網路架構圖.....	10
圖 2-3 多級串接放大器示意圖.....	11
圖 2-4 電路架構(a) Common Source 架構 (b) Cascode 架構.....	12
圖 2-5 G_m & I_D & NF_{min} 對 V_g 偏壓(MOSFET $w_{rr}=2 \times \text{finger}=12$).....	14
圖 2-6 不同通道長度(MSG/MAG)對頻率($V_{dd}=1.2V$ $V_g=0.8V$ $\text{finger}=12$).....	14
圖 2-7 不同 finger 數下最大穩定/可用增益(MSG/MAG)頻率響應圖.....	15
圖 2-8 在 28 GHz 下不同 finger 數下最大穩定/可用增益(MSG/MAG) & NF_{min}	16
圖 2-9 通道寬度為 $2 \mu m$ 指叉數 14 MSG/MAG & NF_{min} 頻率響應圖.....	17
圖 2-10 共源極組態等效電路圖.....	17
圖 2-11 計算電晶體雜訊指數等效電路.....	19
圖 2-12 電晶體小訊號等效電路.....	21
圖 2-13 疊接組態電感匹配表示圖.....	22
圖 2-14 疊接組態不同匹配電感感值表示圖.....	23
圖 2-15 疊接組態和共源極組態 MSG/MAG & NF_{min}	24
圖 2-16 共源極對指叉數的 MSG/MAG & NF_{min} 和 I_d	25
圖 2-17 疊接組態電路圖.....	26
圖 2-18 疊接組態在不同指叉數下共閘極的 MSG/MAG & NF_{min}	27
圖 2-19 疊接組態共源極到共閘極的阻抗匹配路徑.....	28
圖 2-20 匹配網路電路圖.....	29
圖 2-21 加入匹配結構的 MSG/MAG & NF_{min} 頻率響應圖.....	29
圖 2-22 加入匹配結構的穩定因子(Stability factor) 頻率響應圖.....	30

圖 2-23	不同感值下對 NFmin 的模擬圖.....	30
圖 2-24	28 GHz 低雜訊放大器電路圖.....	32
圖 2-25	傳統匹配結構示意圖.....	34
圖 2-26	II 型輸入匹配網路示意圖.....	35
圖 2-27	不同匹配結構的 S 參數頻率響應圖.....	35
圖 2-28	不同匹配結構的 NFmin 頻率響應圖.....	36
圖 2-29	第一極雜訊匹配軌跡史密斯圖.....	36
圖 2-30	第一極與第二極極間匹配網路結構.....	37
圖 2-31	第一極與第二極極間匹配軌跡史密斯圖.....	38
圖 2-32	第三極輸出匹配網路結構.....	38
圖 2-33	第三極輸出匹配軌跡史密斯圖.....	39
圖 2-34	旁路電路架構圖.....	39
圖 2-35	一接旁路電路之阻抗模擬圖.....	40
圖 2-36	一接旁路電路之阻抗實虛部模擬圖.....	41
圖 2-37	一接旁路電路之品質因子模擬圖.....	41
圖 2-38	一、二階旁路電路之隔離度比較圖.....	42
圖 2-39	可變增益放大器整體電路架構圖.....	43
圖 2-40	低雜訊放大器之 S 參數模擬特性圖.....	44
圖 2-41	低雜訊放大器之雜訊指數模擬特性圖.....	44
圖 2-42	可低雜訊放大器之 P1dB 模擬特性圖.....	45
圖 2-43	穩定度(K 值)模擬結果圖.....	46
圖 2-44	穩定度(Mu 值)模擬結果圖.....	46
圖 2-45	級間穩定圓模擬結果圖.....	47
圖 2-46	低雜訊放大器電路佈局圖.....	48
圖 2-47	28 GHz 低雜訊放大器晶片微影圖.....	49
圖 2-48	低雜訊放大器模擬與量測之 S 參數特性比較圖.....	50

圖 2-49 低雜訊放大器雜訊指數模擬與量測結果.....	51
圖 2-50 低雜訊放大器 28 GHz 的 P1dB 模擬與量測結果.....	51
圖 2-51 低雜訊放大器模擬與量測之 S 參數特性比較圖.....	52
圖 2-52 低雜訊放大器雜訊指數模擬與量測結果.....	53
圖 2-53 低雜訊放大器 28 GHz 的 P1dB 模擬與量測結果.....	53
圖 2-54 低雜訊放大器模擬與量測之 S 參數特性比較圖.....	54
圖 2-55 低雜訊放大器雜訊指數模擬與量測結果.....	55
圖 2-56 低雜訊放大器 28 GHz 的 P1dB 模擬與量測結果.....	55
圖 2-57 低雜訊放大器修改後電路圖.....	57
圖 2-58 考量不同效應後 S 參數特性比較.....	57
圖 2-59 考量不同效應後雜訊指數特性比較.....	58
圖 3-1 混頻器之工作原理.....	61
圖 3-2 單端輸入輸出混頻器架構圖.....	62
圖 3-3 二極體單端平衡混頻器架構圖.....	63
圖 3-4 電晶體單端平衡混頻器架構圖.....	63
圖 3-5 電晶體雙端平衡混頻器架構圖.....	64
圖 3-6 被動電阻式環形混頻器架構圖.....	65
圖 3-7 鏡像抑制混頻器之工作原理.....	66
圖 3-8 1-dB 壓縮點示意圖.....	68
圖 3-9 鏡像拒斥比示意圖.....	69
圖 3-10 鏡像抑制混頻器整架構圖.....	70
圖 3-11 不加任何偏壓之環形混頻器架構圖.....	71
圖 3-12 固定寬度為 2 μm 不同指叉數下轉換增益對 LO 驅動功率作圖.....	71
圖 3-13 固定寬度為 4 μm 不同指叉數下轉換增益對 LO 驅動功率作圖.....	72
圖 3-14 固定寬度為 6 μm 不同指叉數下轉換增益對 LO 驅動功率作圖.....	72
圖 3-15 固定寬度為 8 μm 不同指叉數下轉換增益對 LO 驅動功率作圖.....	73

圖 3-16 不同電晶體尺寸下轉換增益對 RF 頻率作圖.....	73
圖 3-17 混頻電晶體加偏壓之架構圖.....	74
圖 3-18 不同 LO 驅動功率下轉換增益對 V_g 作圖.....	75
圖 3-19 不同電晶體尺寸下轉換增益對 V_g 作圖.....	75
圖 3-20 固定寬度為 $2\ \mu\text{m}$ ，不同指叉數下轉換增益對 LO 驅動功率作圖.....	76
圖 3-21 固定寬度為 $4\ \mu\text{m}$ ，不同指叉數下轉換增益對 LO 驅動功率作圖.....	77
圖 3-22 固定寬度為 $6\ \mu\text{m}$ ，不同指叉數下轉換增益對 LO 驅動功率作圖.....	77
圖 3-23 固定寬度為 $8\ \mu\text{m}$ ，不同指叉數下轉換增益對 LO 驅動功率作圖.....	78
圖 3-24 混頻混頻器輸出匹配(並聯電感)架構圖.....	79
圖 3-25 混頻混頻器輸出匹配(串聯電感)架構圖.....	79
圖 3-26 轉換增益對電感值作圖.....	80
圖 3-27 RF Balun 使用 EM 模型不同匹配結構轉換增益對 RF 頻率作圖.....	81
圖 3-28 Marchand Balun 基本架構圖.....	82
圖 3-29 (a) M6 M5 耦合挖除 $10\ \mu\text{m}$ 地 (b) M6 M5 耦合 (c) M6 M4 耦合 (d) M6 M5 耦合挖除 $10\ \mu\text{m}$ 地.....	82
圖 3-30 (a) 不同結構 Balun 振幅誤差 (b) 不同結構 Balun 相位誤差.....	83
圖 3-31 RF 端 Marchand Balun 電磁模擬 3D 圖.....	84
圖 3-32 RF 端 Marchand Balun: (a) 插入損耗模擬圖 (b) 相位誤差模擬圖.....	85
圖 3-33 RF 端 Marchand Balun 反射損耗模擬圖.....	85
圖 3-34 LO 端 Marchand Balun 電磁模擬 3D 圖.....	86
圖 3-35 LO 端 Marchand Balun: (a) 插入損耗模擬圖 (b) 相位誤差模擬圖.....	86
圖 3-36 LO 端 Marchand Balun 反射損耗模擬圖.....	87
圖 3-37 LO 端 Coupler: (a) 振幅誤差模擬圖 (b) 相位誤差模擬圖.....	88
圖 3-38 Coupler 基本架構圖.....	89
圖 3-39 Coupler 電磁模擬 3D 圖.....	89
圖 3-40 Coupler: (a) 插入損耗模擬圖 (b) 相位不平衡模擬圖.....	90

圖 3-41 Coupler 反射損耗模擬圖.....	90
圖 3-42 LO 端四相位訊號架構圖.....	91
圖 3-43 LO 端四相位訊號:(a) 插入損耗模擬圖 (b) 相位誤差模擬圖.....	91
圖 3-44 LO 端四相位訊號:(a) 插入損耗模擬圖 (b) 相位誤差模擬圖.....	92
圖 3-45 LO 端匹配網路模擬圖.....	92
圖 3-46 LO 端四相位訊號含匹配網路架構圖.....	93
圖 3-47 LO 端四相位訊號:(a) 插入損耗模擬圖 (b) 相位誤差模擬圖.....	93
圖 3-48 LO 端四相位訊號:(a) 插入損耗模擬圖 (b) 相位誤差模擬圖.....	94
圖 3-49 RC-CR 網路圖.....	94
圖 3-50 一階 Poly Phase Filter 架構圖.....	94
圖 3-51 二階 Poly Phase Filter 架構圖.....	95
圖 3-52 二階 Poly Phase Filter:(a) 插入損耗模擬圖 (b) 相位誤差模擬圖.....	96
圖 3-53 二階 Poly Phase Filter 反射損耗模擬圖.....	96
圖 3-54 二階 Poly Phase Filter 架構圖.....	97
圖 3-55 Wilkinson Power Combiner 基本架構圖.....	97
圖 3-56 Wilkinson Power Combiner 電磁模擬 3D 圖.....	98
圖 3-57 Wilkinson Power Combiner 反射係數、插入損耗與隔離度模擬圖.....	98
圖 3-58 鏡像抑制混頻器整體電路架構圖.....	99
圖 3-59 不同 V_g 下混頻器之轉換增益對 LO 驅動功率模擬圖.....	100
圖 3-60 混頻器轉換增益對 RF 頻寬模擬特性圖.....	101
圖 3-61 混頻器轉換增益對 IF 頻寬模擬特性圖.....	101
圖 3-62 混頻器輸出 IF 頻率模擬頻譜圖.....	102
圖 3-63 混頻器之 P1dB 模擬特性圖.....	102
圖 3-64 混頻器之 LO 對 IF 與 RF 隔離度模擬特性圖.....	103
圖 3-65 混頻器之 RF 對 LO 與 IF 隔離度模擬特性圖.....	103
圖 3-66 不同 V_g 下鏡像抑制混頻器之轉換增益對 LO 驅動功率模擬圖.....	104

圖 3-67 鏡像抑制混頻器輸出頻率 3 GHz 之輸出頻譜模擬圖.....	105
圖 3-68 鏡像抑制混頻器轉換增益及鏡像拒斥比對 RF 頻寬模擬特性圖.....	106
圖 3-69 鏡像抑制混頻器轉換增益及鏡像拒斥比對 IF 頻寬模擬特性圖.....	106
圖 3-70 鏡像抑制混頻器之 P1dB 模擬特性圖(LO Power = 3dBm).....	107
圖 3-71 鏡像抑制混頻器之 P1dB 模擬特性圖(LO Power = 6dBm).....	107
圖 3-72 鏡像抑制混頻器之 P1dB 模擬特性圖(LO Power = 9dBm).....	108
圖 3-73 鏡像抑制混頻器之 LO 對 IF 與 RF 隔離度模擬特性圖.....	108
圖 3-74 鏡像抑制混頻器之 RF 對 LO 與 IF 隔離度模擬特性圖.....	109
圖 3-75 掃描到 15 GHz 與掃描到 60 GHz 的 RF 頻寬模擬特性圖.....	109
圖 3-76 採用 M6 M5 耦合的馬相巴倫.....	83
圖 3-77 採用 M6 M4 耦合的馬相巴倫.....	83
圖 3-78 LO 端 Coupler:(a) 反射損耗模擬圖 (b) 插入損耗模擬圖.....	88
圖 4-1 外差式接收機架構圖.....	113
圖 4-2 雙中頻外差式接收機架構圖.....	113
圖 4-3 雙中頻外差式加正交降頻器接收機架構圖.....	114
圖 4-4 同差式正交降頻器接收機架構圖.....	115
圖 4-5 鏡像抑制接收機示意圖.....	116
圖 4-6 接收器在不同 Vg 對 LO Power 轉換增益模擬圖.....	117
圖 4-7 接收器在不同 Vg 對 LO Power 轉換增益模擬圖.....	118
圖 4-8 接收器在 RF 頻率對轉換增益和鏡像拒斥比模擬圖.....	119
圖 4-9 接收器在 RF 頻率對轉換增益和鏡像拒斥比模擬圖.....	119
圖 4-10 接收器在 IF 頻率對轉換增益和鏡像拒斥比模擬圖.....	120
圖 4-11 接收器在 IF 頻率對轉換增益和鏡像拒斥比模擬圖.....	121
圖 4-12 接收器 IF 頻譜圖.....	121
圖 4-13 接收機在 LO 驅動功率 3 dBm 下的 P _{1dB} 模擬圖.....	122
圖 4-14 接收機在 LO 驅動功率 6 dBm 下的 P _{1dB} 模擬圖.....	123

圖 4-15 接收機在 LO 驅動功率 9 dBm 下的 P _{1dB} 模擬圖	123
圖 4-16 接收器 RF 到 IF 和 LO 隔離度模擬圖	124
圖 4-17 接收器 LO 到 RF 和 IF 隔離度模擬圖	124
圖 4-18 接收器雜訊指數模擬圖	125
圖 4-19 28 GHz 鏡像抑制接收器佈局圖	126
圖 4-20 28 GHz 鏡像抑制接收器量測架設示意圖	126
圖 4-21 28 GHz 鏡像抑制接收器晶片微影圖	127
圖 4-22 為模擬和量測在不同偏壓下 LO 驅動功率對轉換增益比較圖	128
圖 4-23 接收機 LO 3 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖	129
圖 4-24 接收機 LO 6 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖	129
圖 4-25 接收機 LO 9 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖	130
圖 4-26 接收機 LO 3 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖	131
圖 4-27 接收機 LO 6 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖	131
圖 4-28 接收機 LO 9 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖	132
圖 4-29 接收機 LO 3 dBm 下 RF 28 GHz 的 P _{1dB} 模擬量測比較 圖	133
圖 4-30 接收機 LO 6 dBm 下 RF 28 GHz 的 P _{1dB} 模擬量測比較 圖	133
圖 4-31 接收機 LO 9 dBm 下 RF 28 GHz 的 P _{1dB} 模擬量測比較 圖	134

圖 4-32 接收機在兩訊號頻率間距 10 MHz 時 IIP_3 量測圖.....	134
圖 4-33 接收機在兩訊號頻率間距 100 MHz 時 IIP_3 量測圖.....	135
圖 4-34 接收機 LO 到 IF 隔離度模擬量測比較圖.....	136
圖 4-35 接收機 LO 到 RF 隔離度模擬量測比較圖.....	136
圖 4-36 接收機 LO 3 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖.....	137
圖 4-37 接收機 LO 6 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖.....	138
圖 4-38 接收機 LO 9 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖.....	138
圖 4-39 接收機 LO 3 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖.....	139
圖 4-40 接收機 LO 6 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖.....	140
圖 4-41 接收機 LO 9 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較 圖.....	140
圖 4-42 接收機 LO 3 dBm 下 RF 28 GHz 的 P_{1dB} 模擬量測比較圖.....	141
圖 4-43 接收機 LO 6 dBm 下 RF 28 GHz 的 P_{1dB} 模擬量測比較圖.....	142
圖 4-44 接收機 LO 9 dBm 下 RF 28 GHz 的 P_{1dB} 模擬量測比較圖.....	142
圖 4-45 接收機在兩訊號頻率間距 10 MHz 時 IIP_3 量測圖.....	143
圖 4-46 接收機在兩訊號頻率間距 100 MHz 時 IIP_3 量測圖.....	143
圖 4-47 接收機 LO 到 IF 隔離度模擬量測比較圖.....	144
圖 4-48 接收機 LO 到 RF 隔離度模擬量測比較圖.....	145
圖 4-49 接收器鏡像抑制混頻器的輸入反射係數.....	146
圖 4-50 接收器考慮電晶體變異和電感互感的模擬與實際量測比較圖.....	147
圖 4-51 接收器在不同閘極偏壓的轉換增益和鏡像拒斥比.....	148

圖 4-52 接收器在不同 PPF 電磁模擬模型下的轉換增益和鏡像拒斥比.....149

圖 4-53 電容變異對接收器轉換增益和鏡像拒斥比影響.....150

圖 4-54 電阻變異對接收器轉換增益和鏡像拒斥比影響.....150



表 目 錄

表 1-1 已發表的低雜訊放大器比較表.....	3
表 1-2 已發表的混頻器比較表.....	4
表 1-3 已發表的鏡像抑制接收器比較表.....	5
表 2-1 系統雜訊指數表.....	23
表 2-2 指叉數為 4、16、20 的晶體特性.....	26
表 2-3 指叉數為 12、32 的晶體特性.....	27
表 2-4 匹配和未加匹配放大器特性.....	31
表 2-5 低雜訊放大器模擬與量測特性比較表.....	56
表 2-6 低雜訊放大器與已發表論文之比較表.....	59
表 3-1 鏡像抑制混頻器模擬特性表.....	110
表 4-1 為主動和被動混頻器比較表.....	112
表 4-2 鏡像抑制接收器模擬與量測的比較表.....	145
表 4-3 28 GHz 鏡像抑制接收機與已發表論文之比較表.....	151

第一章 緒論

1.1 研究背景與動機

隨著行動通訊的快速發展，各種手持裝置愈趨普及，更加快速網路的需求也隨之增加，從第一代行動通訊(1G)標準 AMPS 無特別制定傳輸速度，隨著使用者數量和傳輸資料的增加，能更快速傳輸更多資料的第五代行動通訊 5G 成為解決手段之一，根據 3GPP 的規範，第五代行動通訊(5G)目前分有兩個頻段，分別是頻率在 450 MHz ~ 6 GHz 的 FR1(Sub-6)頻段和頻率在 24.25 GHz ~ 52.6 GHz 的 FR2 毫米波(mmWave)頻段，Sub-6 頻段目前在台灣已進入商用階段，和 4G LTE 相比能有較快的速度和較寬的頻寬，目前 5G 的 FR2 毫米波頻段也正朝著商用階段推進，目前開發頻段大致上可分為 27.5 ~ 28.35 GHz、37 ~ 40 GHz 及 64 ~ 71 GHz [1]，而本論文所設計的鏡像抑制接收器即是操作在 28 GHz 的 FR2 毫米波頻段，毫米波的波長短，雖然穿透能力較強，但訊號的繞射能力較差，很容易被遮蔽物給擋住，所以多採用相位陣列(Phase Array)的架構，同時輸出多方位的訊號來改善繞射能力差的問題，並且提供足夠的頻寬。

在射頻積體電路的前端電路有時會使用砷化鎵(GaAs)或是氮化鎵(GaN)製程進行電路設計，採用三五族製程的前端電路通常會有比用互補式金氧半導體製程(CMOS)的電路有較好的特性，但相對而言三五族製程會較難與後端的 CMOS 電路進行整合，此外三五族製程還有較高成本、高功耗和良率不佳等問題，由於上述理由本次設計使用 CMOS 製程進行設計。

本次設計採用常見的接收器架構，由一低雜訊放大器和一鏡像抑制降頻器構成，接收器接收到訊號後由第一級的低雜訊放大器做雜訊抑制和訊號放大，接著再由鏡像抑制降頻器將射頻訊號降頻到相對低頻的中頻訊號。

1.2 文獻探討

1.2.1 低雜訊放大器

由下表可見在低雜訊放大器的設計中多是採用多級共源極串接或是疊接組態的架構，來更好的作雜訊抑制或提供較高的增益，由[2]-[4]可見三五族製程有相對較好的雜訊抑制，但消耗功率也較高，我們也可由[6][8][9][10]可見 CMOS 製程在適當設計下也能有好的雜訊特性。如[10]電晶體採用的 Parallel-to-Series 匹配結構、[9]在疊間組態間和共源極端分別加上匹配結構和源極退化電感來抵消電晶體的寄生電容效應，本次設計希望使用 CMOS 製程設計出一能在低功耗下保持相對高的增益和較好雜訊特性。式 1.1 為 FOM 性能指標計算公式

表 1-1 已發表的低雜訊放大器比較表

Ref.	Process	Topology	Freq. (GHz)	Gain (dB)	NF (dB)	OP1dB (dBm)	IIP3 (dBm)	Power Consumption (mW)	Chip size (mm*mm)
[2](2020)	70 nm GaAs	3-stage CS	28-36	16.4	1.13	11.8	N/A	120	11
[3](2019)	70 nm GaAs	2-stage CS	14.2-14.75	18.8	0.9	4.8	N/A	54	6.325
[4](2018)	70 nm GaAs/ InGaAS	2-stage CS	26.5-31.5	16-18	1.5	N/A	N/A	115	3.6
[5](2019)	22 nm FD-SOI	Cascode	19-34	12	1.46	-7.6	3	9.8	0.21
[6](2019)	180 nm CMOS	Gm-boosting & Cascode	16.4-19	13.6 -16.8	4.5 -5.2	N/A	N/A	66	0.14
[7](2020)	22 nm FD-SOI	3-stage Cascode	28/38	24.8 /22.4	3.6 (4.9/4)	N/A	N/A	13.6	0.31
[8](2019)	65nm CMOS	1stageCS +1-stage Cascode	24.9-32.5	18.3	3.25 -4.2	-24	N/A	20.5	0.11
[9](2018)	28nm CMOS	2-stage Cacode	33	18.6	4.9	-9	N/A	9.7	0.23
[10](2011)	180nm CMOS	CG + 2-stage CS	14.3-29.3	8.25± 1.65	4.3 -5.8	-12	-2	13.9	0.54

$$FOM = \frac{Gain(dB)}{(NF - 1)(dB) \times P_{dc}(mW)} \quad (1-1)$$

1.2.2 28 GHz 鏡像訊號抑制混頻器

本論文所設計鏡像抑制混頻器為混頻器的延伸設計，在混頻器的設計中主要分為主動式及被動式兩大類，表 1-2 為已發表混頻器之比較表。在設計混頻器時要考慮到混頻器的轉換損耗/增益、頻寬、LO 驅動功率、線性度和直流消耗，混頻器有兩大分類，分別是主動式混頻器和被動式混頻器。主動式混頻器中最常見的結構為吉伯特混頻器(Gilbert-Cell Mixer)，此結構能有較高的轉換增益和較好的雜訊抑制，如[12][15][17]所示，但此結構有會消耗直流功率的缺點，

線性度也較差。被動式混頻器在另一方面有較好的線性度和不消耗直流功率的優點，但同時有較高轉換損耗和需要較高的 LO 驅動功率，如[13]所示。

本次設計採用被動電阻式環形混頻器(Passive Resistive Ring Mixer)的架構，輸入輸出採差動形式，LO 和 RF 端差動輸入以馬相巴倫實現，LO 端四相位則由耦合器加上兩馬相巴倫產生[16]由文獻[19]可知 LO 端加入匹配結構後能使阻抗連續，讓鏡像拒斥比有較佳的表現，故本次設計在 LO 端四相位產生器後加入匹配結構以減少訊號反射，進而增加鏡像拒斥比的頻寬。

表 1-2 已發表的混頻器比較表

Ref.	Process	Topology	RF Freq. (GHz)	Conversion Gain (dB)	LO Power (dBm)	IRR(dB) / 30-dB IRR Bandwidth (GHz)	LO to RF isolation (dB)	DC Power (mW)	Chip size (mm*mm)
[11] 2006	90 nm CMOS	Single-Balanced	20-26	2	5	N/A	N/A	11.1	0.37
[12] 2021	65 nm CMOS	Active Balun +Double Balanced Gilbert Mixer	25.3 -32.5	8.6	-3	N/A	-48	7	0.56
[13] 2018	65 nm CMOS	SSB Up Mixer	68-80	-11.98	3	<-29	>35	0	0.33
[14] 2020	90 nm CMOS	SSB Up Mixer	27.7 -33.3	2.8 ±1.5	4	<-30 @RF BW	>30	15.6	2.017
[15] 2013	180 nm CMOS	Double Balanced Gilbert Mixer	21-25	27.5 ±2.5	-2	N/A	>30	72	1
[16] 2011	130 nm CMOS	Modified Gilbert Cell	43 -69.5	-3.5 ±1.5	3	N/A	34.5	24	0.68
[17] 2019	65m CMOS	Passive Resistive Ring Mixer	15-27	-2.2~-5.2	2.7	N/A	>47	0	0.33
[18] 2010	180 nm CMOS	Passive Resistive Ring Mixer	15-50	-15.5 ±1.5	10	N/A	>35	0	0.2

1.2.3 28 GHz 鏡像訊號抑制接收器

本論文鏡像抑制接收機為上面介紹兩電路合併組成，架構上由第一極的低雜訊放大器抑制雜訊和放大訊號後，再由第二極的鏡像抑制混頻器進行訊號降

頻和抑制鏡像訊號，此結構透過抑制混頻器來處理鏡像訊號，其中省去了鏡像抑制濾波器的元件，但此結構的混頻器有較大的轉換耗損，[20] [23] [24]就藉由在 IF 端加上緩衝器來企圖解決此問題，由表 1-3 也可見部分論文[25] [26] [27]會採用混頻器優先的結構(Mixer-First)來組成接收器，透過先經過較高線性度的被動式混頻器來提升系統整體的線性度，但此結構第一極並沒進行雜訊抑制，這導致此結構的接收機容易受雜訊干擾。

因此考量到混頻器轉換耗損、接收器的雜訊干擾和系統線性度，最後決定採用第一極的低雜訊放大器加上第二極的鏡像抑制混頻器的結構，透過 LNA 提供增益來低消混頻器轉換耗損，並同時在接收機的第一極就對雜訊進行抑制，但由於系統線性度受限於第一極的 LNA，此結構線性度並不如 Mixer-First Receiver，但考量到接收機所接收訊號強度系統線性度並不必太高。

表 1-3 已發表的鏡像抑制接收器比較表

Ref.	Process	Topology	RF Freq. (GHz)	Conversion Gain (dB)	LO Power (dBm)	IRR(dB) / 40-dB IRR Bandwidth (GHz)	IP1dB (dBm)	LO to RF isolation (dB)	DC Power (mW)	Chip size (mm*mm)
[20] 2018	90 nm CMOS	Passive Resistive Ring Mixer + Buffer	34-39	-2±1	0	-35	N/A	N/A	28.8	0.48
[21] 2019	45m CMOS	Gilbert-cell	24.5-43.5	35.2	N/A	-32 ~ -56	-7	N/A	60	0.14
[22] 2016	90 nm CMOS	Image Reject Receiver	60	20	5	-33.9	-25.2	N/A	46	0.82
[23] 2020	65 nm CMOS	Ring Mixer With IF Buffer	37-41	-5±1.5	3	<-40	-7	<-35	9.6	0.59
[24] 2019	65 nm CMOS	Passive Resistive Ring Mixer With IF Buffer	36-40	-5±1	3	<-40	-8	<-35	3.66	0.6
[25] 2020	65 nm CMOS	Mixer-First Receiver	21-29	-15 ~ -12	N/A	N/A	3	N/A	13.2	0.63
[26] 2016	45 nm CMOS	Mixer-First direct Conv.	20-30	20.6	4	N/A	-13	N/A	41	1.7
[27] 2020	28 nm CMOS	Mixer,IF amp, IQ receiver	60±3	20.9	-7	N/A	-31	<-60	1.83	0.056
[28] 2020	90 nm CMOS	Heterodyne Receiver	60	26 ~ 1.5	N/A	-18.5	-25	-52.2	80	0.12

1.3 研究成果

本論文提出三個電路的設計，分別為 28 GHz 低雜訊放大器、28 GHz 鏡像抑制混頻器和 28 GHz 鏡像抑制接收器。晶片製作皆採用標準 TSMC 0.18- μm CMOS RF 製程，並完成設計、驗證及量測。

第一個電路為 28 GHz 低雜訊放大器，採用兩階串聯疊接組態，並於疊接結構的共源極到共閘極間加入匹配電感的結構，供應 2.4V 的工作電壓，消耗直流功率為 10.78 mW，小訊號增益 S_{21} 約為 15.87 dB，輸入輸出反射損耗 S_{11} 、 S_{22} 約為 -29.62 dB 和 -10.18 dB，雜訊指數在 28 GHz 約在 6 dB 以下，1-dB 增益壓縮點的輸出功率 $OP_{1\text{-dB}}$ 約為 -6.06 dBm，整體晶片面積為 $615\mu\text{m} \times 410\mu\text{m}$ 。

第二個電路為 28 GHz 鏡像抑制混頻器，單顆混頻器使用被動雙端平衡式架構的被動電阻式環形混頻器，輸入輸出為差動訊號，差動結構能將不需要的諧波項在輸出端消除掉，並同時從結構上來解決 LO 對 RF 隔離度不好的情況。將相位相差 90 度的正交訊號輸入至 I/Q 路的混頻器後產生兩相差 180° 的訊號的鏡像訊號並在輸出時合併訊號，並同時將鏡像訊號消除。混頻器核心電晶體的閘極偏壓為 0.6 V，模擬時在 LO 驅動功率為 3 dBm 時，轉換增益頻寬約在 25 ~ 31 GHz，增益頻寬為 -20.48 ± 0.5 dB，當輸入端 LO 中心頻為 25 GHz、RF 頻率為 28 GHz，輸出端 IF 頻率為 3 GHz，其 RF 端輸入功率為 -20 dBm 時，轉換增益約為 -20.48 dB，頻帶約為 25 ~ 31 GHz，鏡像拒斥比在 RF 頻率為 29 GHz 時為 -51.48 dB，1-dB 增益壓縮點的輸出功率 $OP_{1\text{dB}}$ 約為 -17.33 dBm，整體晶片面積為 $800\mu\text{m} \times 700\mu\text{m}$ 。

最後將上述兩電路合併成一鏡像抑制接收機，透過第一極的低雜訊放大器抑制雜訊，在藉由第二極鏡像抑制混頻器來處理鏡像訊號問題，在量測 LO 驅動功率 3 dBm 時，LNA 偏壓為 $V_{\text{dd}} = 3.3\text{V}$ $V_{\text{g1}} = 0.85\text{V}$ $V_{\text{g2}} = 2.5\text{V}$ ，在量測時頻率 28 GHz 轉換增益約為 -6.4 dB，鏡像拒斥比在 20 GHz ~ 28 GHz 小於 -40 dB，

在 LO 頻率在 25 GHz、RF 頻率在 28 GHz 時， IP_{1dB} 約為 -21 dBm， OP_{1dB} 約為 -27.15 dBm，消耗直流功率為 14.55 mW，整體晶片面積為 $1200\mu\text{m} \times 700\mu\text{m}$ 。

1.4 論文架構

本篇論文共分為五章節，第一章為緒論，主要介紹 5G 行動通訊的研究背景與動機，並對相關設計低雜訊放大器及混頻器進行文獻探討。第二章為低雜訊放大器架構、參數介紹和設計。第三章為混頻器的架構、參數介紹，以及單鏡像抑制混頻器之設計。第四章為將前兩章電路組成一鏡像抑制接收器。第五章為本論文電路之總結。

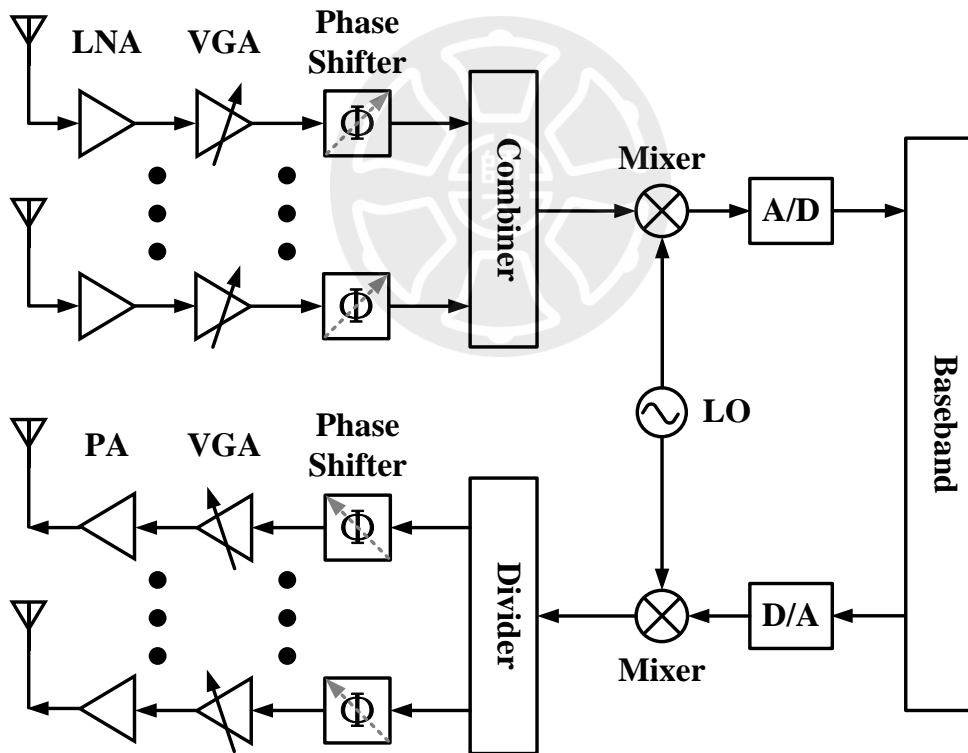


第二章 28 GHz 低雜訊放大器設計

本章將介紹一個 28 GHz 低雜訊放大器，透過在疊接結構間放入雜訊抑制電感來減少雜訊從共源極(common source)到共閘極(common gate)之間的訊號反射，來達到降低疊接組態輸出雜訊的效果，本晶片採用 0.18- μm CMOS RF 製程模擬驗證並實現。在頻率 28 GHz、供應電壓為 2.4V 時，整體功率消耗約為 10.87 mW。整體晶片佈局面積為 615 μm \times 410 μm 。

2.1 簡介

Phased-Array Receiver



Phased-Array Transmitter

圖 2-1 相位陣列射頻收發系統

低雜訊放大器(Low Noise Amplifier, LNA)主要應用於收發機系統中的前端，當天線接收到微弱的射頻訊號時需要先經過低雜訊放大器放大再由降頻器將射

頻訊號(Radio Frequency)降至中頻(Intermediate Frequency)或基頻(Baseband Frequency)。

低雜訊放大器的主要功能為替天線接收到的射頻訊號(Radio Frequency)提供足夠的增益並抑制雜訊的放大，對整個系統而言，愈後極的電路的雜訊對整體系統的影響愈小，所以在大部分的系統中低雜訊放大器通常位於收發系統的前端，以此來改善系統整體的訊雜比(Signal to Noise Ratio, SNR)，使接收到的訊號不因雜訊而失真，進而使訊號能準確解調變。

以上圖相位陣列(Phase-Array)收發系統為例，圖 2-1 為一典型的相位陣列射頻收發系統圖，在相位陣列收發器中，低雜訊放大器(Low Noise Amplifier)放在系統前端，天線接收到訊號後經由低雜訊放大器放大再由可變增益放大器與相移器調整後再由降頻器降頻。

2.2 低雜訊放大器之設計參數

在低雜訊放大器設計中，主要設計考量有小訊號的散射參數(S-parameters)、穩定度(Stability)、線性度(Linearity)和雜訊指數(Noise Figure)，以下將分別介紹各個參數。

2.2.1 散射參數(S-parameters)

圖 2-2 為一雙埠網路架構圖，當訊號傳入一系統時，會產生入射波和反射波，在高頻雙埠網路中訊號是以電磁波的形式進行傳遞，透過射波和反射波之間的關係來判斷訊號傳遞的情形，而在雙埠網路中的 S 參數可以透過式(2-1)四種情況表示。

$$\begin{aligned}
S_{11} &= \frac{b_1}{a_1} = \frac{\text{reflected wave at port1}}{\text{incident wave at port1}} \Big|_{a_2=0} \\
S_{12} &= \frac{b_1}{a_2} = \frac{\text{wave out of port1}}{\text{incident wave at port2}} \Big|_{a_1=0} \\
S_{21} &= \frac{b_2}{a_1} = \frac{\text{wave out of port2}}{\text{incident wave at port1}} \Big|_{a_2=0} \\
S_{22} &= \frac{b_2}{a_2} = \frac{\text{reflected wave at port2}}{\text{incident wave at port2}} \Big|_{a_1=0}
\end{aligned} \tag{2-1}$$

S_{11} 為輸入端的反射係數(Input reflection coefficient)、 S_{22} 為輸出端的反射係數(Output reflection coefficient)、 S_{21} 為正向透射係數(Forward transmission coefficient)、 S_{12} 為逆向透射係數(Reverse transmission coefficient)。如果以低雜訊放大器來說， S_{21} 為小訊號增益(Gain)， S_{11} 、 S_{22} 為輸入/輸出反射損耗(Input/Output return loss)，由於反射訊號會影響增益的表現，而反射訊號的產生是由於阻抗的不匹配所造成，因此需設計匹配網路來達到阻抗匹配。

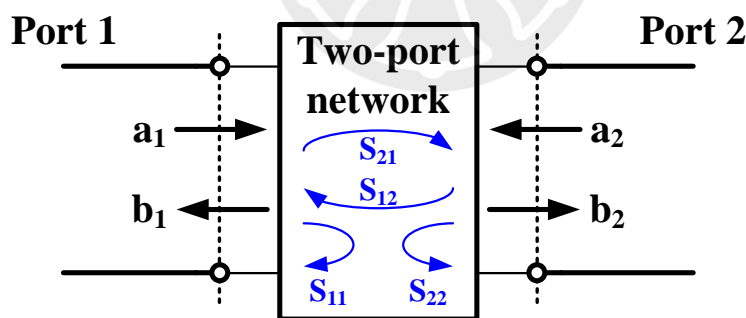


圖 2-2 雙埠網路架構圖

2.2.2 穩定度(Stability)

在低雜訊放大器中穩定度為重要考量因數之一，若放大器不穩定，可能導致輸入訊號在放大器中不斷反射，進而產生電路震盪。

2.2.3 線性度(Linearity)

以 1-dB 增益壓縮點(1-dB Compression Point)和三階交互調變失真(Third Order Intermodulation Distortion)這兩個參數來評估。

1-dB 增益壓縮點(1-dB Compression Point)

由於放大器並不是線性元件，在小訊號下增益為線性增加，但隨著輸入訊號功率增加輸出訊號功率並不會維持線性增加而是趨於飽和，導致放大器的增益被壓縮，當放大器輸入訊號功率增加到使放大器增益比小訊號線性增益少 1 dB 時，此點稱為 1-dB 增益壓縮點(1-dB Compression Point)，這時的輸入訊號功率為 IP_{1dB} ，輸出訊號功率則為 OP_{1dB} 。

三階交互調變失真(Third Order Intermodulation Distortion)

當同時輸入兩個或多個單頻訊號時，由於放大器的非線性特性，輸出訊號會生成多個高次諧波項，其中的三階調變訊號由於與輸入的主頻過近不易濾除，導致了對輸入訊號造成干擾，對整體系統效能造成影響。

2.2.4 雜訊指數(Noise Figure, NF)

對低雜訊放大器而言，雜訊是非常重要的影響因素，而評估雜訊的指標主要為雜訊指數(Noise Figure, NF)，而要了解雜訊指數首先要知道雜訊因子，雜訊因子定義如下式。

$$F = \frac{SNR_{in}}{SNR_{out}} = \frac{S_{in}/N_{in}}{S_{out}/N_{out}} = \frac{S_{in}/N_{in}}{GS_{in}/(GN_{in}+N_a)} = 1 + \frac{N_a}{GN_{in}} \quad (2-2)$$

上式中 S_{in} 為輸入訊號功率， N_{in} 為輸入雜訊功率， S_{out} 輸出訊號功率， N_{out} 輸出雜訊功率， G 為放大器增益， N_a 為放大器內部產生的雜訊功率。

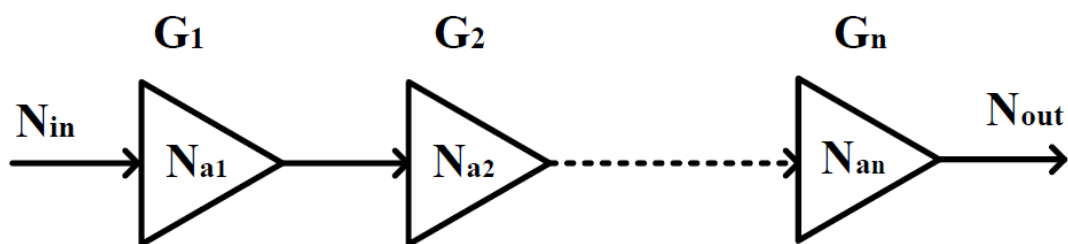


圖 2-3 多級串接放大器示意圖

圖 2-3 為多級串接放大器架構圖，對兩級串接放大器的雜訊因子分析如下式

$$N_2 = G_2(G_1 N_{in} + N_{a1}) + N_{a2} \quad (2-3)$$

$$F = \frac{N_2}{N_{in} G_1 G_2} = 1 + \frac{N_{a1}}{N_{in} G_1} + \frac{N_{a2}}{N_{in} G_1 G_2} = F_1 + \frac{F_2 - 1}{G_1} \quad (2-4)$$

其中

$F_1 = 1 + \frac{N_{a1}}{N_{in} G_1}$ 為第一級放大器的雜訊因子

$F_2 = 1 + \frac{N_{a2}}{N_{in} G_2}$ 為第二級放大器的雜訊因子

了解了兩級串接放大器雜訊的結果接著就可推算 n 級串接放大器的雜訊因子如下式

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_{n-1}} \quad (2-5)$$

$$NF = 10 \log(F) \quad (2-6)$$

雜訊因子在由換算變成雜訊指數(Noise Figure, NF)。

2.3 共源級組態和與疊接組態架構分析

在低雜訊放大器架構中較常採用共源級(common source, CS)或是疊接組態(cascade)，兩種架構各有優劣，共源級的增益較低但能較好的抑制雜訊，疊接結構相對而言有較高的增益但雜訊較難抑制。

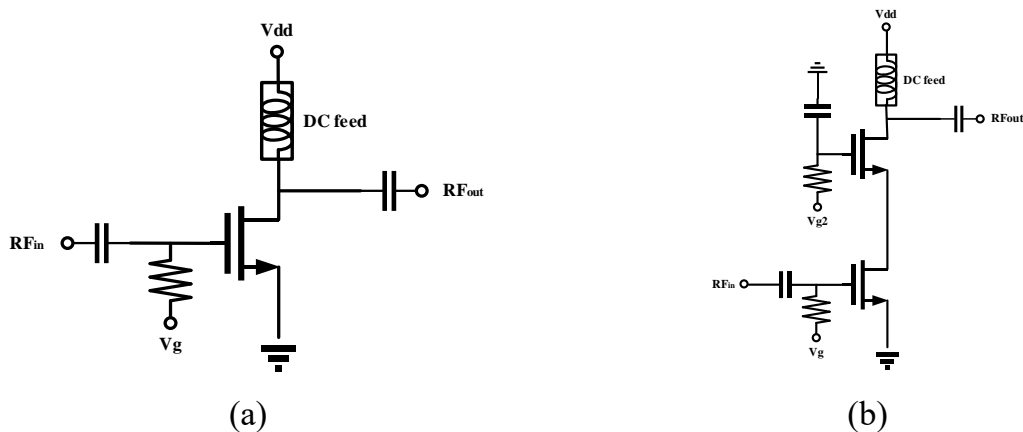


圖 2-4 電路架構(a) Common Source 架構 (b) Cascode 架構

2.3.1 共源級組態電路分析

用於設計低雜訊放大器的電晶體需要考量 G_m 、雜訊指數、線性度、功率消耗，0.18- μm CMOS RF 製程的最高供給電壓為 1.8V，在偏壓的選擇上主要考量參數為 MOSFET 的轉導值和雜訊指數接著才是功率消耗，圖 2-5 為供給電壓在 1.2 V 和 1.8V 時，MOSFET 的轉導值(G_m)、汲極電流(I_d) 和最小雜訊指數對閘極偏壓(V_{gs})的圖表，由圖表可觀察到轉導值(G_m)在 V_g 偏壓於 0.8V 時趨於飽和， V_g 偏壓超過 0.8V 並不能帶來更多的轉導值(G_m)但最小雜訊指數 (NF_{min})及功率消耗卻會增加，反之 V_g 偏壓小於 0.8V 雖然最小雜訊指數(NF_{min})在 0.6V 能達到最小值但考量到放大器需要足夠大的轉導值(G_m)偏壓在 0.6V 並不適合，在考量各參數後將 V_g 偏壓 0.8V 時能得到較大的轉導值(G_m)而最小雜訊指數(NF_{min})也不會增加太多。

從圖 2-5 也可得知共源級組態的供應電壓從 1.8 V 降到 1.2V 時，轉導值(G_m)並沒有變化太多，對最小雜訊指數(NF_{min})而言降低電壓後的增加量也不明顯，但對減少功率消耗有明顯幫助，根據上述原因將供給電壓偏壓於 1.2V。

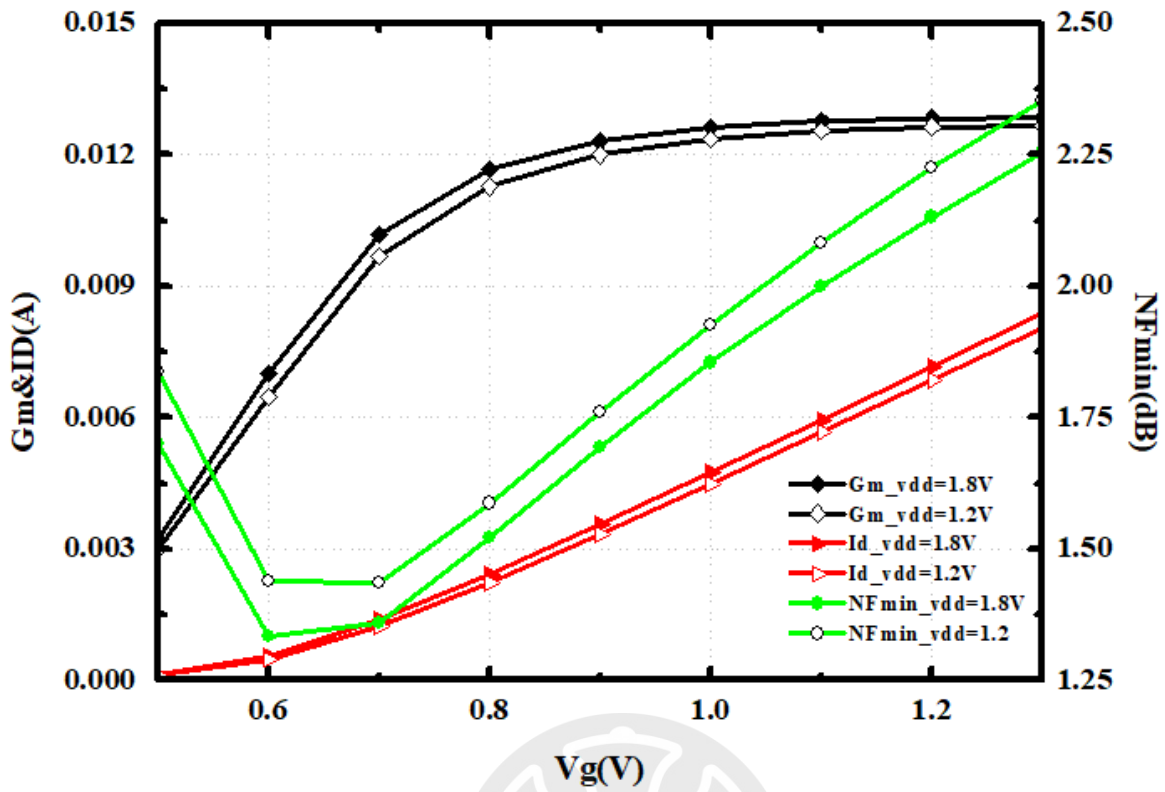


圖 2-5 Gm&ID&NFmin 對 Vg 偏壓(MOSFET wr=2 x finger=12)

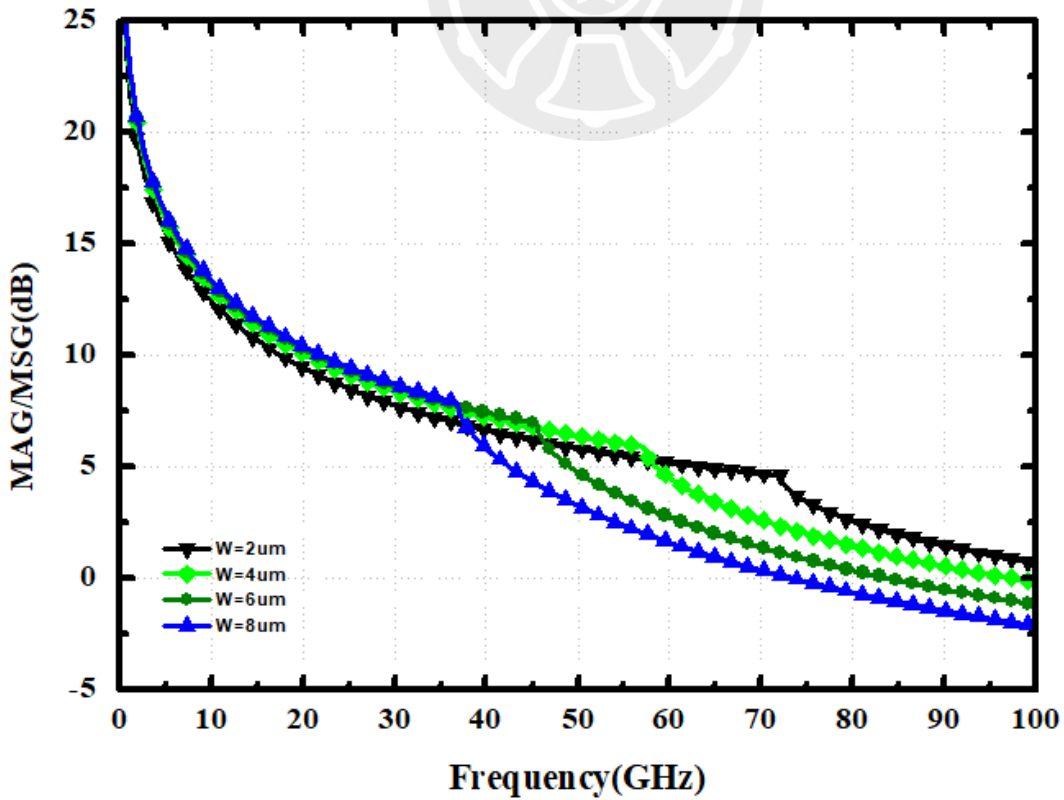


圖 2-6 不同通道寬度(MSG/MAG)對頻率(Vdd=1.2V Vg=0.8V finger=12)

決定了電晶體偏壓後，接著要選定電晶體的尺寸，電晶體的尺寸主要由三個可調的參數決定，分別是通道長度(channel length)、指叉數(number of finger)、通道寬度(channel width)，在製程限制上 0.18- μm CMOS RF 製程最小通道長度為 0.18 μm ，因此電晶體通道長度選定為 0.18 μm ，接下來對通道寬度進行挑選，由圖 2-6 可觀察到通道寬度愈大轉折點離設計頻率 28GHz 愈遠，轉折點為電晶體穩定和不穩定的交界點，選則較大的通道寬度能使轉折點更近設計頻段但之後加上匹配網路的耗損可能會使整體電路過於穩定進而導致增益下降，當通道寬度增加時最小雜訊指數也會跟著增加，在經過多方考量後將通道寬度選定在 2 μm 。

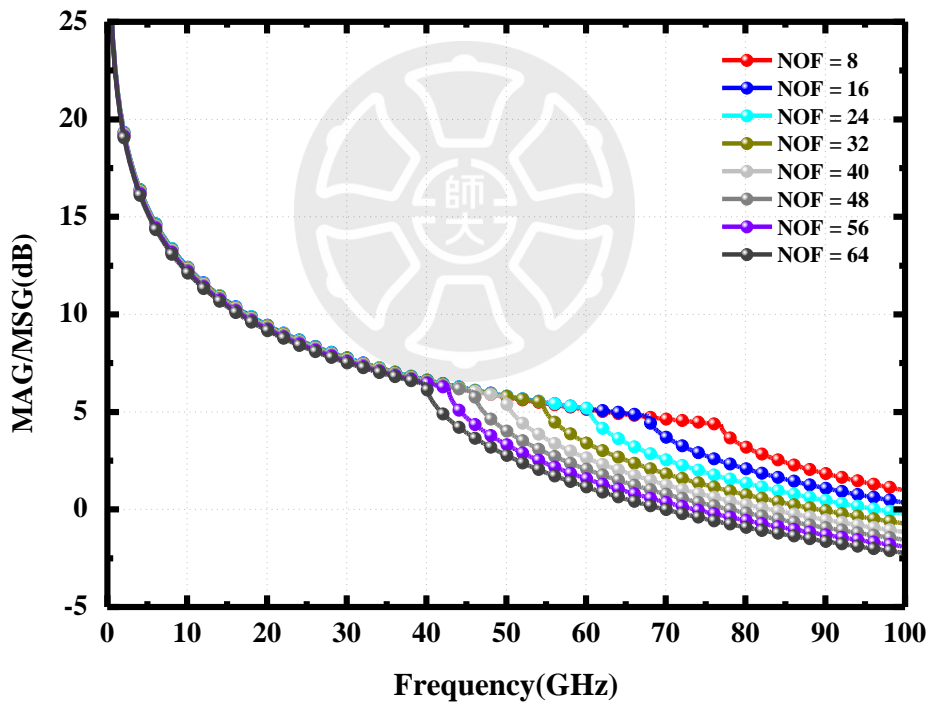


圖 2-7 不同 finger 數下最大穩定/可用增益(MSG/MAG)頻率響應圖

圖 2-7 為通道長度為 0.18 μm 、通道寬度為 2 μm 並在 28 GHz 頻率下，所模擬的不同指叉數對最大穩定/可用增益的模擬圖，由圖 2-8 可見指叉數要大於 8 時才有機會有較大的增益，但當指叉數大於 8 時雜訊指數也會隨指叉數增加而跟著上升，考慮上述條件，指叉數應選在 4 到 16 之間能同時有低的雜訊指數，

但還能保持較高的最大穩定/可用增益，最後選擇電晶體指叉數為 14 有較好的特性。

圖 2-8 和圖 2-9 分別為通道長度為 0.18 μm 、通道寬度為 2 μm 、頻率為 28 GHz 下指叉數對最大穩定/可用增益(MSG/MAG)和最小雜訊指數(NFmin)的圖表，由圖可見在通道長度為 0.18 μm 、通道寬度為 2 μm 、指叉數 14 時，共源極最大穩定/可用增益(MSG/MAG)在 28 GHz 時約為 8.053 dB，最小雜訊指數(NFmin)在 28 GHz 時約為 1.621 dB。

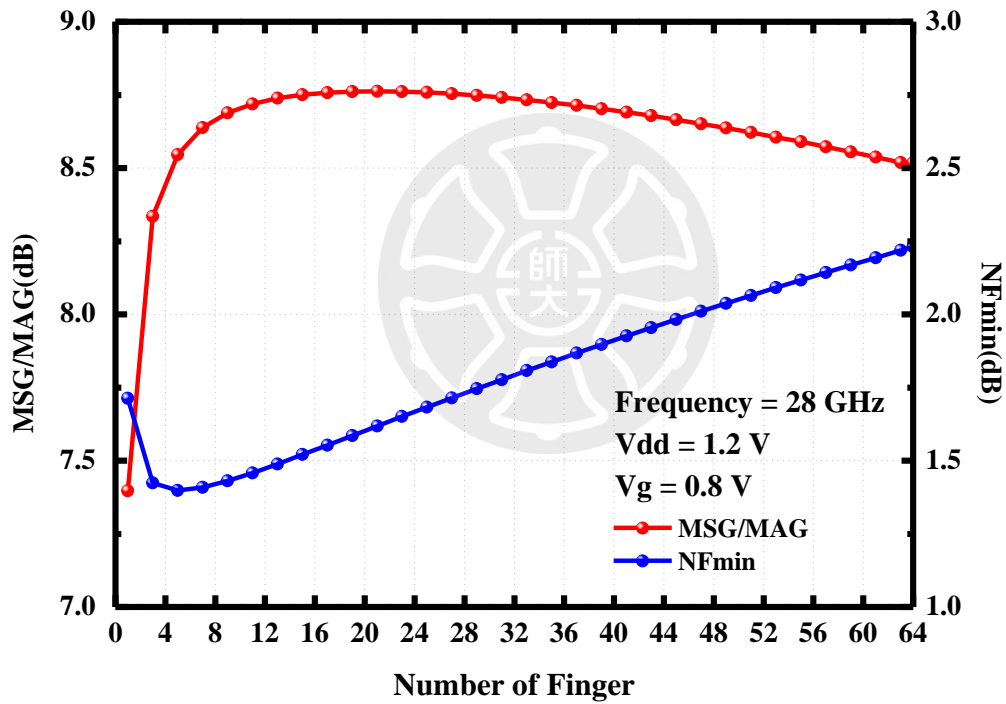


圖 2-8 在 28 GHz 下不同 finger 數下最大穩定/可用增益(MSG/MAG) & NFmin

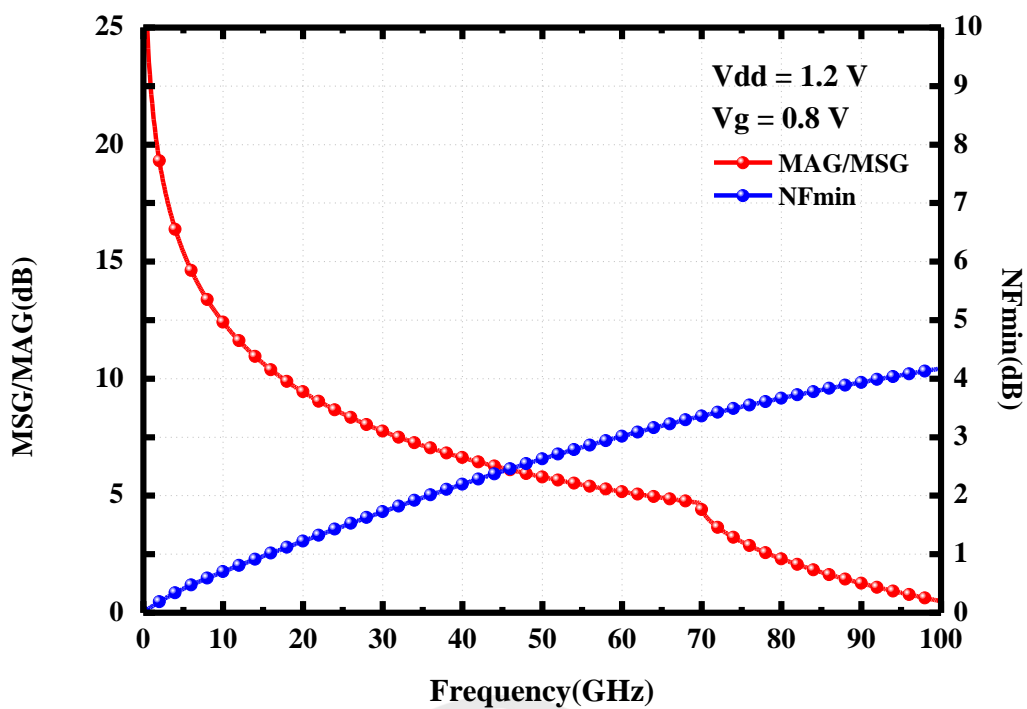


圖 2-9 通道寬度為 2 μm 指叉數 14 MSG/MAG & NFmin 頻率響應圖

接著我們對共源極的雜訊進行分析，圖 2-10 中 V_s 為雜訊源，雜訊來源主要來自熱雜訊(thermal noise)、散粒雜訊(shot noise)和閃變雜訊(flicker noise)等。

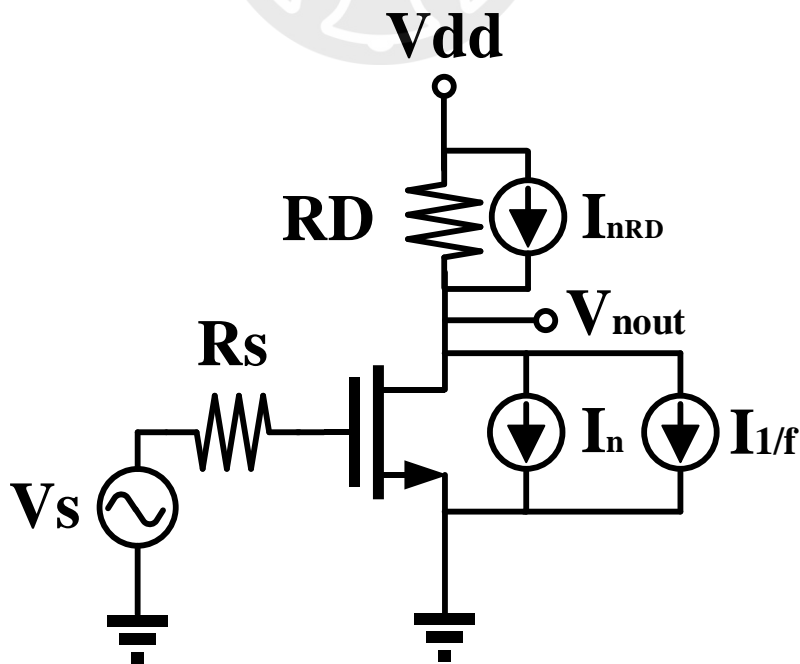


圖 2-10 共源極組態等效電路圖

根據[32]雜訊指數定義為式子 2-7 所示:

$$Noise\ Figure = \frac{SNR_{in}}{SNR_{out}} \quad (2-7)$$

輸入雜訊比為式子 2-8 所示:

$$SNR_{in} = A_V^2 V_{in}^2 = gm^2 R_d^2 4KTR_{sig} \quad (2-8)$$

輸出雜訊比為式子 2-9 所示:

$$\begin{aligned} SNR_{out} &= A_V^2 V_{in}^2 + \overline{I_{n,RD}^2} R_d^2 + \overline{I_{n,th}^2} R_d^2 + \overline{I_{n,1/f}^2} R_d^2 \\ &= gm^2 R_d^2 4KTR_{sig} + \frac{4KT}{R_d} R_d^2 + 4KT gm \frac{2}{3} R_d^2 + \frac{K}{C_0 WL f} gm^2 R_d^2 \end{aligned} \quad (2-9)$$

將式子 2-9 和式子 2-8 帶入式子 2-7 之後，得到雜訊指數如式子 2-10 所示:

$$Noise\ Figure = 1 + \frac{1}{gmR_s} + \frac{K}{C_0 WL 4KTR_s} + \frac{1}{gm^2 R_d R_s} \quad (2-10)$$

2.3.2 疊接組態電路分析

疊接放大器由共源極(M1)和共閘極(M2)組成，疊接結構有較高的輸出阻抗，其增益主要由共源極來提供，共閘極則增加電路的頻寬和反向隔離度。由於從共閘極看入的阻抗較少，使得 M1 電晶體的寄生電容減小，在頻率響應上把極點移至較高頻率，使頻寬能得到增加，由於 M2 電晶體的汲極至源級的增益相當小，使電路有近似隔離的效果。

疊接結構相較於共源極結構能提供較高的增益，但此組態雜訊指數也較高，當操作於高頻時電晶體的寄生電容效應也會增加雜訊指數。由於上述原因，在使用疊接組態抑制電晶體因寄生效應產生的雜訊將會是重要問題。

圖 2-10 為本次設計所採用雜訊抑制結構的電路架構圖，接著我們將分析雜訊抑制結構對疊接組態輸出雜訊的影響。

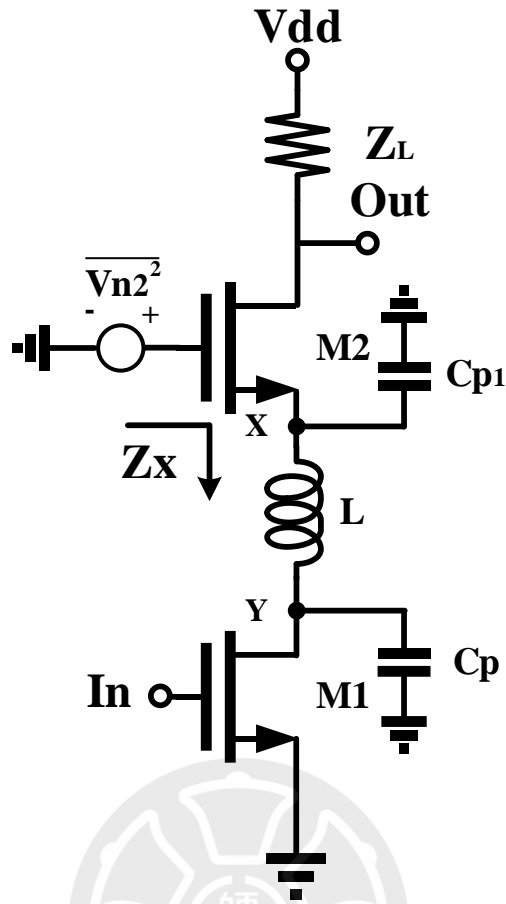


圖 2-11 計算電晶體雜訊指數等效電路

由[42]中所提出的雜訊指數推導可知雜訊指數關係式如下:

$$Noise\ Figure = \frac{SNR_{in}}{SNR_{out}} \quad (2-11)$$

當我們將電感置於疊接組態中後，由節點 X 看入的阻抗如下:

$$Z_X = \left(\frac{1}{sC_{p1}} // sL + \frac{1}{sC_p} \right) \quad (2-12)$$

假設電晶體汲極到源極阻抗為無限大且串聯電感(L)為理想元件，式(2-12)可簡化成下式:

$$Z_X = \frac{s^2LC_p + 1}{s(C_{p1} + C_p - \omega^2C_pC_{p1}L)} \quad (2-13)$$

接下來我們可以得到雜訊源 V_{n2} 在輸出端產生的雜訊指數如下:

$$\frac{V_{n2,out}}{V_{n2}} = \frac{-Z_L}{\frac{1}{gm2} + Z_x} \quad (2-14)$$

由式(2-14)可觀察到，若式(2-13)中的分母愈小代表 Z_X 整體會增大， Z_X 的高阻抗能使 V_{n2} 產生的雜訊指數減少，因此我們若要完全消除 V_{n2} 產生雜訊指數所需條件式如下：

$$C_{p1} + C_p - \omega^2 C_p C_{p1} L = 0 \quad (2-15)$$

$$L = \frac{C_{p1} + C_p}{\omega^2 C_p C_{p1}} \quad (2-16)$$

由式(2-16)可見，電晶體的寄生電容效應能由串聯電感(L)抵消，整體疊接組態的雜訊指數也跟著下降，但此結構中電感的寄生電阻會使疊接組態結構中共源極的 V_{ds} 電壓減少，這會導致共閘極偏壓狀況改變進而導致電流下降，整體疊接組態的增益也跟著下降，但總體而言增益下降幅度不超過1dB，總結上述原因，此結構電感感值在經過設計後，能在高頻消除寄生電容效應並提升電路穩定性，但有最大穩定/可用增益會減少這個缺點。

由於電感本身的寄生電阻可能影響到雜訊，我們將電感的品質因子(Q factor)也加入考量，加入考量後式(2-17) Z_X 改寫成

$$Z_X = \frac{1}{sC_{p1}} // \left(sL + \frac{1}{sC_p} + \frac{\omega_L L}{Q} \right) = \frac{sC_p \frac{\omega_L L}{Q} + 1 + s^2 C_p L}{s(C_p + C_{p1} + s^2 L C_p C_{p1}) + s^2 C_p C_{p1} \frac{\omega_L L}{Q}} \quad (2-17)$$

在我們可將式(2-17)簡化成下式

$$Z_X = \frac{C_p Q}{\omega_L C_{p1} (C_p + C_{p1})} - j \sqrt{\frac{L C_p}{C_{p1} (C_p + C_{p1})}} \quad (2-18)$$

由式(2-18)可見 Z_X 除了虛部外，比理想電感多了一實部，此為電感的寄生電阻，整體而言 Z_X 的虛部還是足夠抵消寄生電容效應，電感的非理想寄生電阻會增加疊接組態的雜訊指數，但整體而言雜訊指數還是比寄生電容產生的雜訊指數來的少。

在加入電感後疊接組態的輸入阻抗也會發生變化，跟據圖 2-12 的電晶體小訊號等效電路將輸入阻抗修正成下式：

$$Z_{in} = \frac{1}{s \left[C_{gs1} + C_{gd1} \left(1 - \frac{sC_{gd1} - g_{m1}}{s(C_{ds1} + C_{gd1}) + \frac{1}{sL + \left(\frac{1}{g_{m2} + sC_{p1}} \right)}} \right) \right]} \quad (2-19)$$

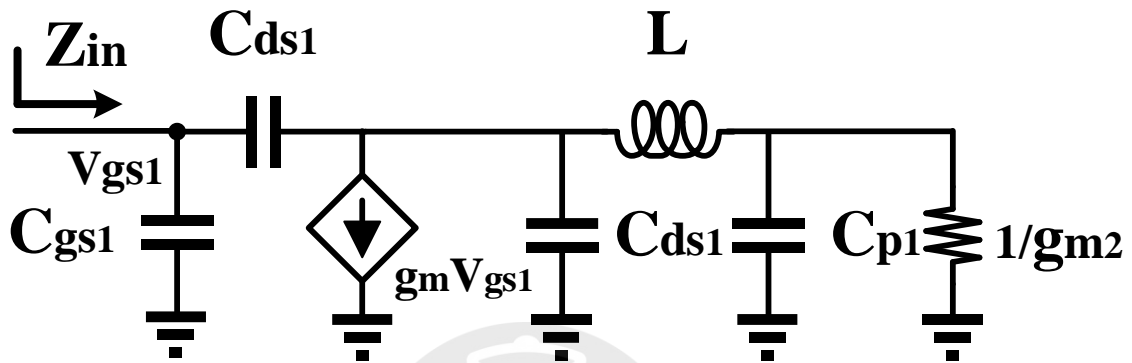


圖 2-12 電晶體小訊號等效電路

在理想狀態下輸入阻抗可簡化為 $Z_{in} \cong \frac{1}{sC_{gs1}}$ ，再由輸入匹配網路將寄生電容效應消除掉，圖 2-13 為疊接組態的電路結構示意圖。

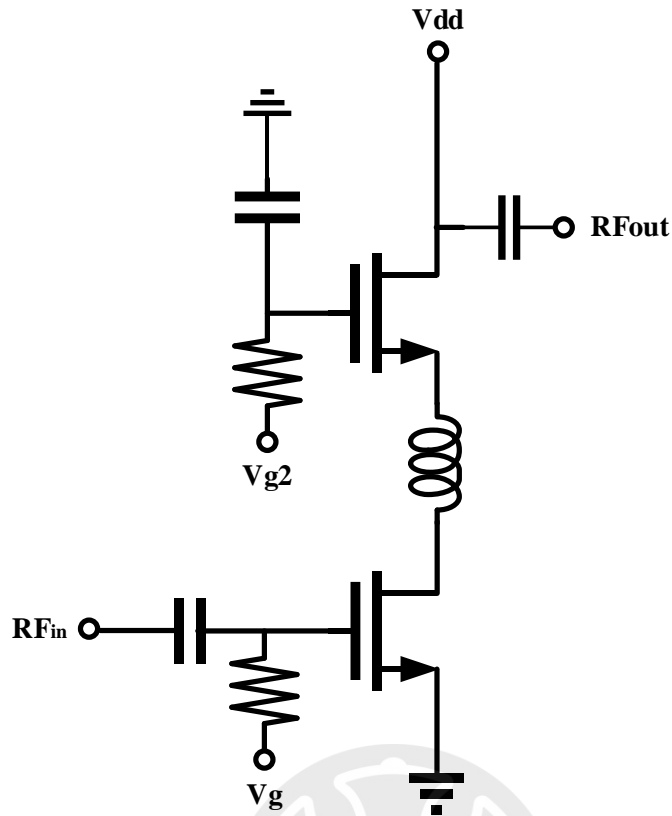


圖 2-13 疊接組態電感匹配表示圖

圖 2-14 為疊接結構與不同電感的雜訊指數模擬圖，模擬時共源極電晶體寬度為 $2\mu\text{m}$ 、指叉數 14，共閘極電晶體寬度為 $2\mu\text{m}$ 、指叉數 26，在頻率固定為 28 GHz，未加電感時 NFmin 為 2.48 dB，由圖 2-14 可見在電感感值為 700 pH 到 900 pH 中間時，有最低的雜訊指數為 1.846 dB。

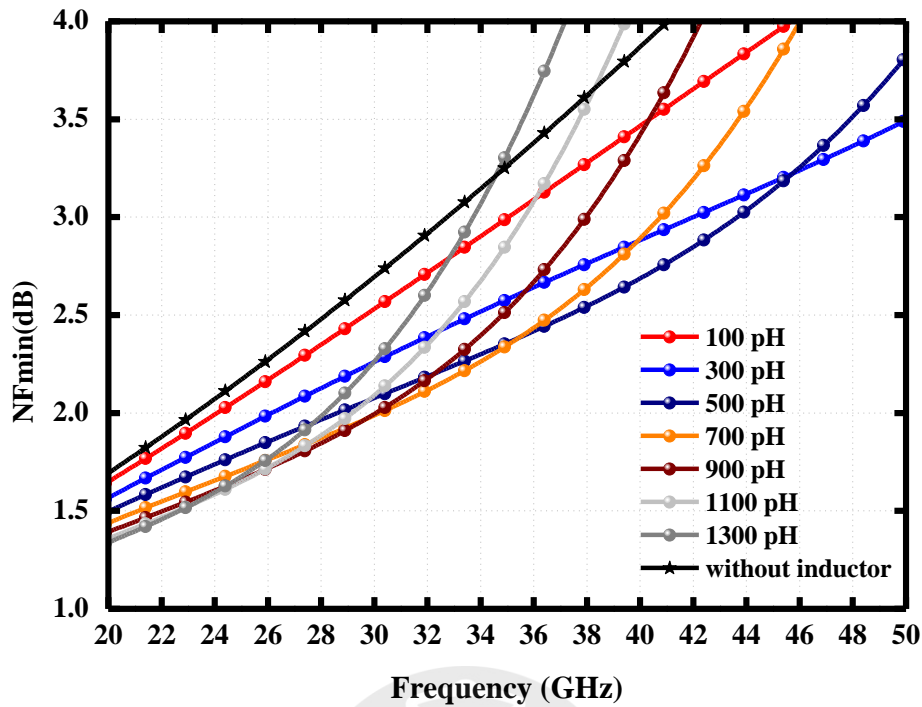


圖 2-14 疊接組態不同匹配電感感值表示圖

2.3.3 架構選擇

LNA Gain (dB)	LNA Noise Figure (dB)	Mixer Noise Figure (dB)	System(LNA+Mixer) Noise Figure (dB)
10	4	20	10.93
15	4	20	7.52
20	4	20	5.44
25	4	20	4.51

表 2-1 系統雜訊指數表

在低雜訊放大器的架構選擇上需考慮到整體接收器系統的規格，其中包含增益、功率消耗、雜訊指數、靈敏度等，考量到上述特性後再來決定接收器系統中的所需低雜訊放大器規格，由於此接收器中使用的 IR Mixer 會有 20 dB 的

轉換耗損，所以我們需要低雜訊放大器能提供 20 dB 增益來抵消 IR Mixer 造成的耗損。接收器的雜訊指數則需抑制在 6 dB 以下，由表 2-1 比較可知整體系統的雜訊指數若要壓在 6 dB 下低雜訊放大器的增益需要在 20 dB 以上，並且低雜訊放大器本身的雜訊指數需壓在約 4 dB，根據上述原因本次低雜訊放大器規格如下，增益 20 dB 以上，雜訊指數需抑制在 4 dB 左右。

在低雜訊放大器架構選擇上比較常見的有共源極和疊接結構，由圖 2-15 的共源極和疊接結構最大穩定/可用增益跟雜訊指數比較可見，疊接結構在 28 GHz 時增益約為 14.62 dB、NFmin 約為 2.48 dB，共源極組態在 28 GHz 時增益約為 8.053 dB、NFmin 約為 1.621 dB，雖然疊接組態會有消耗兩倍的直流功率和較高雜訊指數等缺點，但考慮整體接收器所需增益，能提供較高增益疊接組態較符合接收器需求，疊接結構雖有較高的雜訊，但系統整體的雜訊指數依舊能抑制在 5 dB 以下，根據上述原因本次低雜訊放大器設計採用疊接結構。

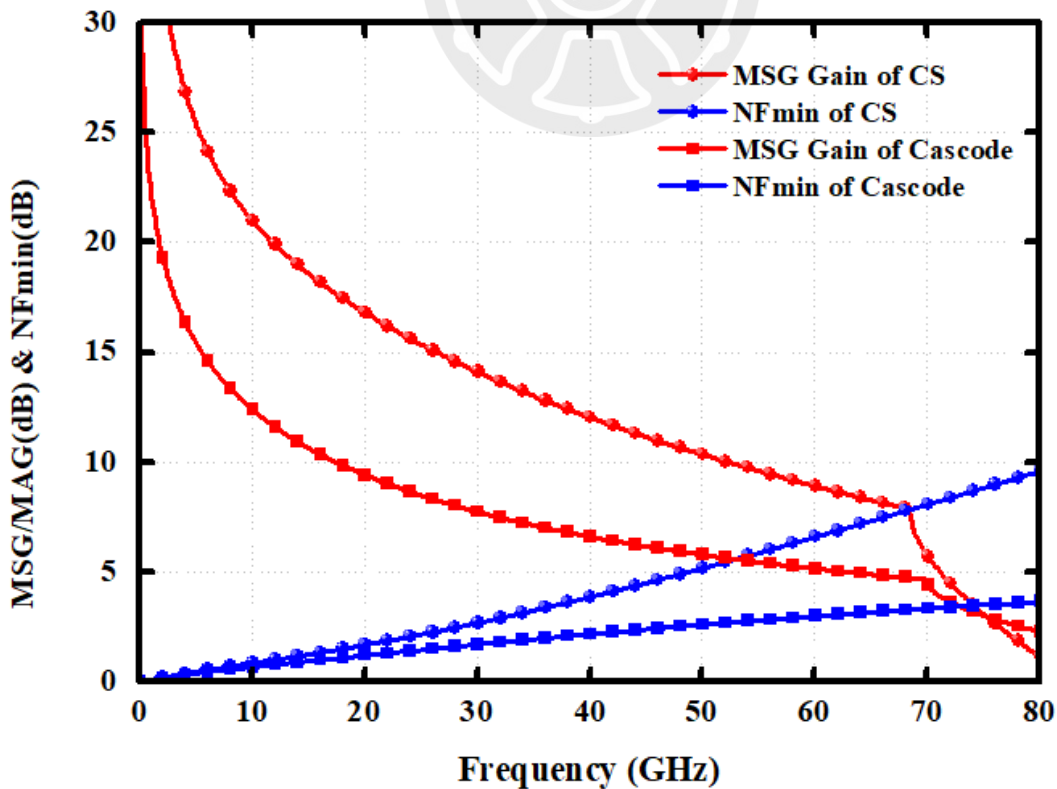


圖 2-15 疊接組態和共源極組態 MSG/MAG & NFmin

2.3.4 疊接組態電晶體尺寸最佳化

先前我們將共源極電晶體的指叉數選擇為 14，這一小節我們將確認所選電晶體尺寸是否能提供最佳特性。

首先我們先對共源極組態電晶體的指叉數進行確認，共源極結構的偏壓(V_g)為 0.8 伏特(V)，供應電壓(V_{dd})為 1.2 伏特(V)，通道寬度為 $2\mu\text{m}$ ，圖 2-16 為共源極組態 MSG/MAG、汲極電流(i_d)和最小雜訊指數對指叉數的模擬圖，由圖可見在 28 GHz 的頻率下，最大 MSG/MAG 值位於指叉數 16 處為 8.057 dB，最小雜訊位於指叉數 4 處為 1.504 dB，電流則隨指叉數增加上升。

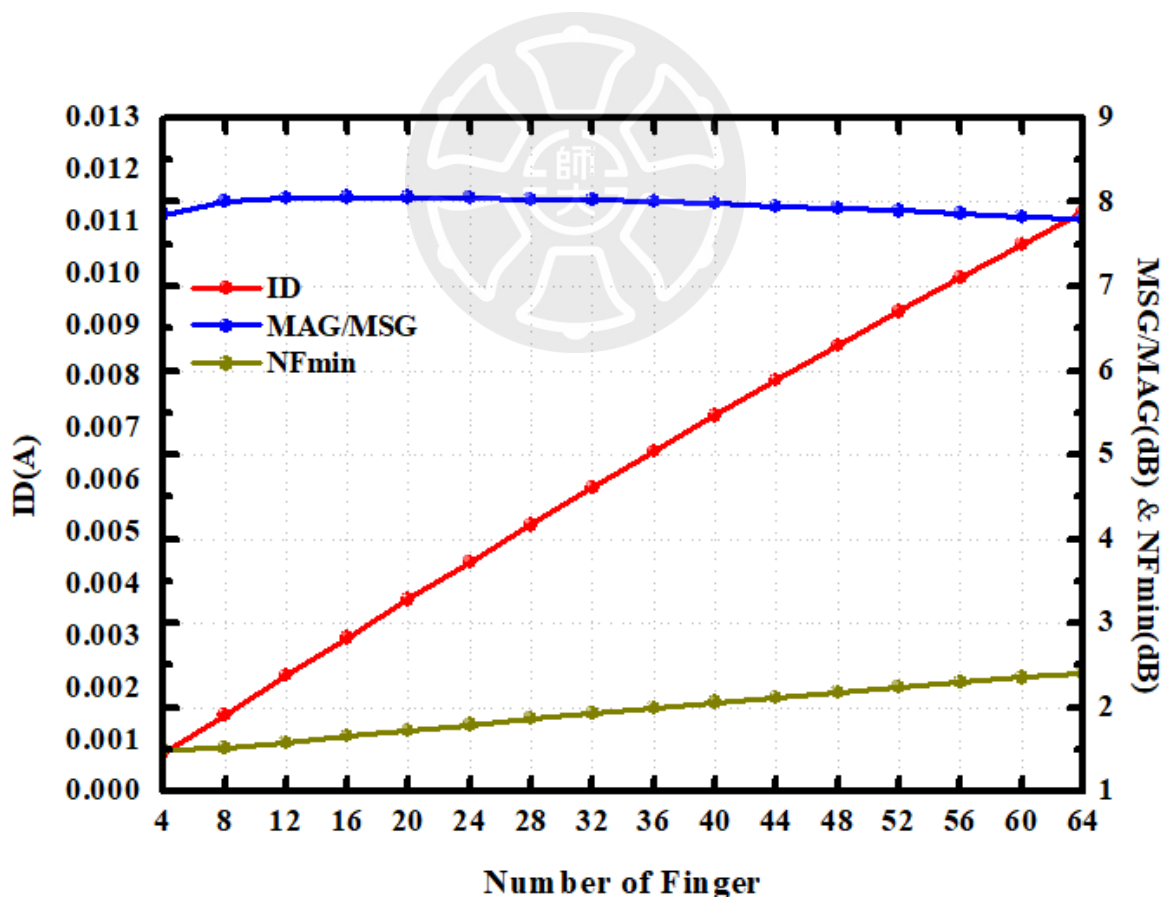


圖 2-16 共源極對指叉數的 MSG/MAG & NFmin 和 Id

指叉數	MSG(dB)	NFmin(dB)	Id(mA)
4	7.851	1.504	0.749
16	8.057	1.656	2.972
20	8.056	1.727	3.703

表 2-2 指叉數為 4、16、20 的晶體特性

由表 2-2 可見共源極指叉數在 12 ~ 24 時有較高的最大穩定/可用增益，指叉數超過 24 時最大穩定/可用增益並不會增加，但雜訊指數會隨指叉數增加不斷變大，根據上述原因我們先將指叉數固定在 12 ~ 24，由圖 2-16 可見最大穩定/可用增益在指叉數 16 時達到最大，並且由圖可得知指叉數 14~20 的增益和電流彼此並不相差太多，但雜訊指數在指叉數 20 時會比指叉數 14 時大，故最後選擇指叉數為 14。

接著我們將決定疊接結構中共閘極的電晶體尺寸，決定方法跟共源極一樣

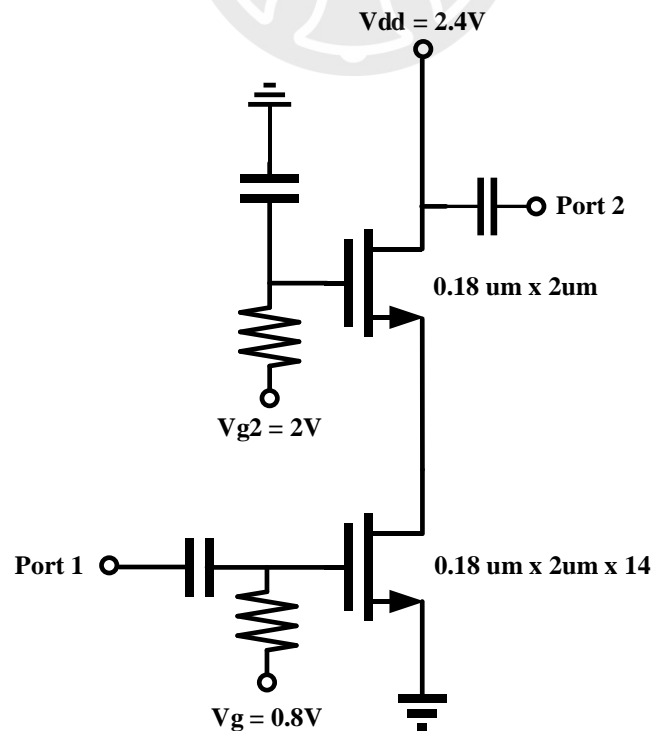


圖 2-17 疊接組態電路圖

將共源極的電晶體尺寸固定在 14 後，由圖2-18 根據最大穩定/可用增益和最小雜訊指數來決定共閘極電晶體尺寸，疊接結構的電流由下方共源極決定，在決定共閘極的電晶體尺寸時不考慮電流影響，由圖2-18 可見在 28GHz 時最大穩定/可用增益於指叉數 12 到達最大 15.02 dB，最小雜訊指數在指叉數 32 有最低值 2.463 dB。

從表 2-3 可見在指叉數為 10 和 32 時，最大增益相差 0.617 dB 並不相差太多，但最小雜訊指數可以降低 0.432 dB，指叉數繼續增加最小雜訊指數並無太大差別，但增益會隨指叉數增加下降，最後我們選擇共閘極的電晶體指叉數為 26，這尺寸能使增益不降低太多又能有效抑制最小雜訊指數。

指叉數	MSG(dB)	NFmin(dB)
12	15.02	2.895
32	14.403	2.463

表 2-3 指叉數為 12、32 的晶體特性

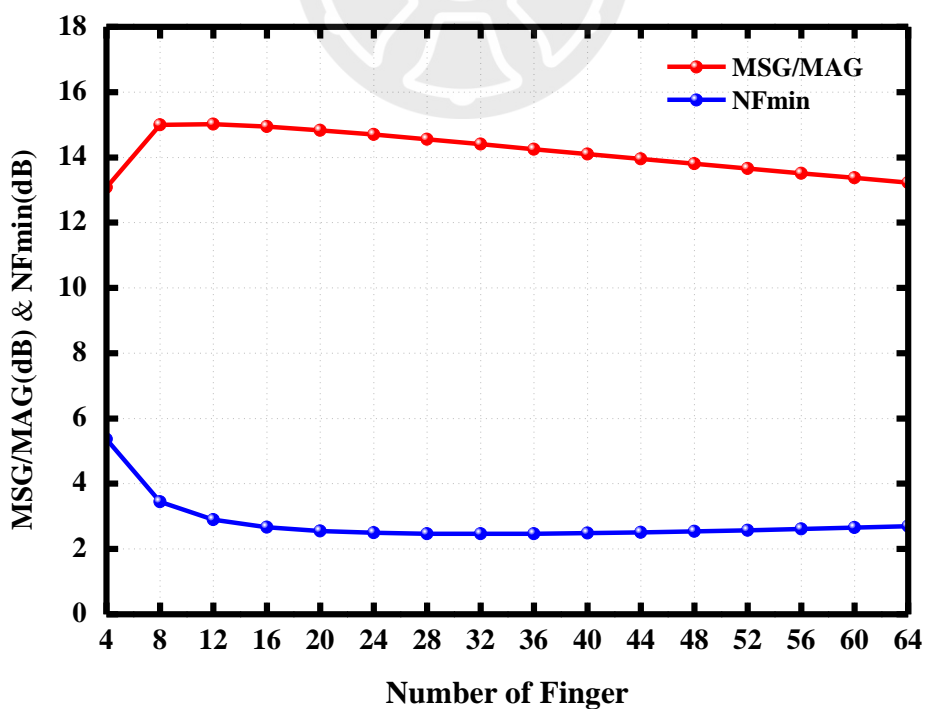


圖2-18 疊接組態在不同指叉數下共閘極的 MSG/MAG & NFmin

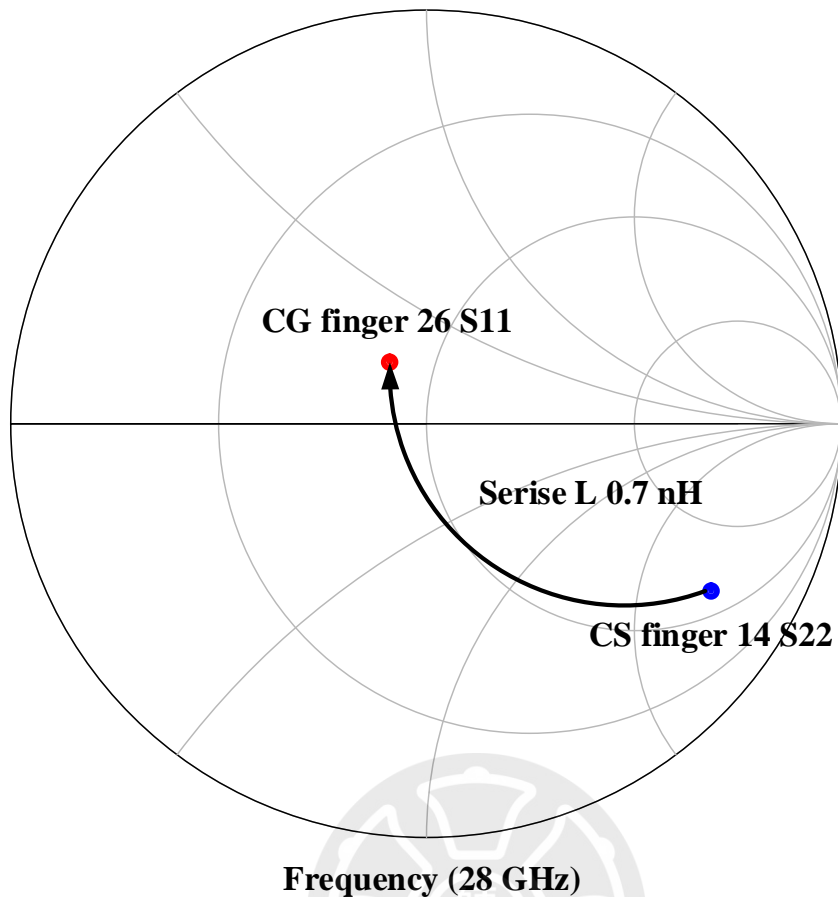


圖 2-19 疊接組態共源極到共閘極的阻抗匹配路徑

圖 2-19 為共源極於指叉數為 14 的輸出阻抗和共閘極在指叉數為 26 的輸入阻抗，由圖可見共閘極輸入阻抗和共源極輸出阻抗的共軛阻抗點非常接近，這代表我們可以在疊接組態中間加入匹配網路，這匹配網路能使訊號在由共源極傳輸至共閘極的反射減少，進而降低最小雜訊指數。

圖 2-20 為匹配網路的電路圖，我們選擇一電感作為匹配網路結構，選擇了匹配電感後，接著根據最大穩定/可用增益和最小雜訊指數來決定電感感值，先前的結論將電感感值定於 700pH 到 900pH，在圖 2-21 和圖 2-22 可觀察到當感值為 700pH 放大器能在設計頻段(29 GHz~35 GHz)接近穩定，並且由圖 2-23 可見當感值為 700pH 放大器會有最低最小雜訊指數。

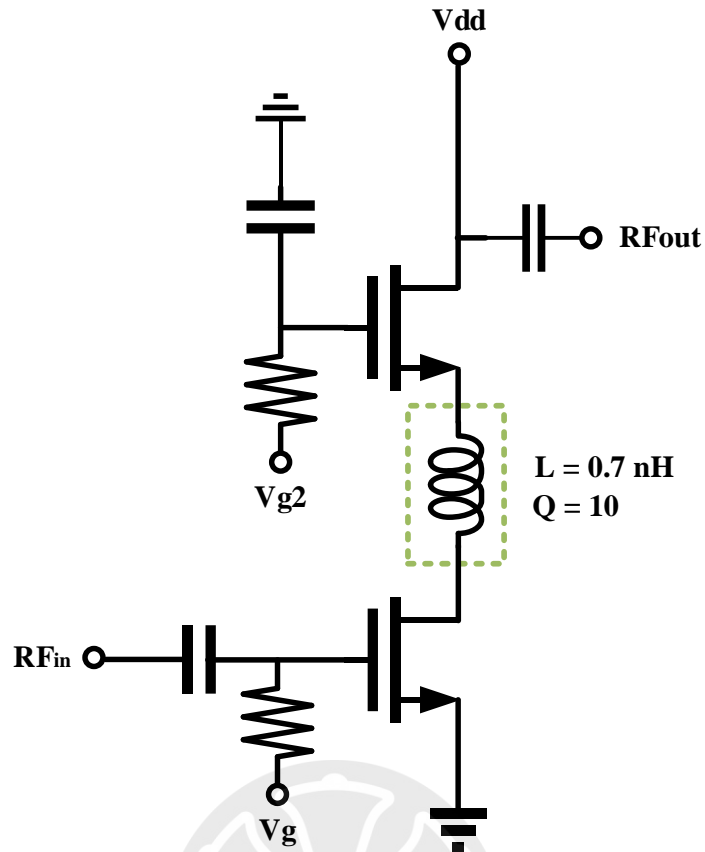


圖 2-20 匹配網路電路圖

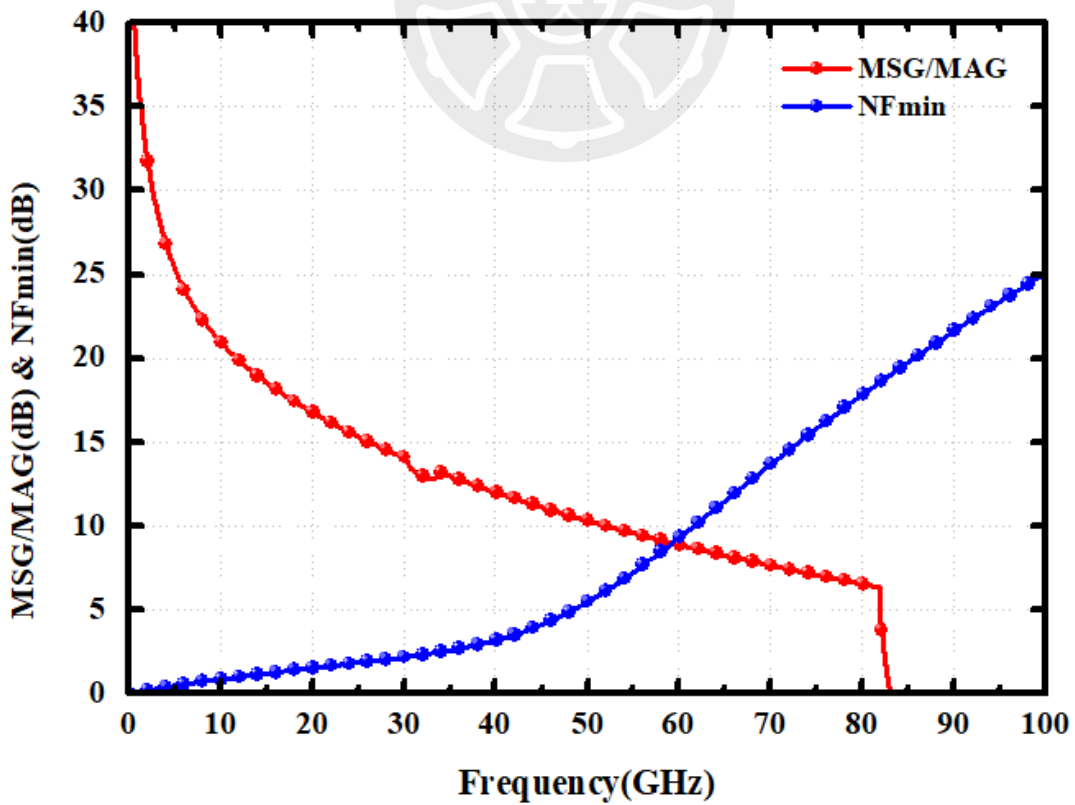


圖 2-21 加入匹配結構的 MSG/MAG & NFmin 頻率響應圖

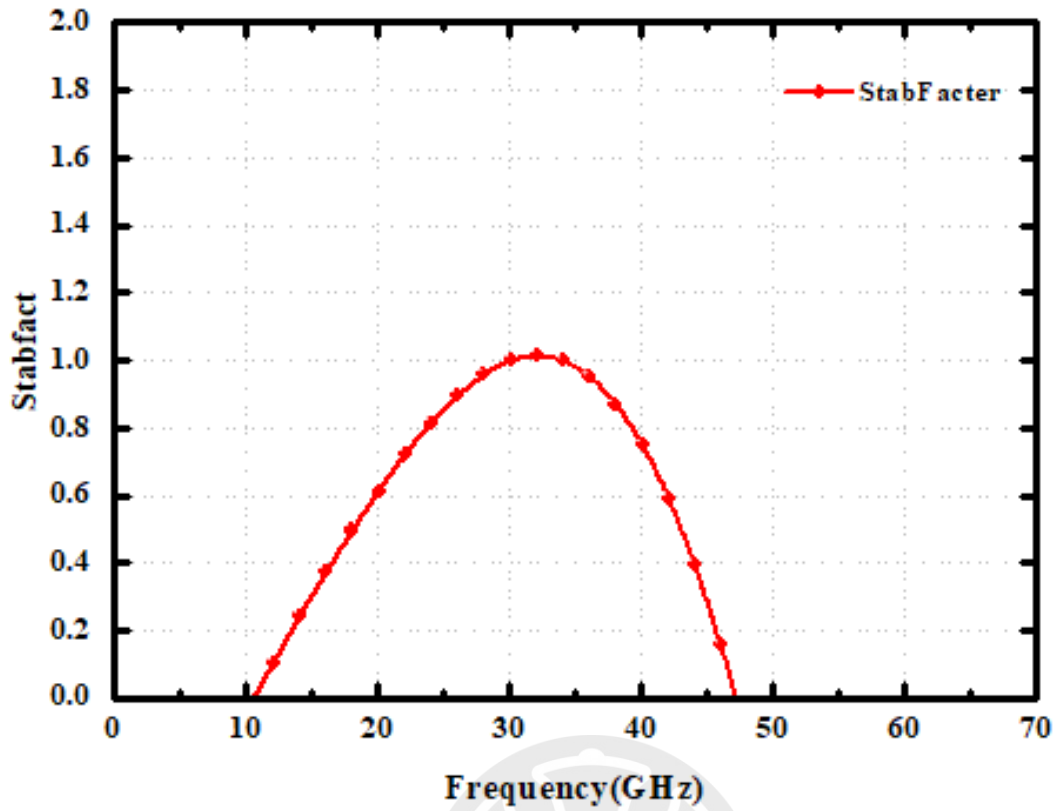


圖 2-22 加入匹配結構的穩定因子(Stability factor) 頻率響應圖

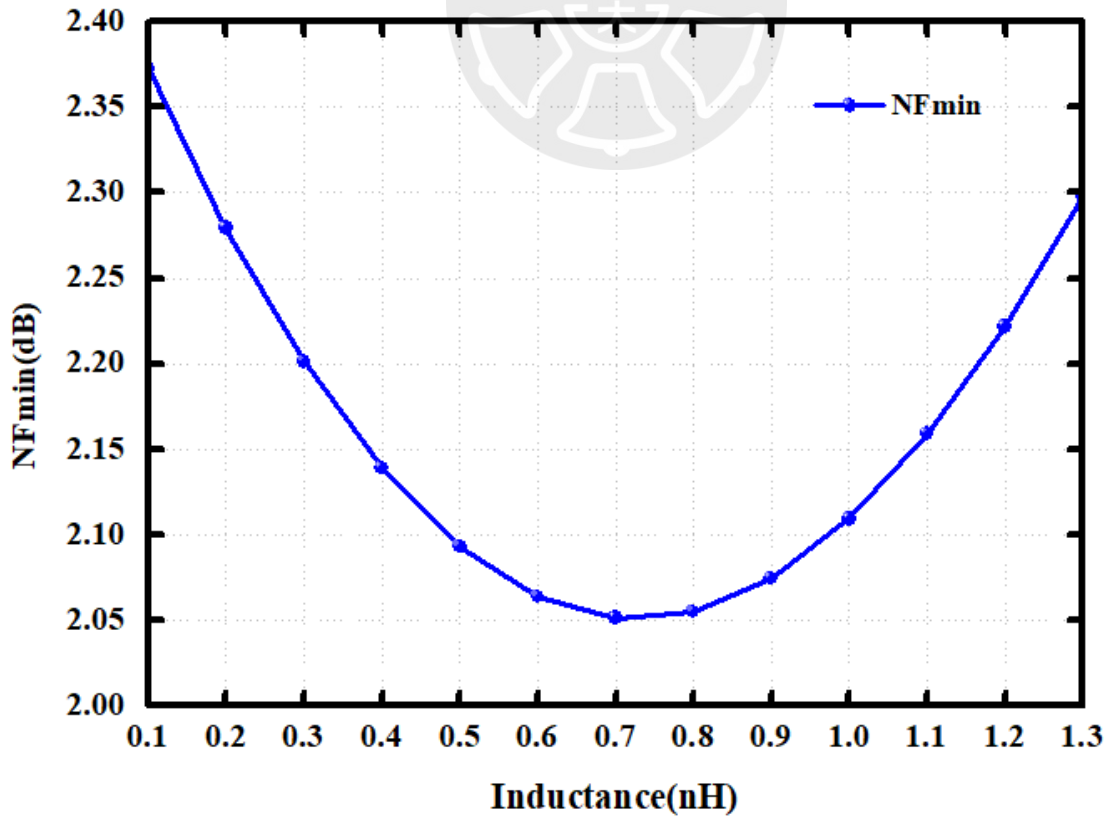


圖 2-23 不同感值下對 NFmin 的模擬圖

	MSG(dB)	NFmin(dB)
加入電感匹配	14.59	2.05
未加入電感匹配	14.62	2.48

表 2-4 匹配和未加匹配放大器特性

由表2-4的比較表可見加入電感的放大器有最小雜訊指數有較好的表現，在 28 GHz 時最小雜訊指數比未加匹配結構少 0.43 dB。

2.4 28 GHz 低雜訊放大器設計

2.4.1 電路架構

接下來我們將上一章節所提的結構經由 TSMC 0.18- μm CMOS RF 製程來實現，本次設計採用兩極疊接組態串聯結構，疊接放大器中第一階電晶體(M1、M2)尺寸如下，電晶體的通道長度為 0.18 μm 、通道寬度 2 μm 、M1:M2 指叉數分別為 14:26，M3:M4 指叉數則為 10:26，共軛匹配電感在模擬時感值為 700pH，帶入實際電磁模擬模型後感值調整在 580pH 左右，放大器電路圖如圖 2-24 所示，供給電壓為 2.4V，Vg1 偏壓供給為 0.8 V、Vg2 供給 2 V，電路模擬功耗為 10.87 mW。

M1:0.18 μm x 2 μm x14

M2:0.18 μm x 2 μm x26

M3:0.18 μm x 2 μm x14

M4:0.18 μm x 2 μm x26

Vg1: 0.8V

Vg2: 2V

Vdd: 2.4V

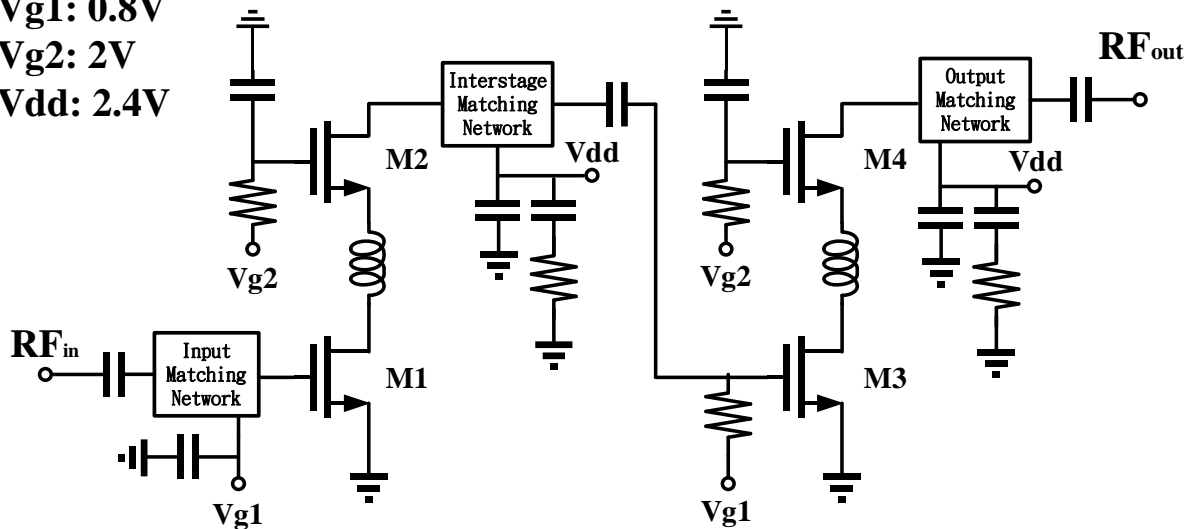


圖 2-24 28 GHz 低雜訊放大器電路圖

2.4.2 匹配網路設計

確定電晶體尺寸和低雜訊放大器大致結構後，我們將著手設計匹配網路結構，匹配網路由電感電容等元件構成，電感使用 0.18- μm CMOS RF 製程中的最上層金屬當作訊號線，並以第一層金屬做參考地，設計上使用螺旋狀電感 (spiral inductor) 來增強中心磁場，電感線寬為 6 μm 並挖除電感周圍 10 μm 的地。

在本次設計的輸入匹配網路採用雜訊匹配 (noise match)，來達到抑制雜訊指數的效果，輸出和極間匹配則是採用共軛匹配 (conjugate match)，來達成最大小訊號增益。對低雜訊放大器而言第一極的雜訊匹配尤其重要，所以我們將從輸入匹配網路開始設計，接這再做極間和輸出匹配網路設計，最後再對各網路進行調整來使放大器大到最佳特性。

輸入匹配網路設計 雜訊匹配

要設計一雜訊匹配網路，首先需觀察雜訊圓 (Noise circle) 在史密斯圖上的分佈，雜訊圓中心為該頻率下最小雜訊指數 (NFmin) 的阻抗點，每一圈比內圈多

0.25 dB，確定了雜訊圓的分佈後，接著將 NFmin 阻抗點匹配到輸入端的 50 ohm 阻抗點，來使放大器達到最佳雜訊指數，但由於 NFmin 阻抗點與電晶體的共軛阻抗點的分佈並不同，這代表我們無法同時做到雜訊匹配和共軛匹配，當我們只對 NFmin 阻抗點進行匹配時，將會造成放大器增益不足，而由先前的雜訊公式可知前極的增益不足會使後極雜訊對整體系統影響增加。

為解決阻抗點的分佈並不同的問題，我們在源極加上源極退化電感(southe inductor degenertion)，由於感值較小以一微帶線實現，此回授結構有降低增益的缺點，但此結構能使放大器同時達到雜訊匹配和共軛匹配。

傳統輸入匹配網路

傳統上低雜訊放大器的輸入匹配網路由一源極退化電感(southe inductor degenertion)和一串聯電感構成如圖 2-25 所示，此架構使用較少元件來完成雜訊匹配，圖 2-27、圖 2-28 為使用傳統輸入匹配網路的散射參數 S11 和最小雜訊指數，由圖 2-27 可見採用此架構的散射參數 S11 在 25 GHz~31 GHz 小於-10 dB，約有 6 GHz 的頻寬。

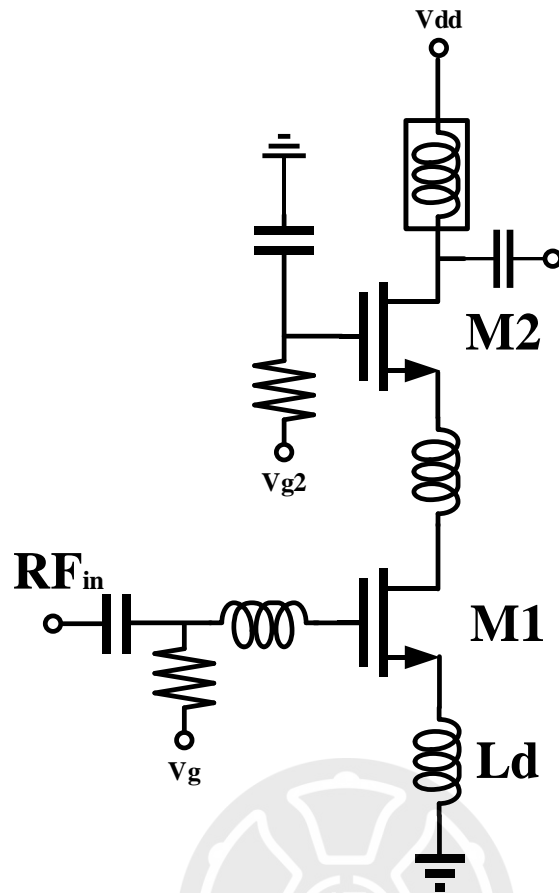


圖 2-25 傳統匹配結構示意圖

II型輸入匹配網路

本次設計低雜訊放大器所採用的輸入匹配網路由一源極退化電感(souce inductor degenertion)和電容電感構成的輸入匹配網路如圖 2-26 所示，此架構使用較多元件來完成雜訊匹配，其中加入的並聯電感為此匹配網路提供另一共振點，新增加的共振點與原先的共振點提供較寬頻的頻寬，圖 2-27、圖 2-28 為使用 II 型輸入匹配網路的散射參數 S11 和最小雜訊指數，由圖 2-27 可見採用此架構的散射參數 S11 在 17 GHz~29 GHz 的頻段小於 -10 dB，約有 12 GHz 的頻寬比傳統匹配網路多出 6 GHz。

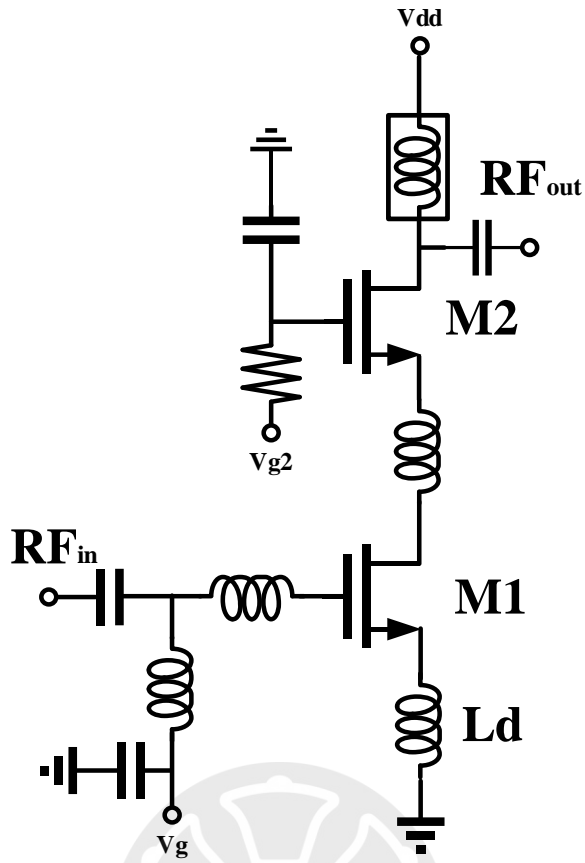


圖 2-26 II 型輸入匹配網路示意圖

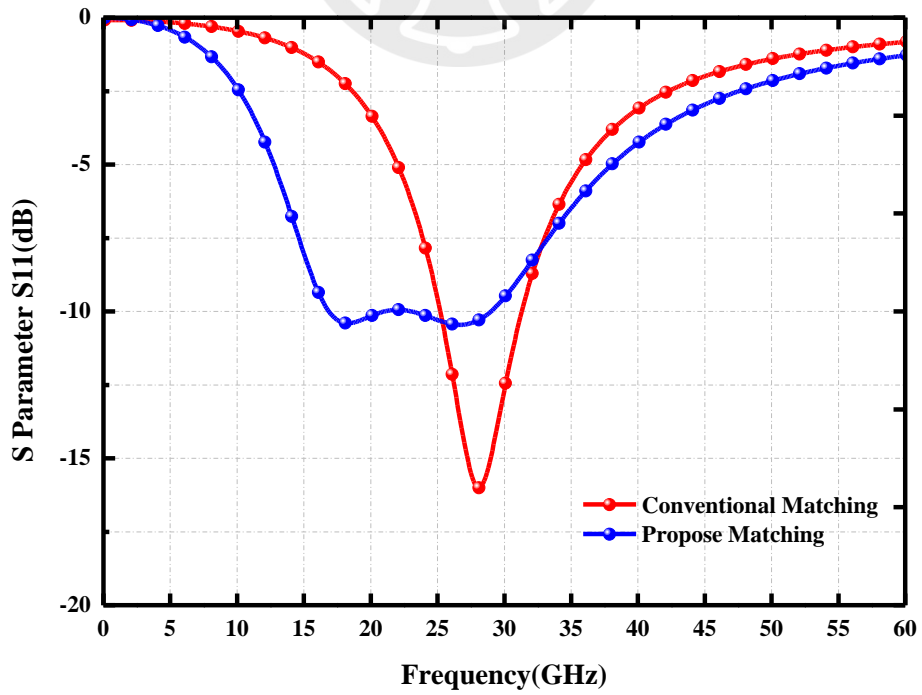


圖 2-27 不同匹配結構的 S 參數頻率響應圖

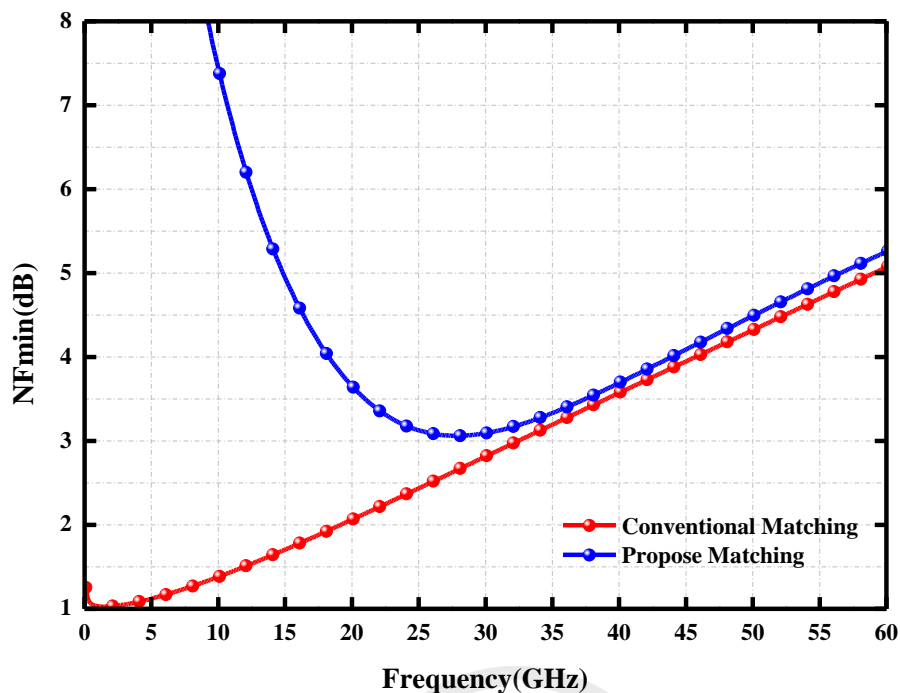


圖 2-28 不同匹配結構的 NFmin 頻率響應圖

根據上述原因，本次設計採用 II 型輸入匹配網路來達到更大的頻寬，匹配路徑如圖 2-29 所示，加上源極退化電感來縮短 NFmin 阻抗點與共軛阻抗點的距離，接著再由電感電容組成的 II 型輸入匹配網路來將兩組抗點匹配到 50 ohm 阻抗點，讓放大器能同時以最高增益傳輸至下一極並抑制雜訊。

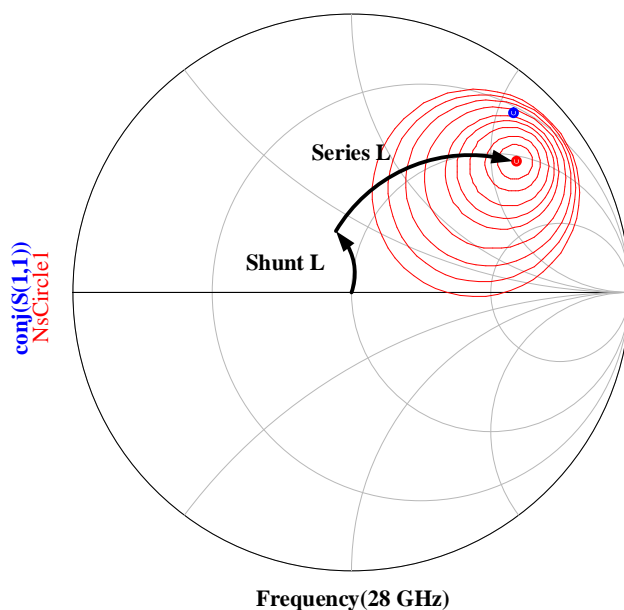


圖 2-29 第一極雜訊匹配軌跡史密斯圖

第一極與第二極間匹配-共軛匹配

確定輸入匹配網路後，接著進行極間匹配，阻抗點分佈如圖 2-31 首先我們先確定第一極的輸出阻抗點(S22)，再來我們確定第二極的輸入阻抗點(S11)，了解阻抗點分佈後，再來進行極間匹配網路設計，極間匹配結構由一並聯電感和直流阻隔電容組成，直流阻隔電容並不參與匹配。

- M1: 0.18 um x 2 um x14**
- M2: 0.18 um x 2 um x26**
- M3: 0.18 um x 2 um x14**
- M4: 0.18 um x 2 um x26**
- Vg1: 0.8V**
- Vg2: 2V**
- Vdd: 2.4V**

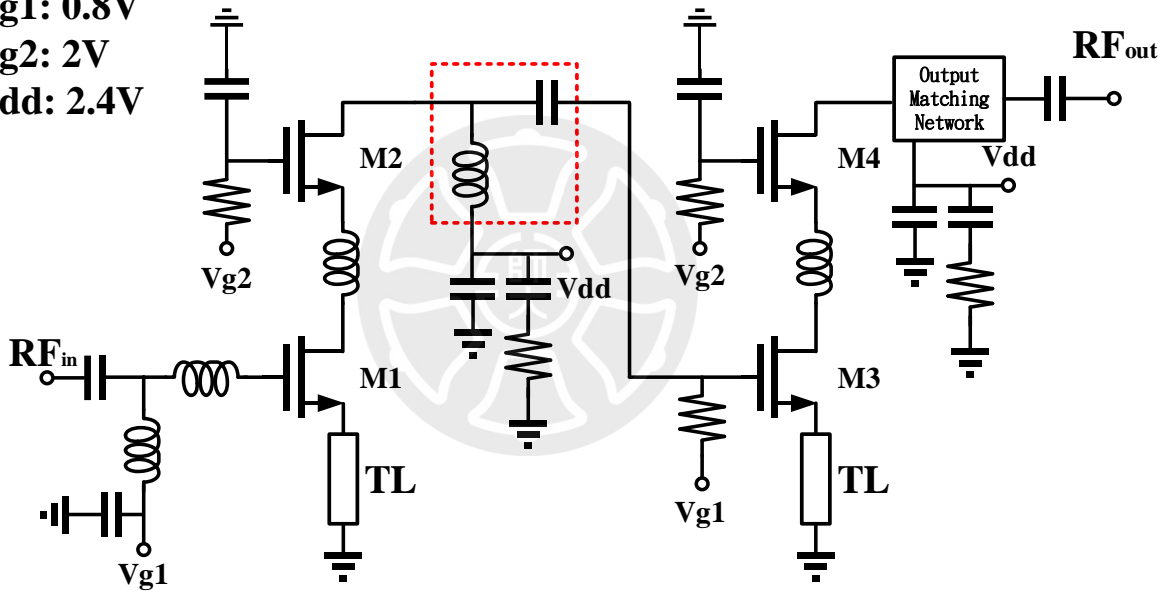


圖 2-30 第一極與第二極極間匹配網路結構

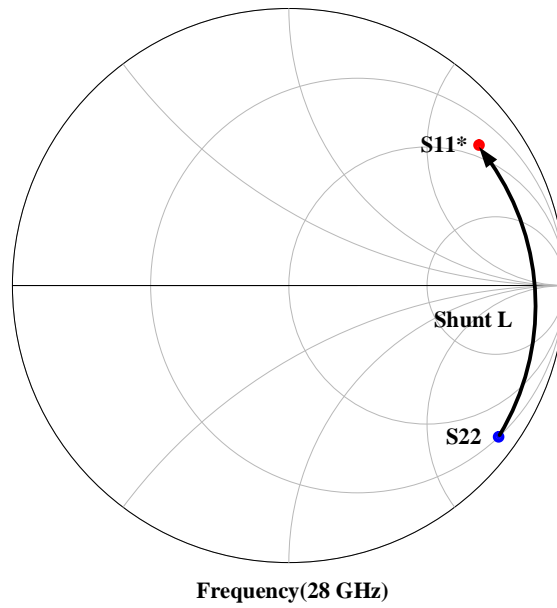


圖 2-31 第一極與第二極極間匹配軌跡史密斯圖

第三極輸出匹配-共軛匹配

確定前兩極的匹配網路後，繼續做輸出匹配，阻抗點分佈如圖 2-33 所示，確認阻抗點分佈後，再進行共軛匹配將電晶體的輸出阻抗點由兩電感構成的匹配網路將阻抗點匹配到 50 Ohm 阻抗點。

- M1: 0.18 um x 2 um x14**
- M2: 0.18 um x 2 um x26**
- M3: 0.18 um x 2 um x14**
- M4: 0.18 um x 2 um x26**
- Vg1: 0.8V**
- Vg2: 2V**
- Vdd: 2.4V**

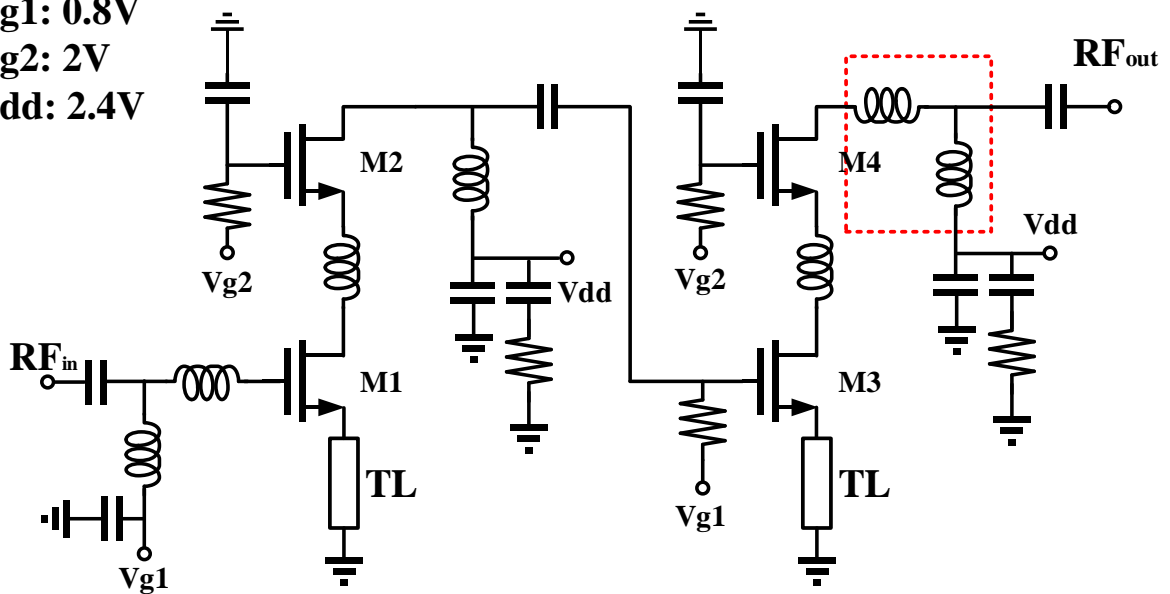


圖 2-32 第三極輸出匹配網路結構

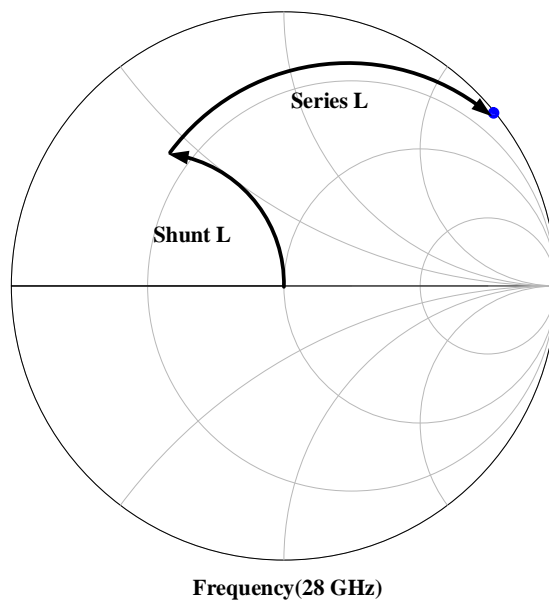


圖 2-33 第三極輸出匹配軌跡史密斯圖

2.4.3 旁路電路設計

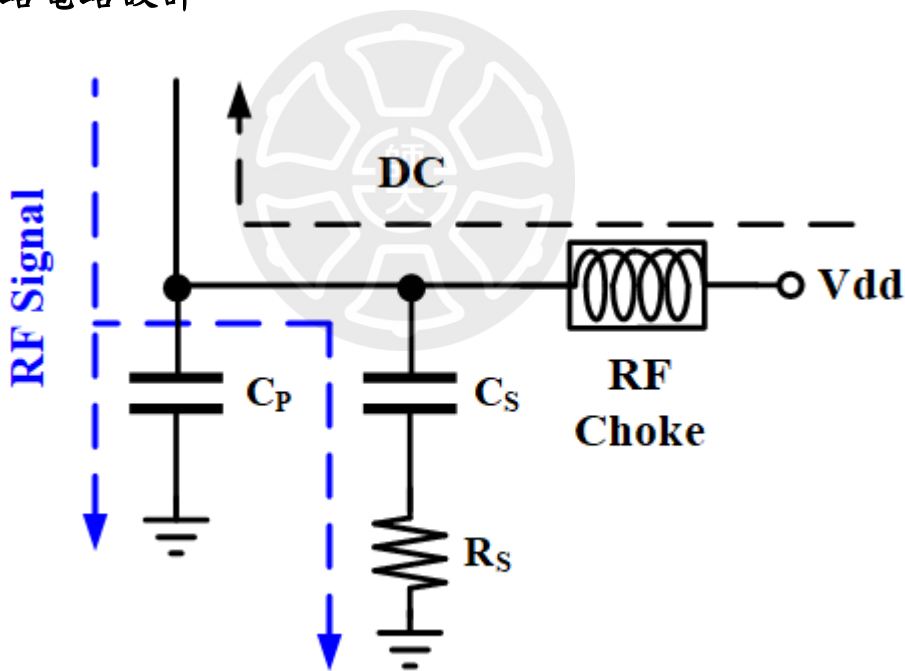


圖 2-34 旁路電路架構圖

在電路的設計中，考量到直流偏壓的饋入和交流訊號在實際操作上需要將兩者分離，我們需要設計一旁路電路讓高頻訊號看入為短路而直流看入為卻為斷路，途中 C_p 為主頻旁路電容主要處理主頻訊號，其容值由式 2-20 計算後值

約為 3.8pF，Cs 和 Rs 則為第二階旁路電容主要處理低頻訊號，結構中 Rs 電阻用於抵消低頻震盪問題。

$$X_C = \left| \frac{1}{2\pi f_p C_p} \right| = 1\sim 5\Omega \quad (2-20)$$

圖 2-35 為一接旁路電路之阻抗模擬圖，由圖可見在我們設計頻段有相較於其他頻段較低的阻抗，圖 2-36 則為其阻抗實虛部模擬圖，由圖可見在 28 GHz 阻抗約為 1.146Ω，圖 2-37 為一接旁路電路之品質因子模擬圖，在 28 GHz 電容品質因子約為 6.95。

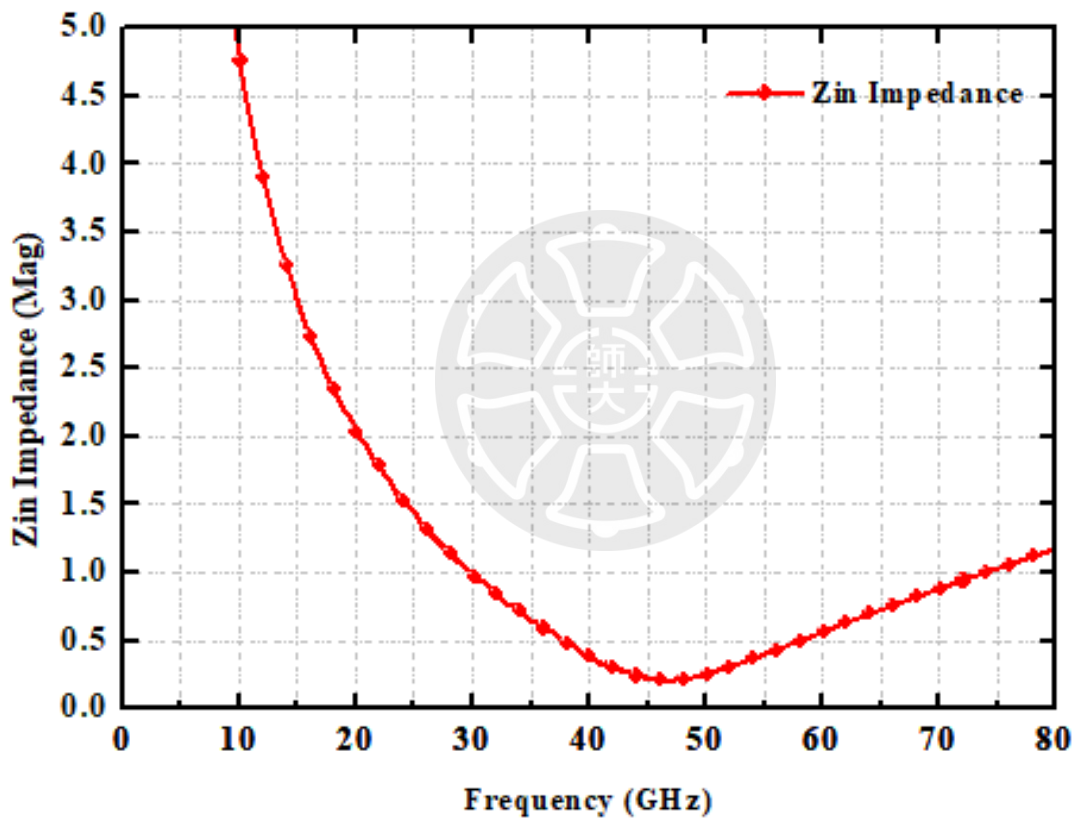


圖 2-35 一接旁路電路之阻抗模擬圖

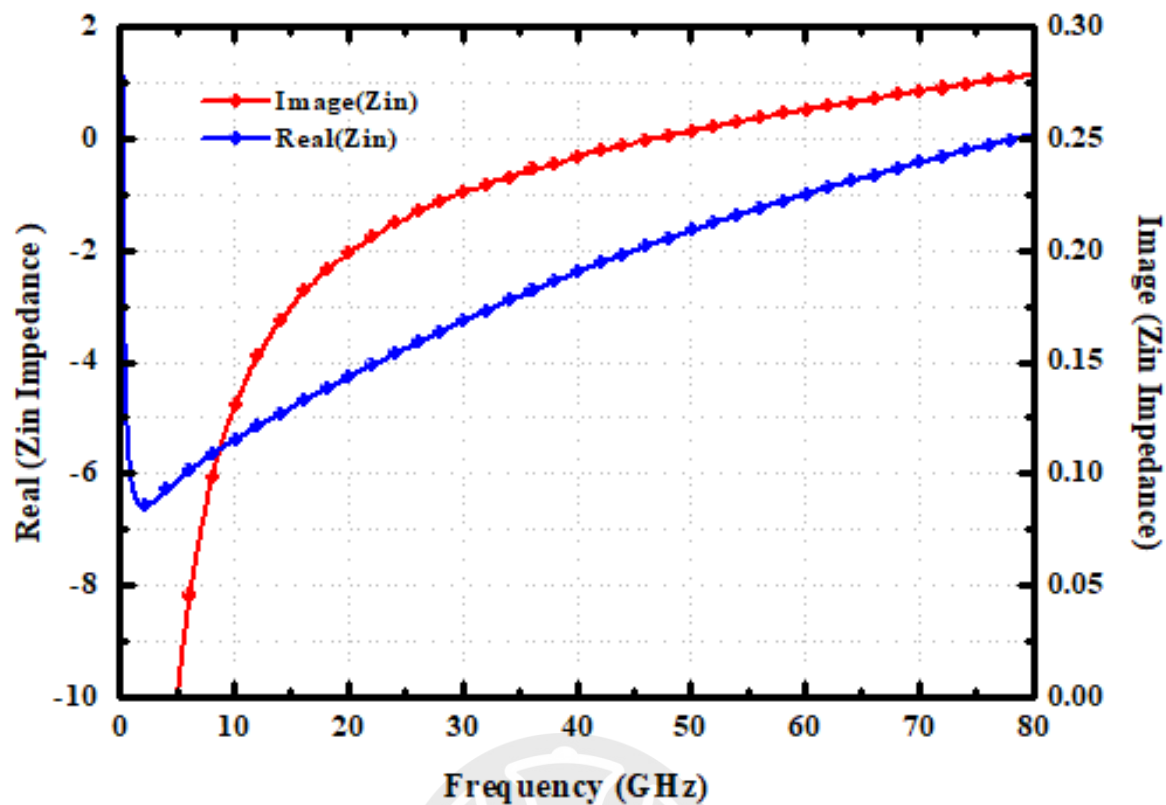


圖 2-36 一接旁路電路之阻抗實虛部模擬圖

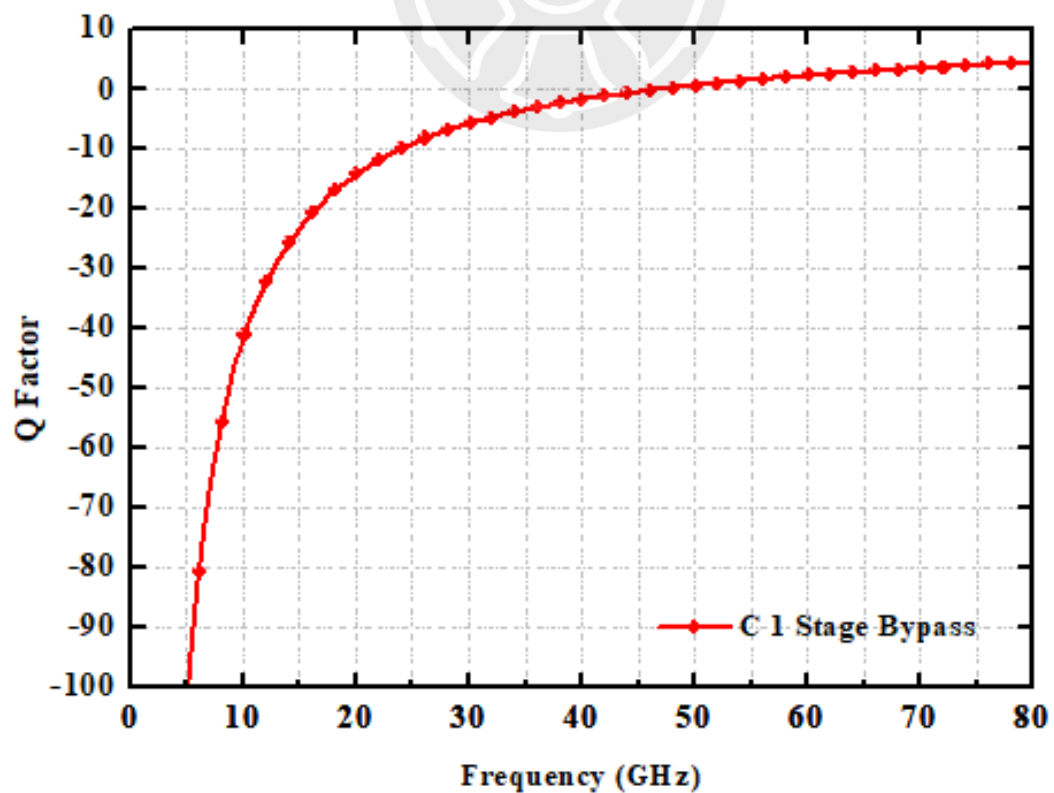


圖 2-37 一接旁路電路之品質因子模擬圖

圖 2-38 為設計旁路電容的隔離度對頻率模擬圖，由圖可見設計的旁路電容電路不論是在主頻和低頻都有好的隔離度，在低頻 2 GHz 時都有 -10 dB 以下，透過圖 2-38 比較可知，旁路電路階數越多低頻會有較好的隔離度，且對於交流訊號而言也更接近於理想地，但需要使用更多的晶片面積，因此在考量晶片面積後，選擇兩階旁路電路作為設計結構。

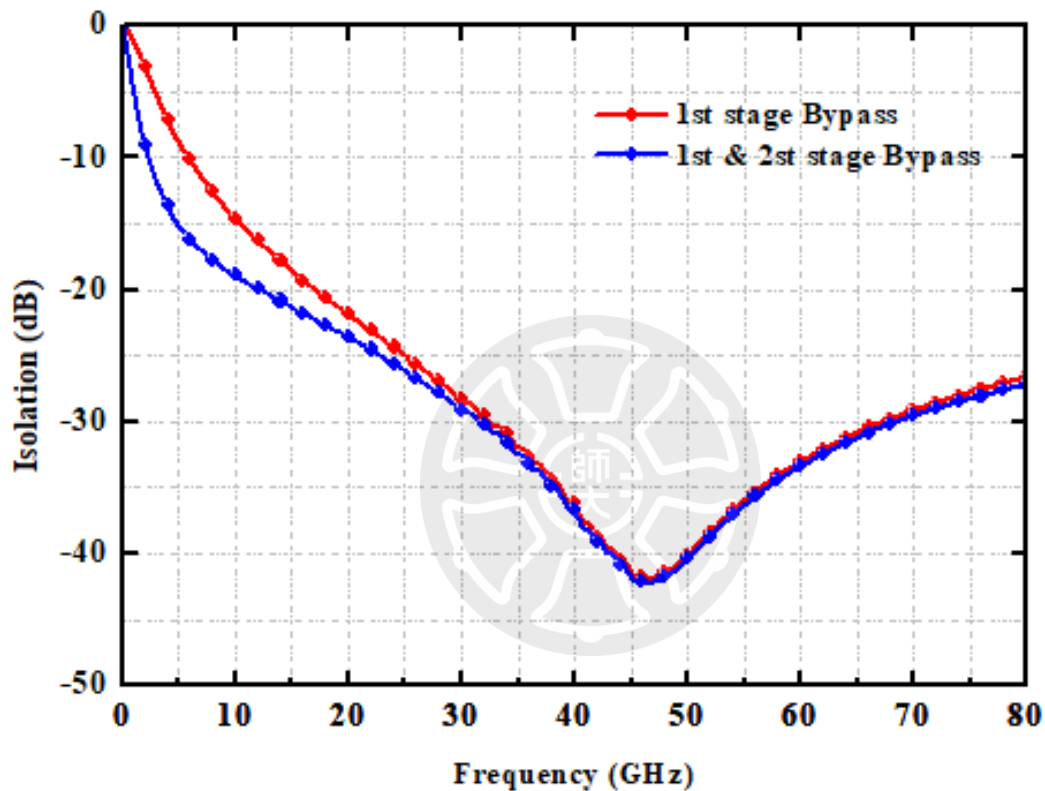


圖 2-38 一、二階旁路電路之隔離度比較圖

2.5 低雜訊放大器之模擬結果

本論文低雜訊放大器使用 TSMC 0.18- μm CMOS RF 製程，為兩極串聯疊接電路架構，疊接組態供給電壓為 2.4 V，閘極偏壓分別為 0.8 V、2 V，整體電路的功率消耗為 10.872 mW，整體電路架構如圖 2-39 所示。電路特性使用是德科技(Keysight)所提供的 ADS(Advanced Design System)軟體來進行模擬與分析，

電路中的被動元件如變壓器、傳輸線與電容等…，皆使用 Sonnet 之 EM 電磁模擬軟體來進行元件的電磁模擬，再將其模擬結果代入 ADS 來進行電路模擬與分析。

M1:0.18 um x 2 um x14

M2:0.18 um x 2 um x26

M3:0.18 um x 2 um x14

M4:0.18 um x 2 um x26

Vg1: 0.8V

Vg2: 2V

Vdd: 2.4V

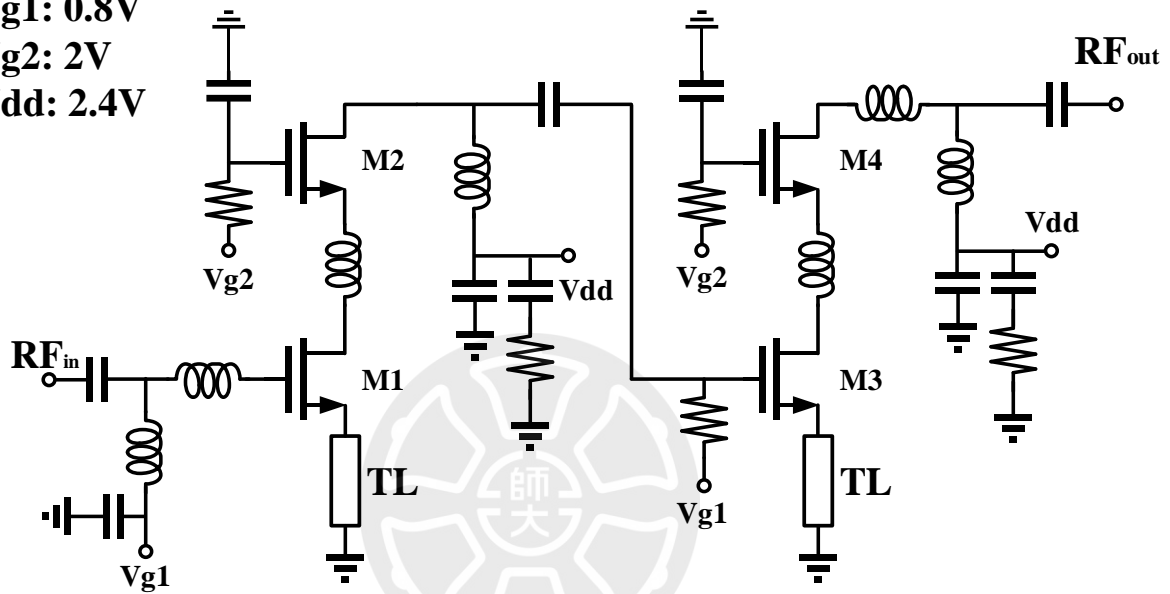


圖 2-39 可變增益放大器整體電路架構圖

圖 2-40 低雜訊放大器的 S 參數模擬特性圖，頻率為 28 GHz 時，增益 S_{21} 約為 18.14 dB、輸出反射損耗 S_{22} 約為 -21.80 dB、輸入反射損耗 S_{11} 約為 -16.96 dB。圖 2-41 為雜訊指數模擬特性圖，雜訊指數在 28 GHz 時約為 4.54 dB，圖 2-42 為 P_{1dB} 模擬特性圖，在 28 GHz 時 1-dB 增益壓縮點的輸出功率 OP_{1dB} 約為 -5.83 dBm。

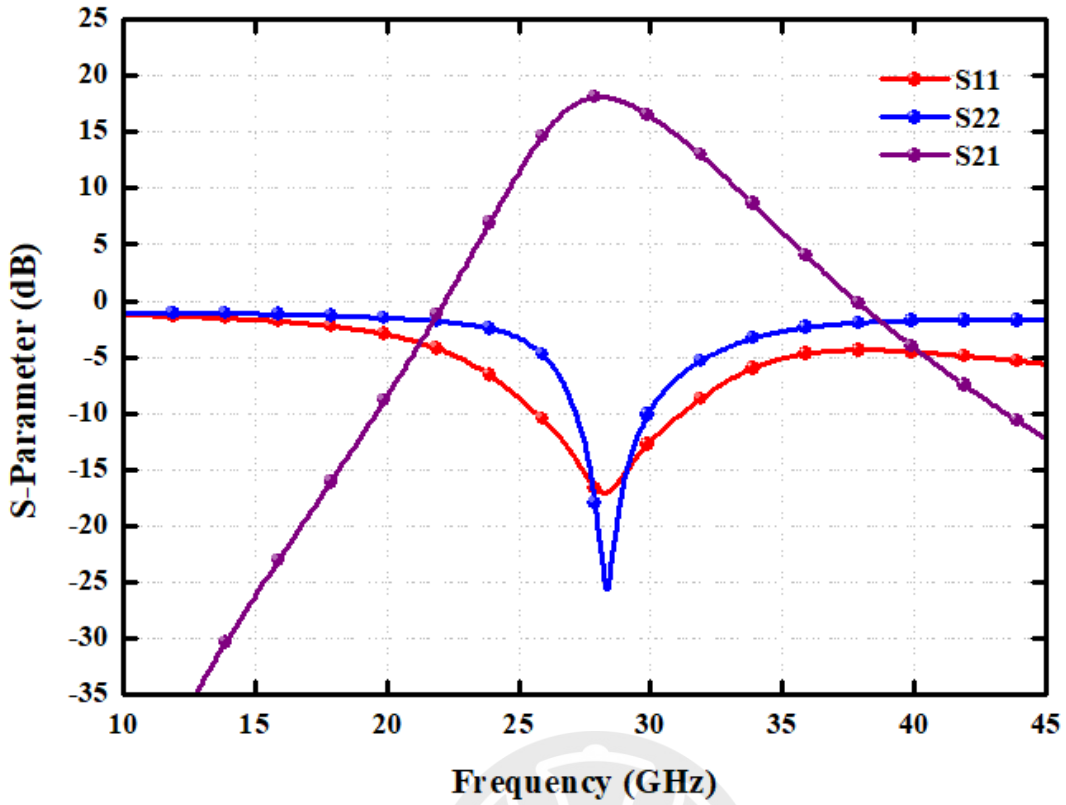


圖 2-40 低雜訊放大器之 S 參數模擬特性圖

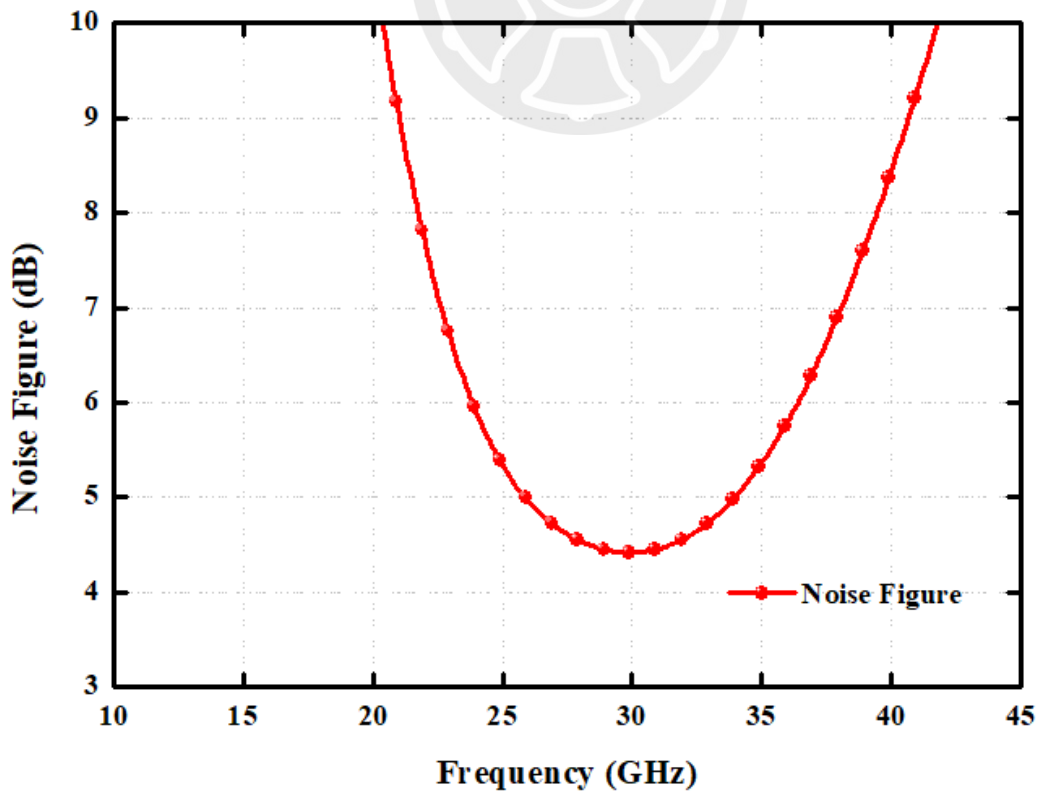


圖 2-41 低雜訊放大器之雜訊指數模擬特性圖

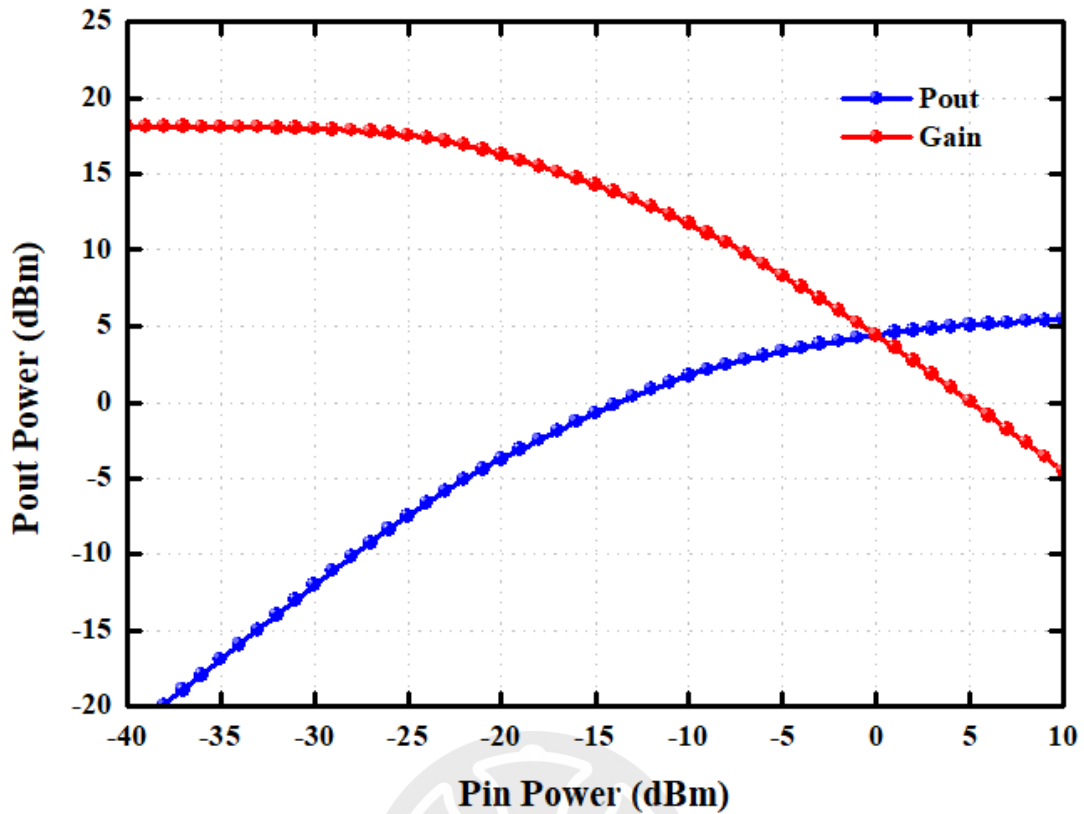


圖 2-42 可低雜訊放大器之 P_{1dB} 模擬特性圖

最後完成設計後我們將了解電路穩定度模擬結果，串接多級放大器分別要看整體電路的穩定度(K 值)與極間穩定度，極間穩定度採用穩定圓來分析級間穩定度，當 K 值大於 1 且穩定圓與映射圓無交集，就代表放大器為穩定狀態。圖 2-43、圖 2-44 為 K 值和 Mu 值的模擬結果，兩者在所有頻率下皆大於 1；圖 2-45 為級間穩定圓模擬結果，分別為第一級的映射圓與第二級的源端穩定圓，以及第一級的負載端穩定圓與第二級的映射圓，穩定圓與映射圓皆無交集，低雜訊放大器為穩定狀態。圖 2-46 為低雜訊放大器電路佈局圖，整體電路佈局面積為 $615 \mu\text{m} \times 410 \mu\text{m}$ 。

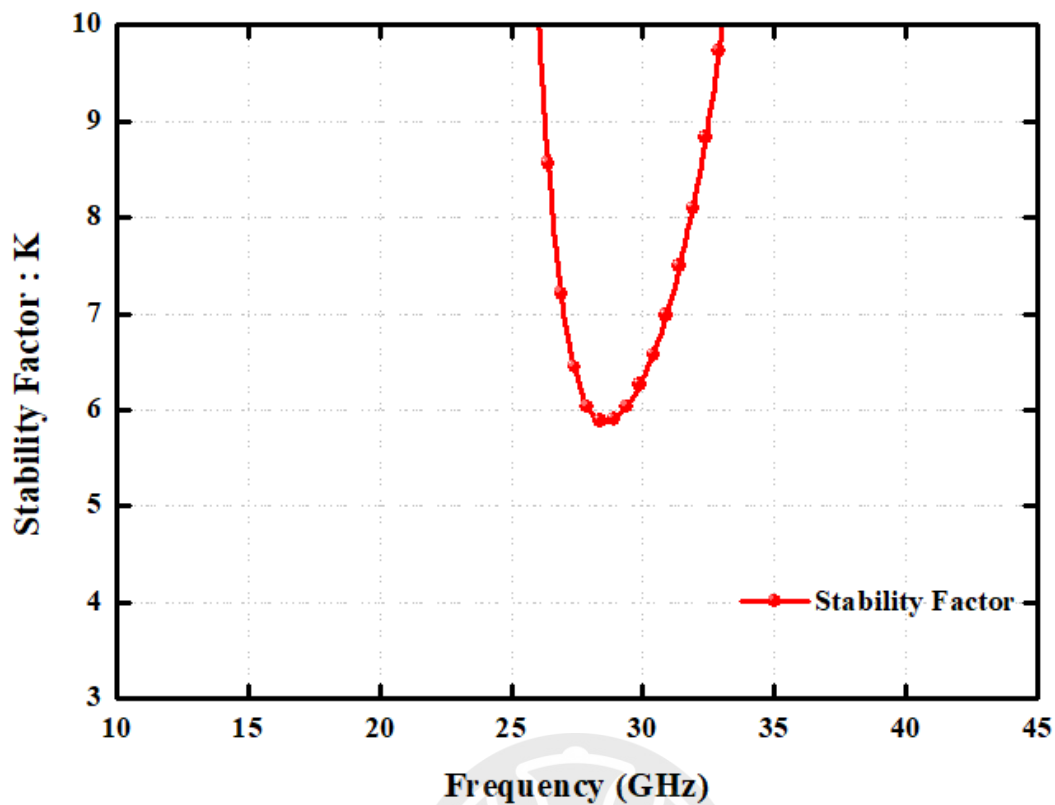


圖 2-43 穩定度(K 值)模擬結果圖

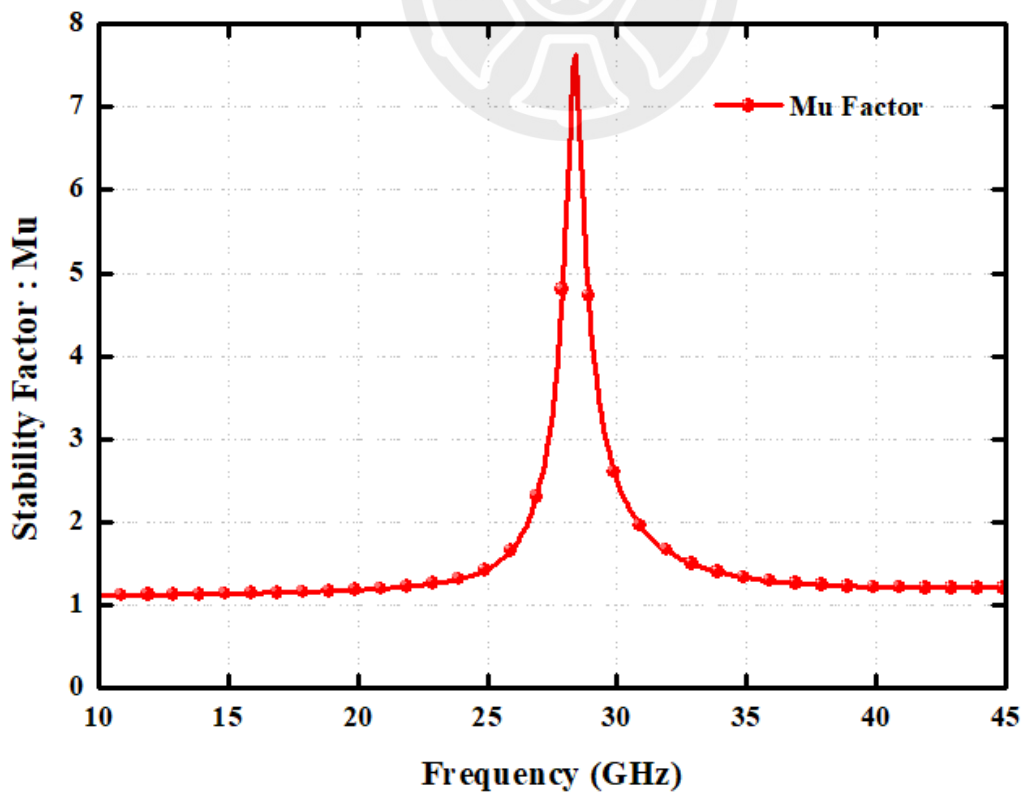


圖 2-44 穩定度(Mu 值)模擬結果圖

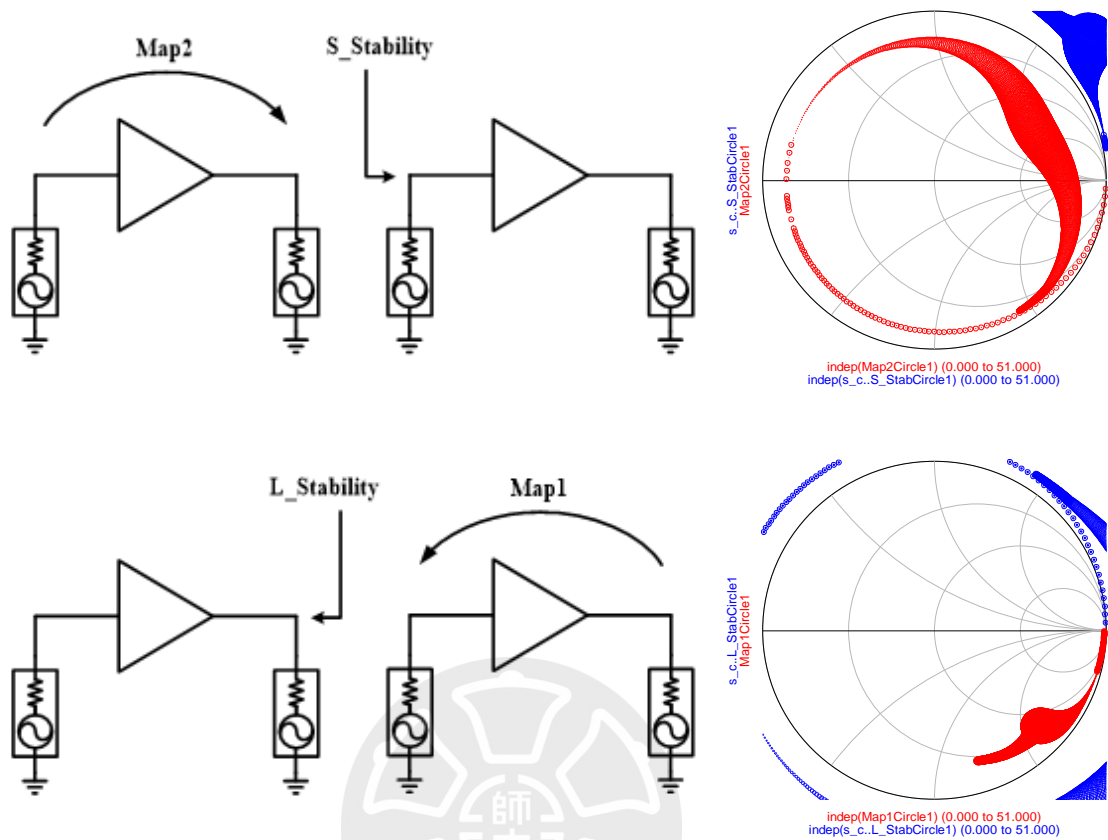


圖 2-45 級間穩定圓模擬結果圖

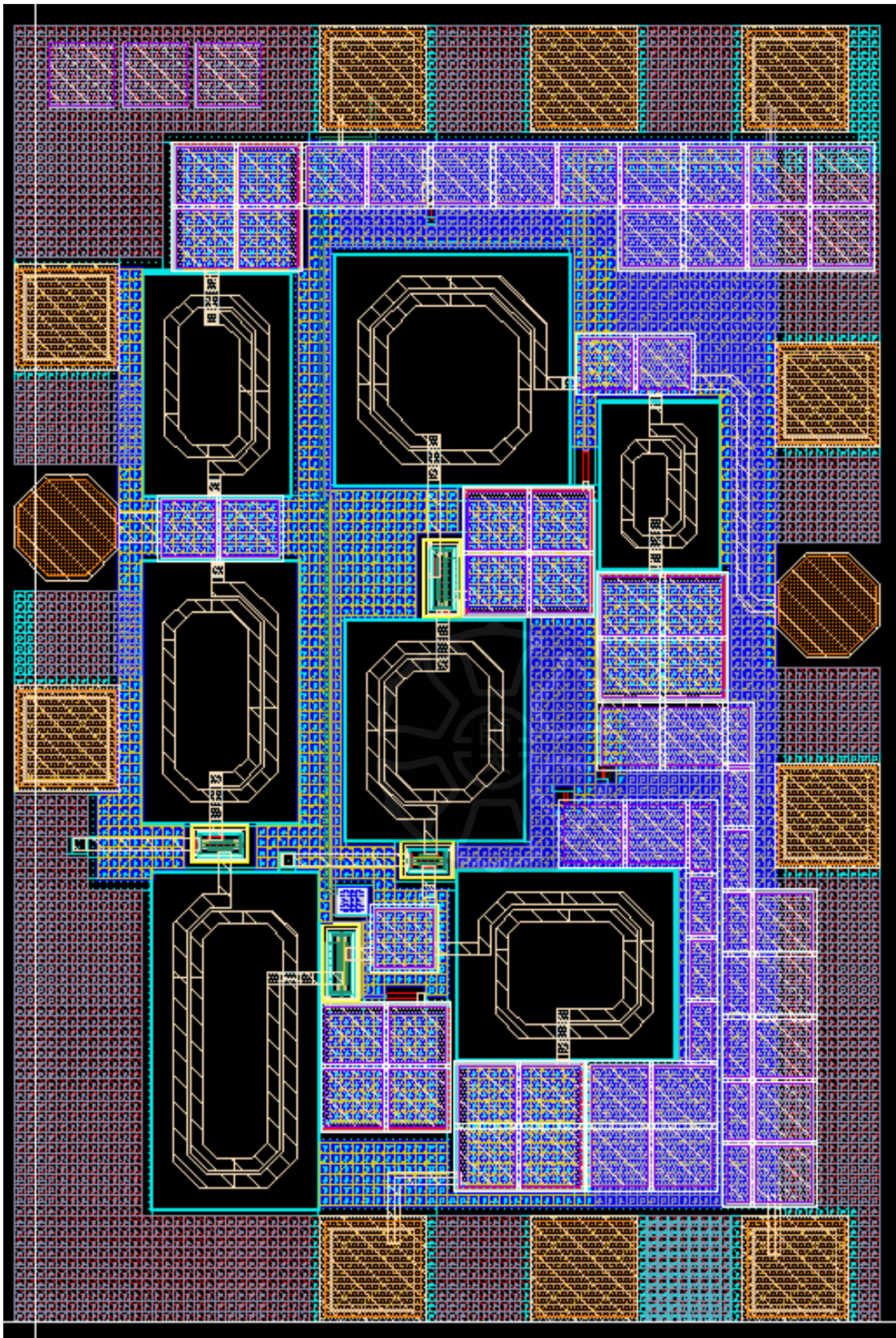


圖 2-46 低雜訊放大器電路佈局圖

2.6 低雜訊放大器之量測結果

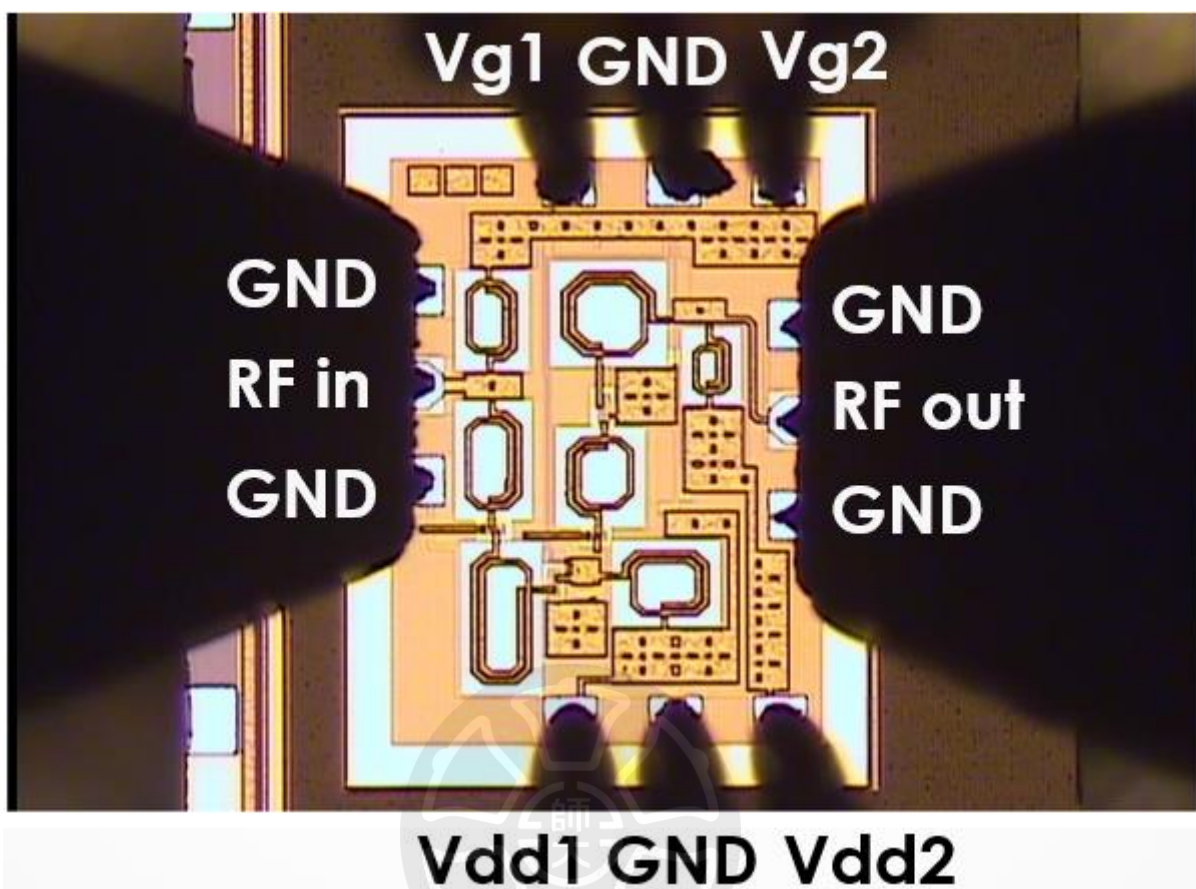


圖 2-47 28 GHz 低雜訊放大器晶片微影圖

圖 2-47 為 28 GHz 低雜訊放大器的晶片微影圖，晶片量測方式採用 on wafer 方式量測並於台灣半導體研究中心進行，使用規格 G-S-G 的 3-pin RF 探針來量測高頻訊號，直流偏壓由電源供應器透過兩組 3-pin 直流探針供給。S 參數使用向量網路分析儀量測，功率特性使用訊號產生器提供訊號源，再透過頻譜分析儀量測輸出訊號，雜訊指數則是用雜訊分析儀進行量測。

圖 2-48 為 28 GHz 低雜訊放大器 S 參數模擬和量測比較圖，在 Vdd 2.4V Vg1 0.8 V Vg2 2V 時量測小訊號增益在 27.2 GHz 有最大增益 14.7 dB，模擬時小訊號增益在 28.1 GHz 有最大增益 18.14 dB，模擬與量測相差 3.44 dB。圖 2-49 為雜訊指數的模擬與量測結果，雜訊指數在 29.8 GHz 模擬時有最小雜訊指數 4.42

dB，並在 26~34 GHz 雜訊指數小於 6 dB，而實際量測時雜訊指數在設計頻段約在 6 dB 左右。直流電壓供應 2.4V，電路直流功率消耗為 10.87mW。

圖 2-50 為線性度的模擬與量測比較，實際量測時 $Op1dB$ 為 -7.25 dBm，模擬時 $Op1dB$ 為 -5.08 dBm。表 2-5 為低雜訊放大器模擬量測比較表。

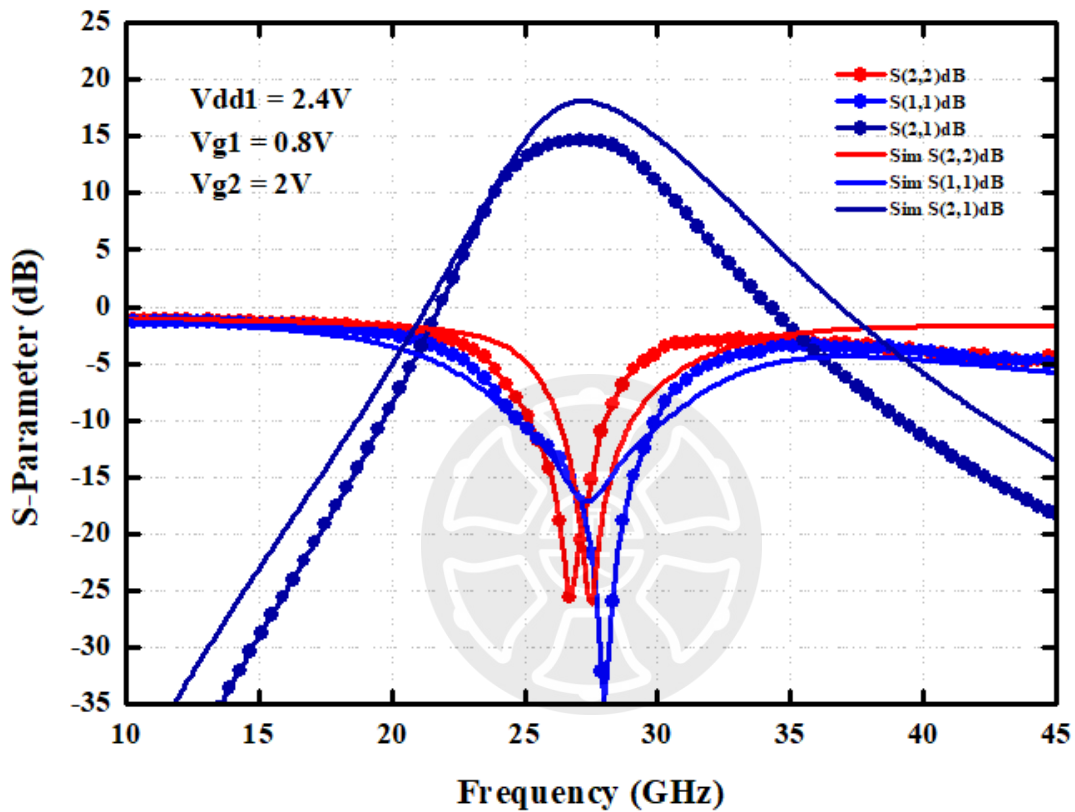


圖 2-48 低雜訊放大器模擬與量測之 S 參數特性比較圖

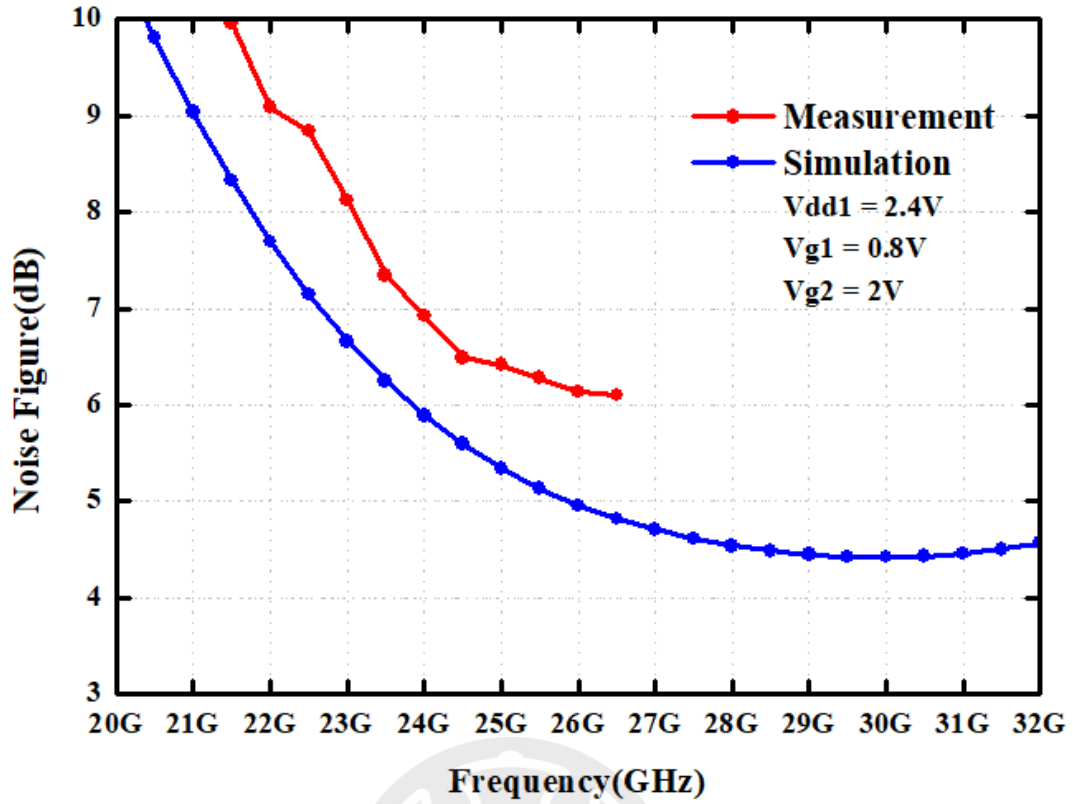


圖 2-49 低雜訊放大器雜訊指數模擬與量測結果

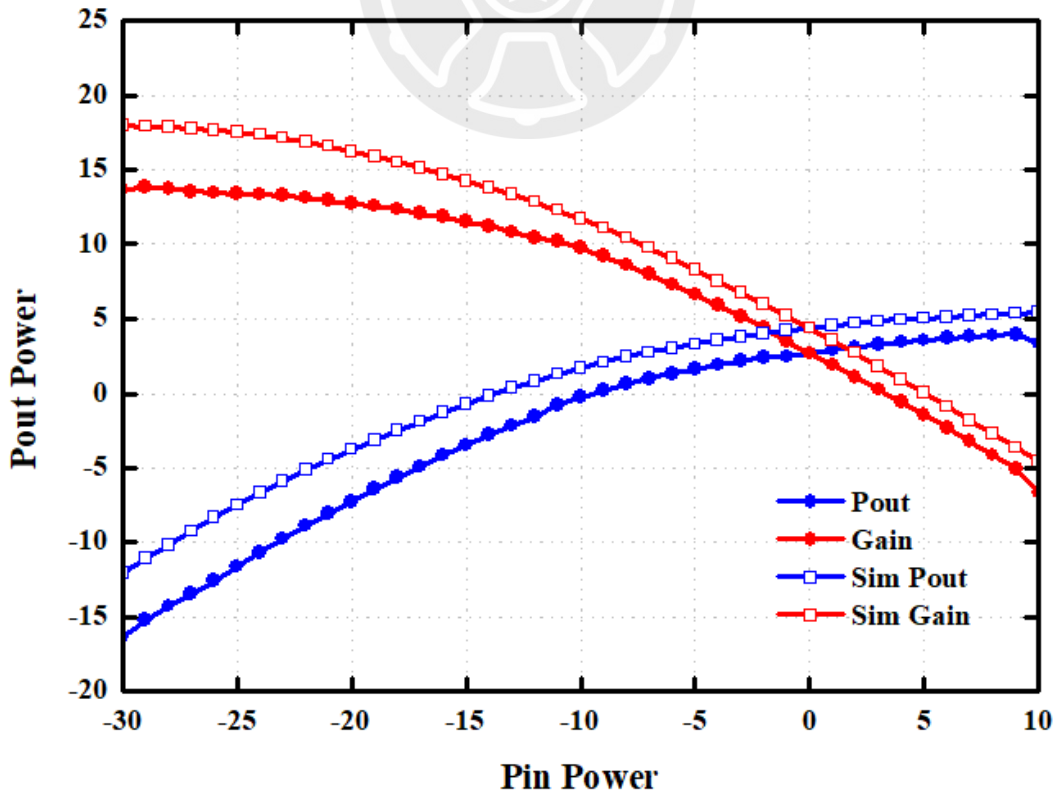


圖 2-50 低雜訊放大器 28 GHz 的 P1dB 模擬與量測結果

圖 2-51 為 28 GHz 低雜訊放大器 S 參數模擬和量測比較圖，在 V_{dd} 2.4V V_{g1} 0.85 V V_{g2} 2.05V 時量測小訊號增益在 27.3 GHz 有最大增益 16.05 dB，模擬時小訊號增益在 28 GHz 有最大增益 19.19 dB，模擬與量測相差 3.14 dB。圖 2-52 為雜訊指數的模擬與量測結果，雜訊指數在模擬時 30 GHz 有最小雜訊指數 4.44 dB，並在 26 ~ 34 GHz 雜訊指數小於 6 dB，而實際量測時雜訊指數在設計頻段約在 6 dB 左右。

圖 2-53 為線性度的模擬與量測比較，實際量測時 $Op1dB$ 為 -6.06 dBm，模擬時 $Op1dB$ 為 -3.86 dBm。

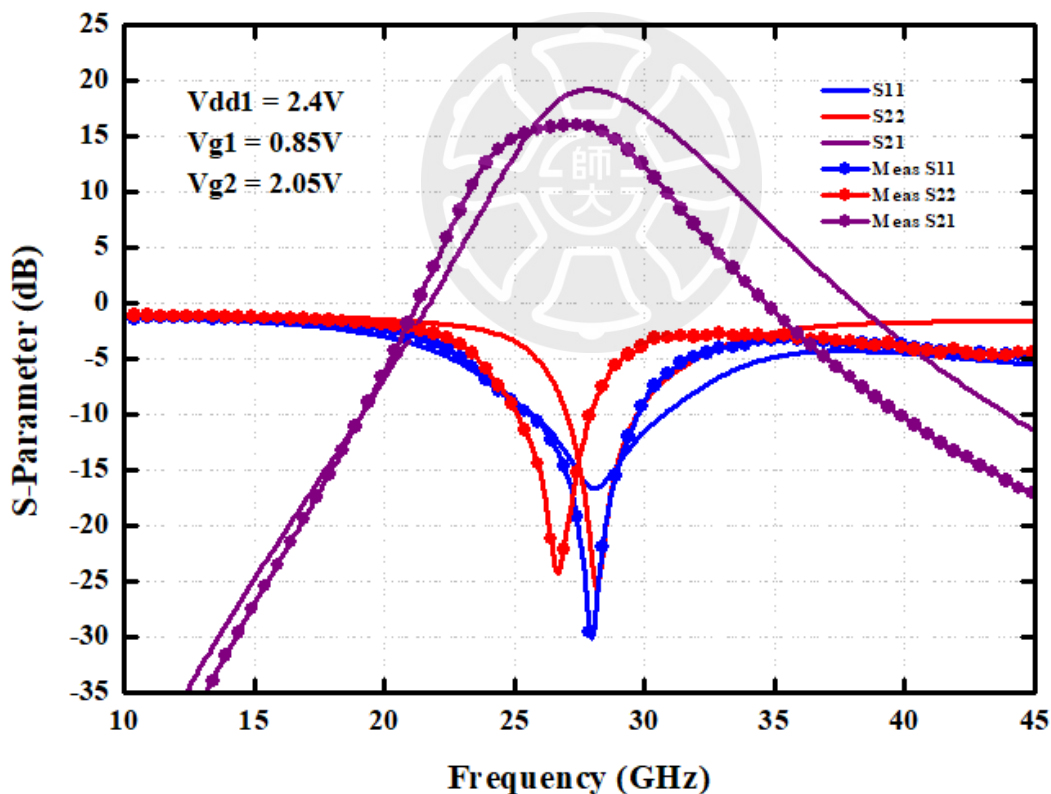


圖 2-51 低雜訊放大器模擬與量測之 S 參數特性比較圖

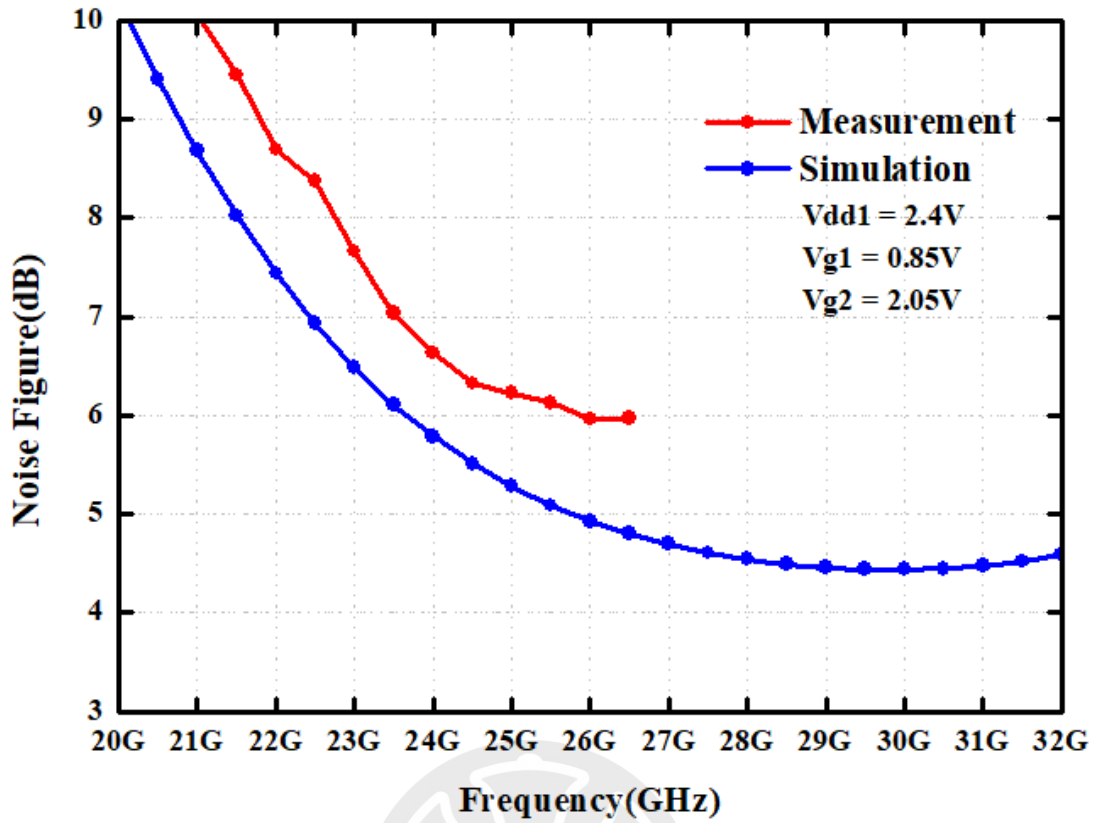


圖 2-52 低雜訊放大器雜訊指數模擬與量測結果

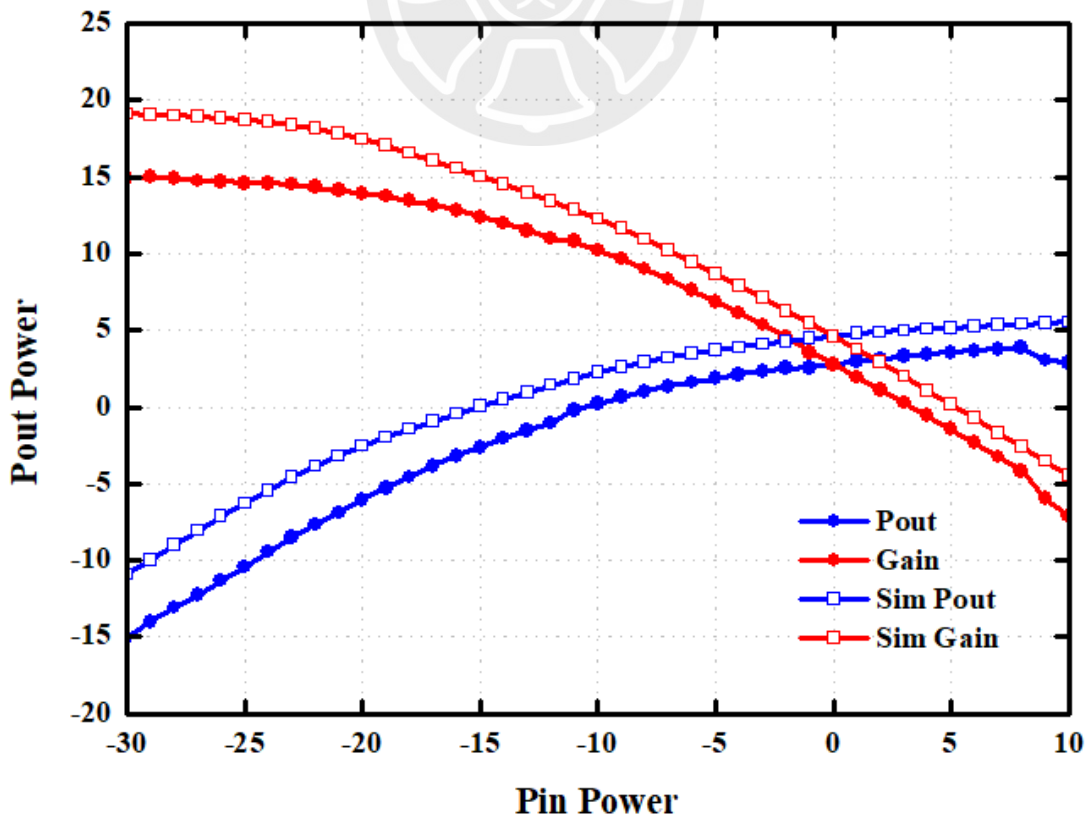


圖 2-53 低雜訊放大器 28 GHz 的 P1dB 模擬與量測結果

圖 2-54 為 28 GHz 低雜訊放大器 S 參數模擬和量測比較圖，在 Vdd 3.4V Vg1 0.8 V Vg2 2.5V 時量測小訊號增益在 27.7 GHz 有最大增益 16.49dB，模擬時小訊號增益在 27.7 GHz 有最大增益 19.84 dB，模擬與量測相差 3.35 dB。圖 2-55 為雜訊指數的模擬與量測結果，雜訊指數模擬時在 30.5 GHz 有最小雜訊指數 4.21 dB，並在 26~34 GHz 雜訊指數小於 6 dB，而實際量測時雜訊指數在設計頻段約在 6 dB 左右。直流電壓供應 3.4V。

圖 2-56 為線性度的模擬與量測比較，實際量測時 Op1dB 為-5.37 dBm，模擬時 Op1dB 為-3.77dBm。

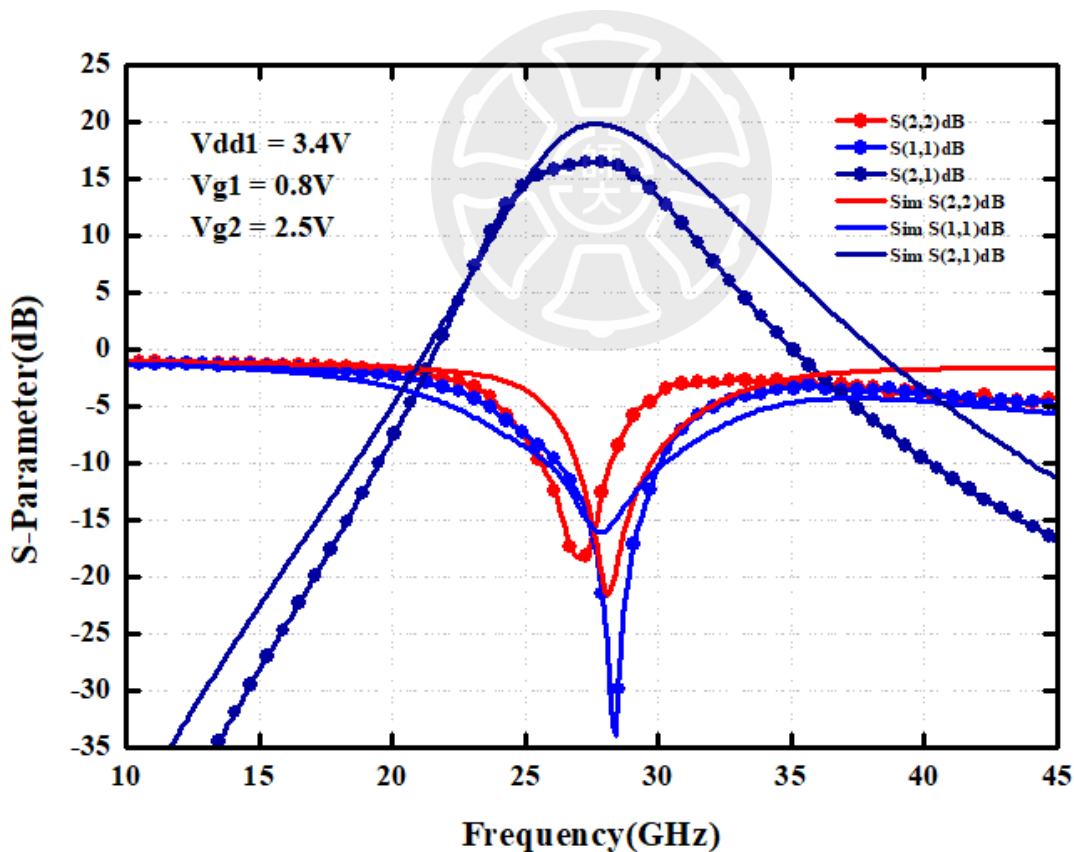


圖 2-54 低雜訊放大器模擬與量測之 S 參數特性比較圖

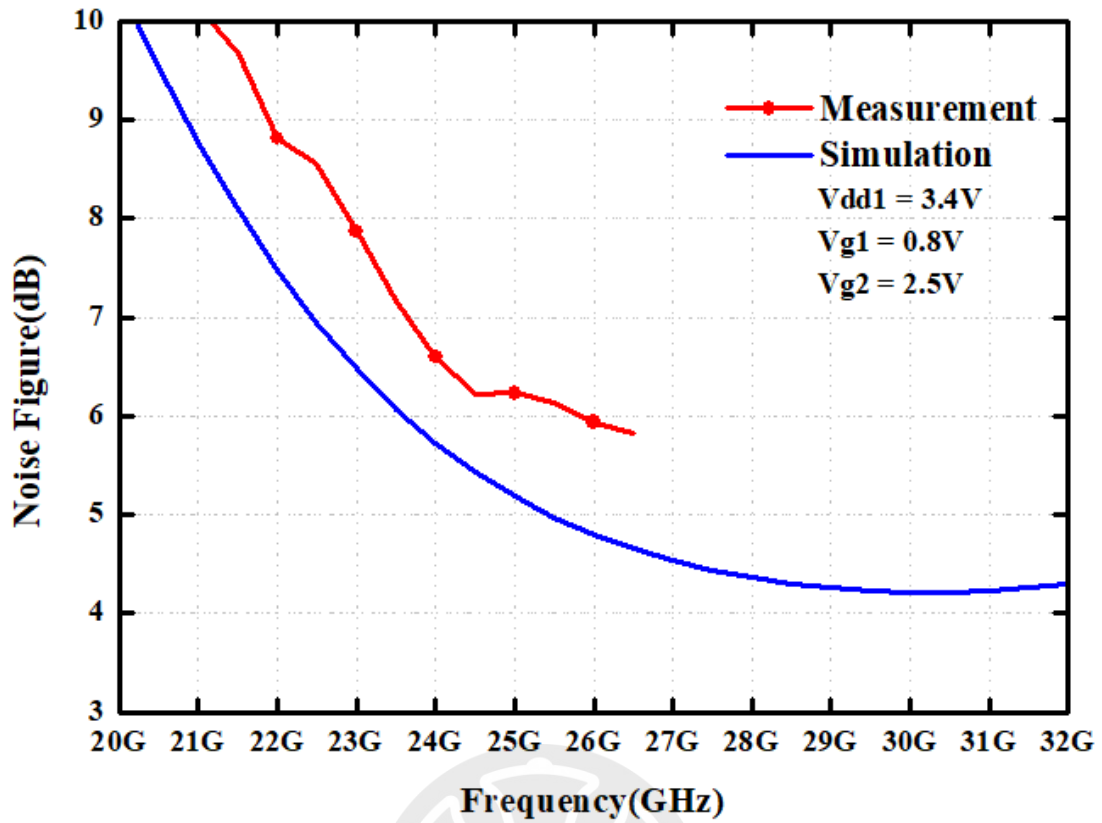


圖 2-55 低雜訊放大器雜訊指數模擬與量測結果

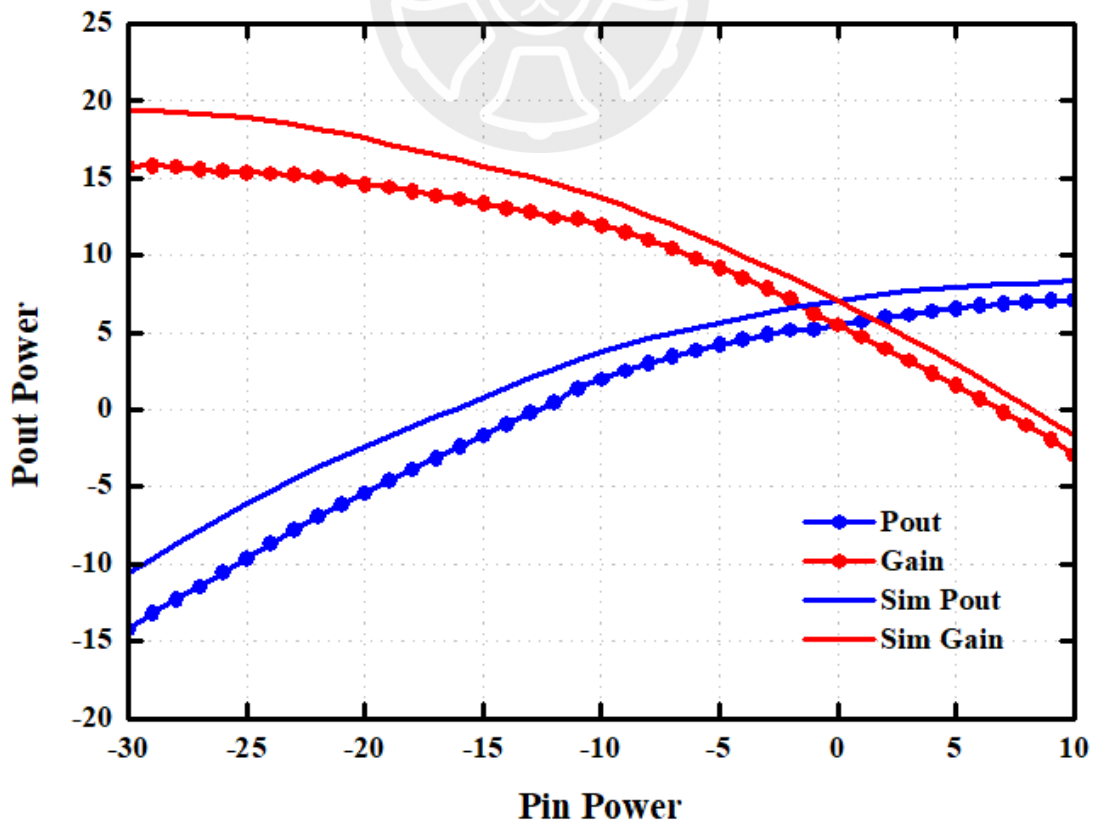


圖 2-56 低雜訊放大器 28 GHz 的 P1dB 模擬與量測結果

表 2-5 低雜訊放大器模擬與量測特性比較表

Parameters		Simulation		Measurement	
Technology		TSMC 180nm CMOS			
Frequency		28 GHz			
Performances	Power supply & Bias	Vdd 3.4 vg1 0.8	Vdd 2.4 vg1 0.8	Vdd 3.4 vg1 0.8	Vdd 2.4 vg1 0.8
	3dB Bandwidth(GHz)	25.5 ~ 30.7 GHz	26.1 ~ 30.8 GHz	24.5 ~ 30.1 GHz	24.4 ~ 29.7 GHz
	Gain (dB)	19.76 (28 GHz)	18.13 (28 GHz)	16.42 (28 GHz)	14.44(28 GHz)
	Input / Output Return Loss (dB)	<-10	<-10	<-10	<-10
	OP _{1dB} (dBm)	-3.77 (28 GHz)	-5.84 (28 GHz)	-5.37 (28 GHz)	-9.73 (28 GHz)
	Noise Figure (dB)	4.21	4.42	≈ 6	≈ 6
	Power consumption	16.45mW	10.87 mW	16.45mW	10.87 mW

2.7 結果與討論

由 2.6 節的圖 2-48 可以看出本次設計的 28 GHz 低雜訊放大器的增益比起模擬來的低，S 參數稍微飄移，在供給偏壓為 $V_{dd} = 2.4V$ $V_{g1} = 0.85V$ $V_{g2} = 0.205V$ 量測時在 27.4 GHz 有最大增益 16.05 dB，模擬時在 28.1 GHz 有最大增益 18.14 dB，模擬相對於量測增益相差 3.44 dB，我們從新檢視晶片佈局，並將電感之間的互感效應和電晶體的製成變異加入考量，如圖 2-58 所示，在考量上述效應後模擬與量測的數據相差不多，由於電感感值變化對增益影響並不大，

因此推測增益下降主要與 0.18- μm CMOS RF Process 的電晶體在 Ka band 頻段表現不佳有關。

M1: 0.18 μm x 2 μm x 14
 M2: 0.18 μm x 2 μm x 26
 M3: 0.18 μm x 2 μm x 14
 M4: 0.18 μm x 2 μm x 26
 Vg1: 0.85V
 Vg2: 2V
 Vdd: 2.4V

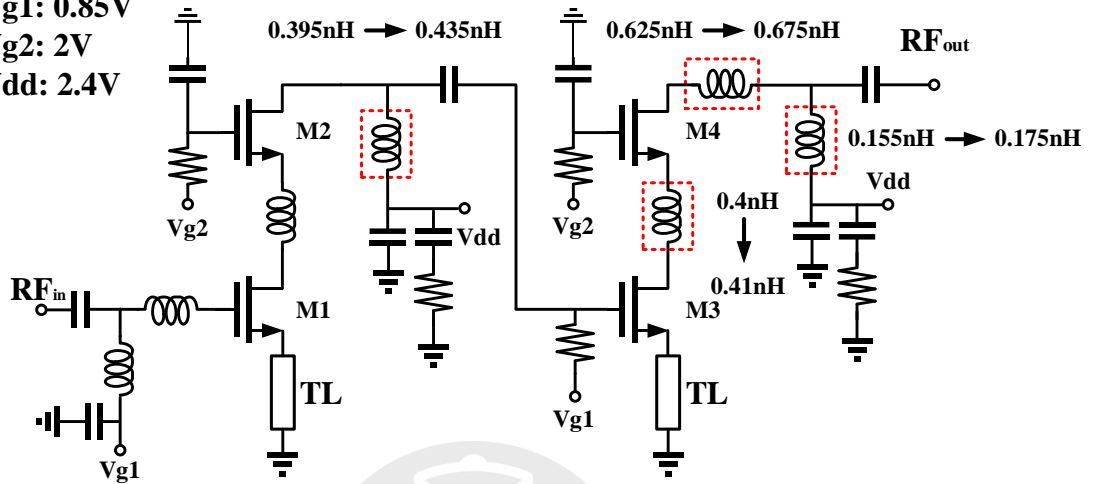


圖 2-57 低雜訊放大器修改後電路圖

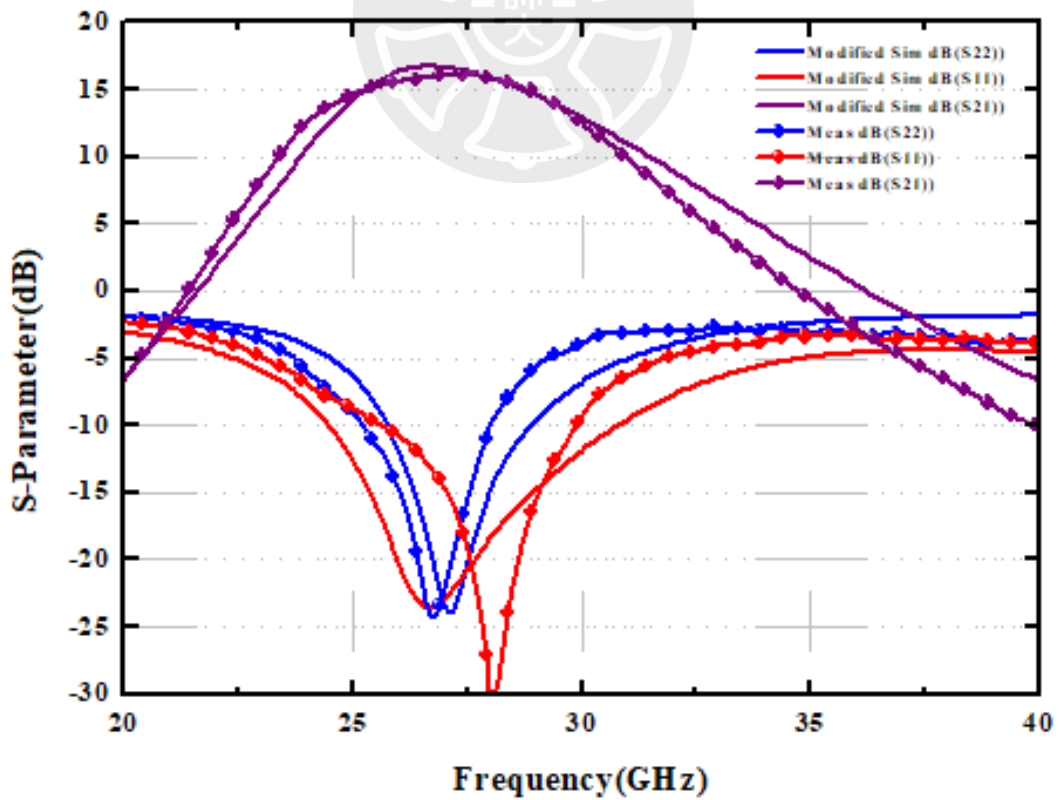


圖 2-58 考量不同效應後 S 參數特性比較

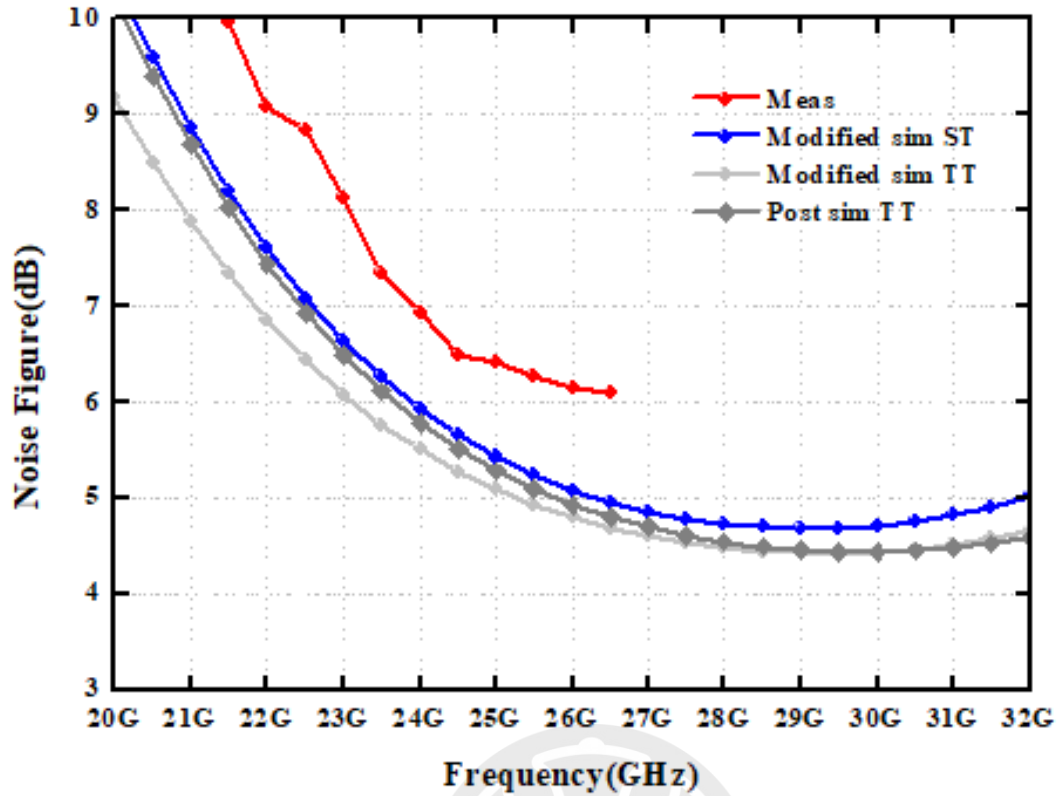


圖 2-59 考量不同效應後雜訊指數特性比較

2.8 總結

本次電路設計實現了一個 28 GHz 低雜訊放大器，結構由兩階串聯疊接組態，並於疊接組態的共源極到共閘極中加上雜訊抑制電感，並於兩階共源極的源極加上源極退化電感來來同時做到共軛匹配跟雜訊匹配。供應 2.4V 的工作電壓，消耗直流功率為 10.78 mW。整體晶片面積為 $615\mu\text{m} \times 410\mu\text{m}$ ，量測時在 27.2 GHz 偏壓 $V_{g1} = 0.85\text{V}$ 時有最大增益 16.05 dB，雜訊指數在設計頻段約在 6 dB 以下。量測線性度在輸入訊號頻率 28 GHz、供應 2.4V 的工作電壓、偏壓 $V_{g1} = 0.85\text{V}$ 時 $Op1\text{dB}$ 為 -6.06 dBm。

表 2-6 低雜訊放大器與已發表論文之比較表

Ref.	Process	Topology	Freq. (GHz)	Peak Gain (dB)	NF(dB)	OP1dB (dBm)	Power consumption (mW)	FOM	Chip size (mm*mm)
[29] (2018)	45nm SOI CMOS	Cascode	24 ~ 28	12.8 ~ 14	1.3 ~ 1.6	N/A	15	6.2	0.3
[30] (2019)	130 nm SiGe BiCMOS	Cascode	28	16.2	2.8	-12	8.2	1.09	0.1
[8] (2019)	65 nm CMOS	1 stage CS + 1 stage Cascode	24.9 ~ 32.5	18.3	3.25~4.2	-24	20.5	2.12	0.11
[10] (2011)	0.18 μ m CMOS	CG + 2 stage CS	14.3 ~ 29.3	8.25 \pm 1.65	4.3-5.8	-12	13.9	1.85	0.54
[31] (2004)	90 nm SOI CMOS	Cascode	26 ~ 42	11.9 \pm 3	3.6 ~ 4	4	40.8	26.2	0.18
This work	0.18 μ m CMOS	2 stage Cascode	24.4 ~ 29.3	16.05	\approx 6	-6.06	10.87	7.21	0.252



第三章 28 GHz 鏡像抑制混頻器設計

本章將介紹一個 28 GHz 鏡像抑制混頻器(IR Mixer)，利用耦合器與馬相巴倫，將 LO 訊號分成 0° 、 90° 、 180° 、 270° 四個相位訊號，將 I/Q 訊號分別饋入兩個混頻器，透過相差 180° 的訊號，來抑制由混頻後產生的鏡像訊號(Image Tone)，以提升整體系統的靈敏度以及增加系統的接收範圍，本晶片採用 TSMC 180nm CMOS RF 製程模擬驗證並實現。混頻器核心電晶體的偏壓為 0.6V，在本地震盪(LO)功率為 3 dBm、中頻(IF)頻率為 3 GHz 時，頻帶約為 24 ~ 32 GHz，增益範圍為 -22.648 ~ -19.914 dB，在 RF 頻率為 28.5 GHz 時，有最佳的鏡像抑制 -51.76 dB。整體晶片佈局面積為 $800\mu\text{m} \times 700\mu\text{m}$ 。

3.1 簡介

不論在任何射頻收發系統中混頻器都是不可或缺的重要元件，混頻器主要利用電晶體的非線性特性進行混頻。如圖 3-1 所示，LO 與 RF 訊號輸入混頻器後混合轉換成 IF 訊號，混頻器會同時對兩個訊號同時進行降頻將他們混成同一頻率的 IF 訊號，進而造成訊號頻譜重疊。這兩個訊號分別是 $\omega_{RF} = \omega_{LO} + \omega_{IF}$ 和 $\omega_{RF} = \omega_{LO} - \omega_{IF}$ ，一般而言我們將 $\omega_{RF} = \omega_{LO} + \omega_{IF}$ 定義為所需訊號(Desired Singal)， $\omega_{RF} = \omega_{LO} - \omega_{IF}$ 定義為鏡像訊號(Image Singal)。混頻器是一三端元件，三端輸入的訊號分別為本地震盪(Local Oscillator, LO)端、中頻(Intermediate Frequency, IF)端、射頻(Ratio Frequency, RF) 端，以升頻器而言，輸入端為 IF 和 LO 訊號，輸出端為 RF 訊號；如果是降頻器輸入端則為 RF 和 LO 訊號，輸出端為 IF 訊號。本次設計為一鏡像抑制混頻器(IR Mixer)，並取所需訊號($\omega_{RF} = \omega_{LO} + \omega_{IF}$)作為主訊，當降頻器要進行降頻時，需由天線將 RF 訊號接收進來，在環境中有另一個不同頻率的 RF 訊號天線也會將其接收進來，在一般情況下其他不同頻率的 RF 訊號混頻產生的 IF 訊號頻率與所需 IF 訊號有一定的間隔，

能由濾波器進行濾除，但若接收的為鏡像訊號($\omega_{RF} = \omega_{LO} - \omega_{IF}$)降頻所產生的 IF 訊號頻率會與所需 IF 訊號會正好在同一頻率上，此時我們將這會與主訊號產生相同頻率 IF 訊號的 RF 訊號($\omega_{RF(IM)} = \omega_{LO} - \omega_{IF}$)稱為鏡像訊號。

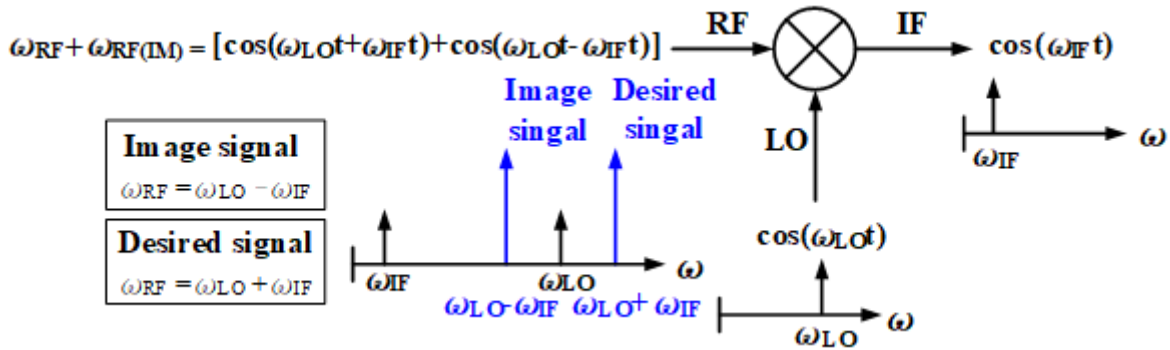


圖 3-1 混頻器之工作原理

3.2 混頻器之架構

混頻器的設計中，主要分為被動式混頻器以及主動式混頻器兩大類。被動式混頻器主要是透過二極體或電晶體操作於線性區來進行混頻，主動式混頻器則是將電晶體操作於主動區來進行混頻，兩大種類各有優劣，被動式混頻器擁有較寬的轉換增益頻寬、高線性度和不消耗任何功率等優勢，但因為電晶體操作於線性區並不能提供太多轉換增益，導致動式混頻器有轉換損耗的缺點，相對而言主動式混頻器則有較高的轉換增益有些甚至能在系統中提供增益，但同時也會有消耗較大功率、低線性度和較窄的轉換增益頻寬等劣勢。

混頻器在結構方面可在分成三大類，分別為單端輸入輸出混頻器(Single-Ended Mixer)、單端平衡混頻器(Single-Balanced Mixer)和雙端平衡混頻器(Double-Balanced Mixer)。

3.2.1 單端輸入輸出混頻器(Single-Ended Mixer)

圖 3-2 為簡易混頻器架構圖，為單端平衡結構，以二極體或將電晶體操作於線性區進行混頻，其中 LO 和 IF 通常通過雙工器(diplexer)輸入，有些情況會

使用方向耦合器或分合器來取代雙工器來使兩訊號端有較好的隔離度，二極體兩端會加上電容來做直流阻隔，在一般情況下二極體會操作在 0.7V 由 RF 抗流圈供應，接著在 LO 和 IF 端加上匹配網路並於輸出端加上濾波器來濾除不需要的諧波項，若需升頻將 RF 和 IF 掉換即可。

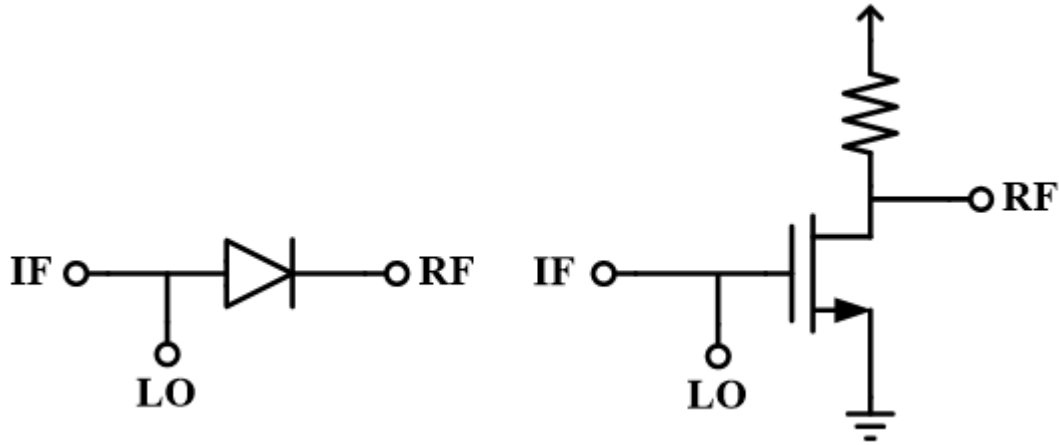


圖 3-2 單端輸入輸出混頻器架構圖

3.2.2 單端平衡混頻器(Single-Balanced Mixer)

圖 3-3 和圖 3-4 分別為以二極體及電晶體構成的單端平衡結構，單端平衡結構可以 90° 或 180° 的耦合器構成，當 LO、RF 端以差動的形式輸入訊號時，由於訊號混頻而產生的諧波項能因此被消除，在使用 90° 或 180° 的耦合器的結構上，由於使用 90° 耦合器的混頻器在訊號耦合過程中，LO、RF 端的訊號會互相耦合，導致兩端的訊號漏到另一端，相對於使用 180° 的耦合器結構用 90° 耦合器的混頻器的隔離度相對較差，但優點是 90° 耦合器能在 RF 端消除反射，代表 RF 端較容易匹配，總體而言不論是使用 90° 或 180° 的耦合器的單端平衡結構都比單端輸入輸出結構有較好的隔離度。

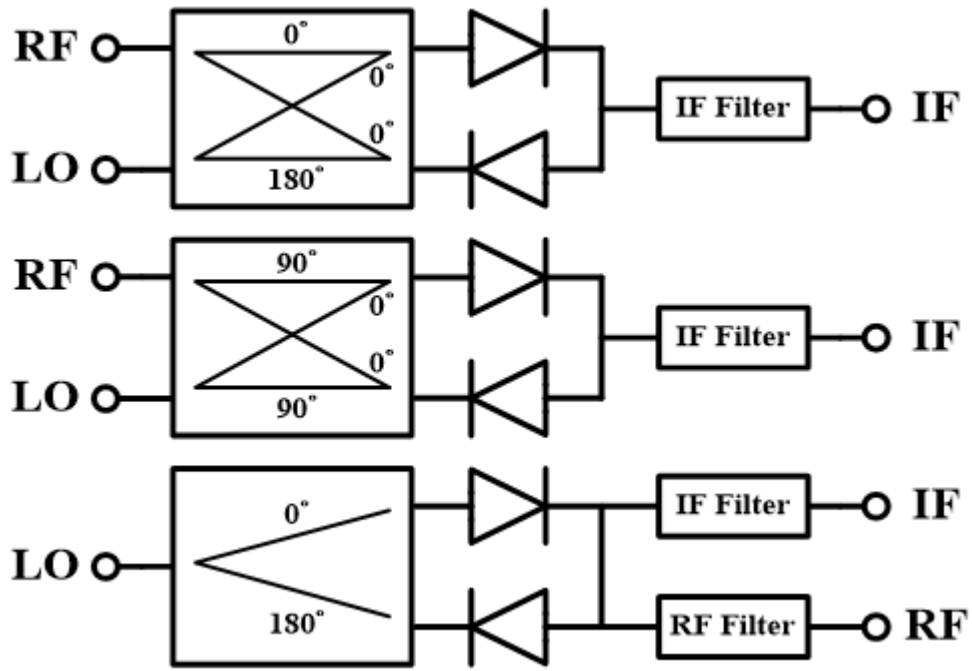


圖 3-3 二極體單端平衡混頻器架構圖

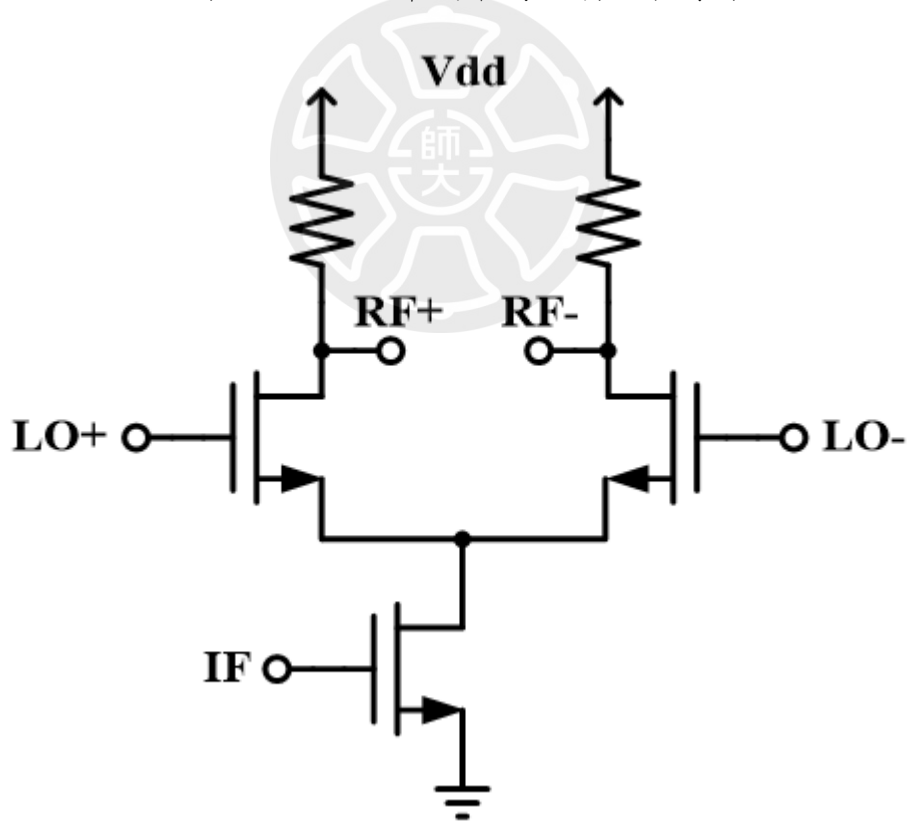


圖 3-4 電晶體單端平衡混頻器架構圖

3.2.3 雙端平衡混頻器(Double-Balanced Mixer)

圖 3-5 為雙端平衡混頻器架構，又稱為吉伯特混頻器(Gilbert-Cell Mixer)，是最常被使用的架構，在混頻器三端都使用差動訊號，可以在輸出端消除不需要的混頻諧波項，並且改善了單端平衡 LO 對 RF 端隔離度不佳的情形，透過 LO 訊號的正負半週來輪流開啟差動對的電晶體，下方的電晶體操作於飽和區主要用於放大輸入訊號，IF 和 LO 端要做阻抗匹配，並須 RF 端給予 LO 訊號到地的路徑，通常會在下方電晶體會加上電流源或退化阻抗元件，但由於 LO 端需供應兩組差動對相對其他結構 LO 訊號會需要消耗更多的功率。

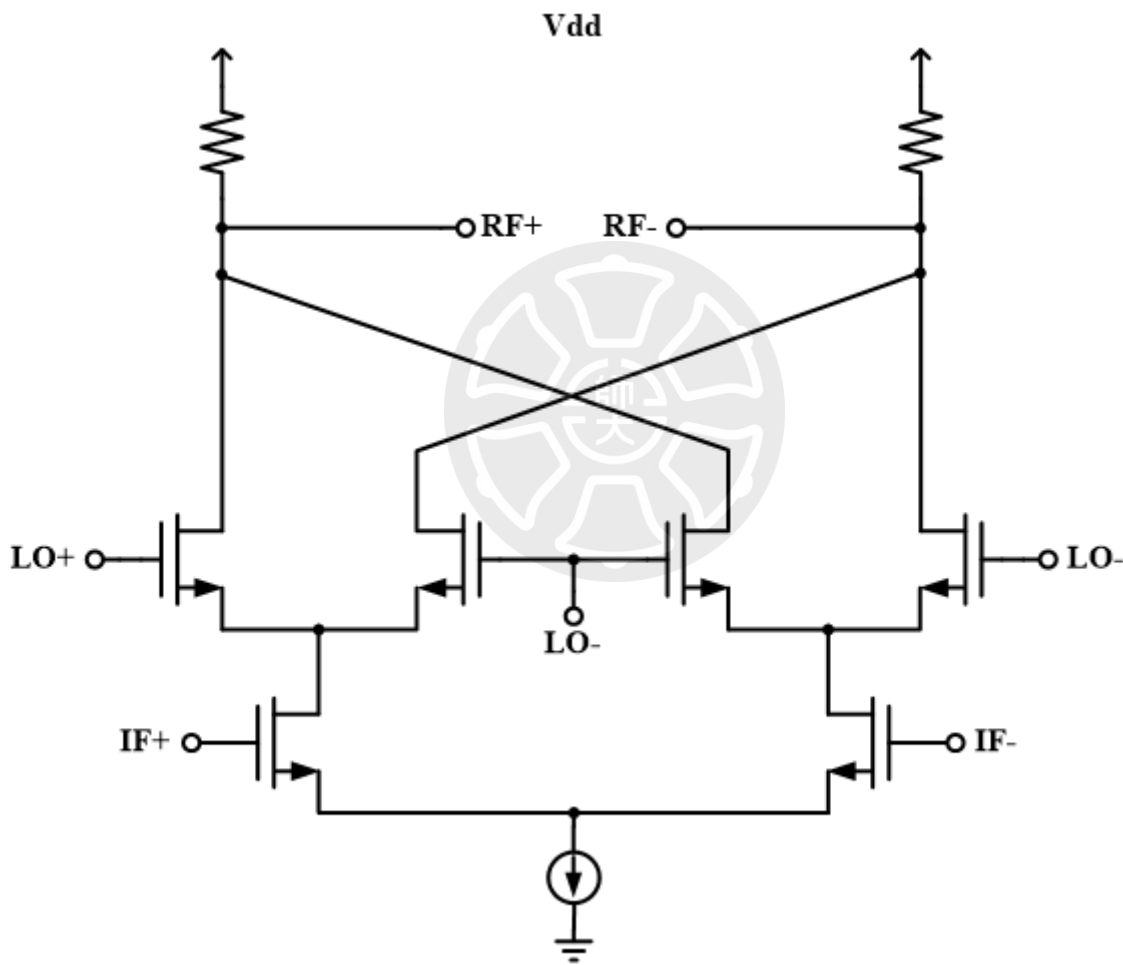


圖 3-5 電晶體雙端平衡混頻器架構圖

3.2.4 被動電阻式環形混頻器(Passive Resistive Ring Mixer)

本次設計所使用之混頻器結構，接收機所需混頻器需可以在較小的 LO 驅動功率之下，能有較好的轉換增益頻寬及隔離度，故選擇被動雙端平衡式架構

的被動電阻式環形混頻器作為混頻器結構，圖 3-6 為其架構圖。電晶體 M1~M4 的偏壓操作在三極區其特性類式開關，輸入端 LO 訊號的擺幅可讓這四顆電晶體當作可變電阻，利用此特性來進行混頻，且因為電晶體供應電壓 $V_{ds}=0$ V，所以不會有直流功率消耗。

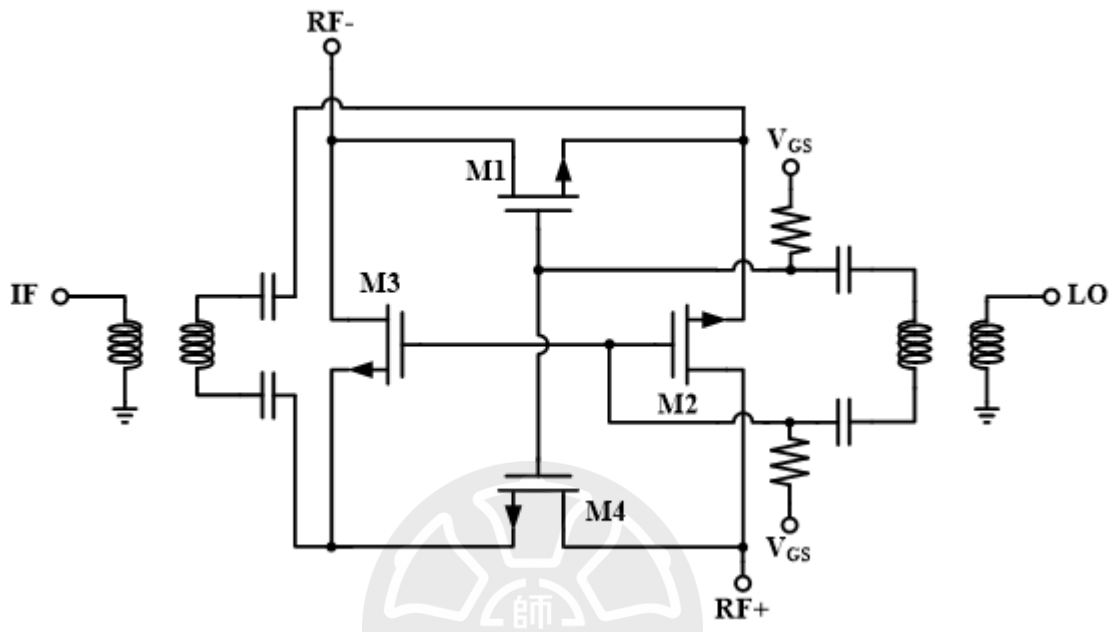


圖 3-6 被動電阻式環形混頻器架構圖

3.2.5 鏡像抑制混頻器(Image-Rejection Mixer, IR Mixer)

透過前一節的介紹，混頻器會同時對兩個頻率的訊號降頻，其中一個 RF 頻率是我們所需主要訊號，另一個則為鏡像訊號(Image Tone)，鏡像訊號(Image Tone)會對射頻接收器造成干擾，本章節會提出一種能抑制鏡像訊號混頻器架構。

鏡像抑制混頻器的主要由兩顆混頻器、合成器和耦合器組成，圖 3-7 是鏡像抑制混頻器的運作原理。在 RF 端會同時對主訊號和鏡像訊號降頻，兩訊號降頻後會落於同一中頻頻率上，由鏡像訊號降頻後產生中頻頻率並非我們所需訊號，但其又與主頻訊號產生的中頻頻率在同一頻率點上無法由濾波器消除，

為了消除鏡像訊號產生的干擾，本次論文採用 I/Q path Mixer 作為接收器中的降頻器。

RF 端同時收到主頻訊號和鏡像訊號

$$RF = A_{RF}(t) \cos(\omega_{LO} + \omega_{IF})t + A_{IM}(t) \cos(\omega_{LO} - \omega_{IF})t \quad (3-1)$$

RF 訊號分為 I path 與 Q path 與 LO 訊號做混頻

$$\begin{aligned} \text{I path signal} &= \frac{1}{2}A_{RF}(t)[\cos(2\omega_{LO} + \omega_{IF})t + \cos(\omega_{IF})t] \\ &+ \frac{1}{2}A_{IM}(t)[\cos(2\omega_{LO} - \omega_{IF})t + \cos(\omega_{IF})t] \end{aligned} \quad (3-2)$$

$$\begin{aligned} \text{Q path signal} &= \frac{1}{2}A_{RF}(t)[\sin(2\omega_{LO} - \omega_{IF})t - \sin(\omega_{IF})t] \\ &+ \frac{1}{2}A_{IM}(t)[\sin(2\omega_{LO} - \omega_{IF})t + \sin(\omega_{IF})t] \end{aligned} \quad (3-3)$$

Q path signal 經過 90 度相位轉換後與 I path signal 的鏡像訊號相互抵消

$$\begin{aligned} \text{Q path signal} + 90^\circ &= \frac{1}{2}A_{RF}(t)[- \cos(2\omega_{LO} - \omega_{IF})t + \cos(\omega_{IF})t] \\ &+ \frac{1}{2}A_{IM}(t)[- \cos(2\omega_{LO} - \omega_{IF})t - \cos(\omega_{IF})t] \end{aligned} \quad (3-4)$$

$$\text{I path signal} + (\text{Q path signal} + 90^\circ) = A_{RF}(t)\cos(\omega_{IF})t \quad (3-5)$$

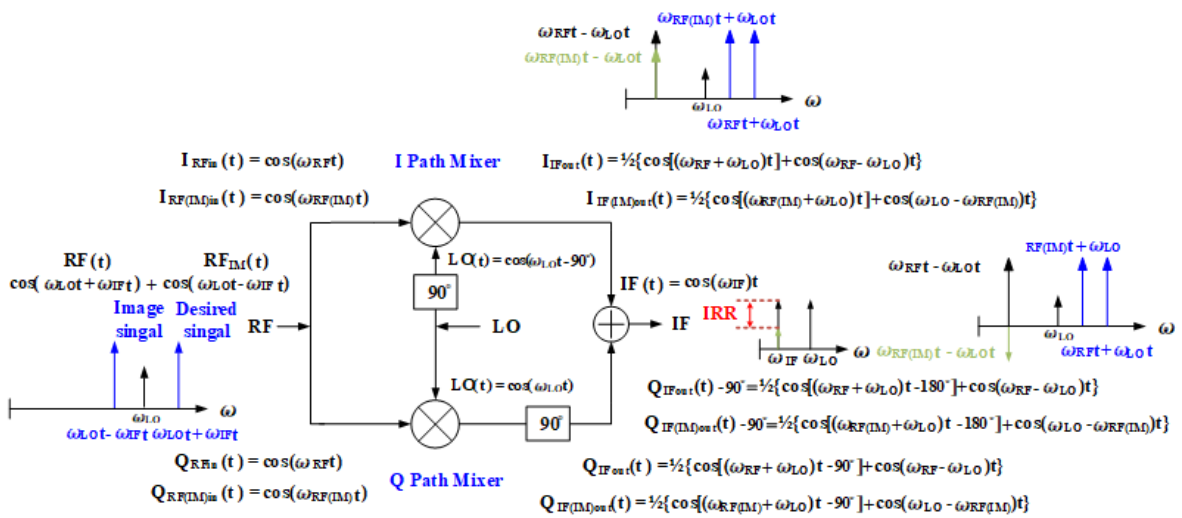


圖 3-7 鏡像抑制混頻器之工作原理

3.3 鏡像抑制混頻器之設計參數

在鏡像抑制混頻器設計中，重要的設計考量有轉換增益/損耗(Conversion Gain/Loss)、線性度(Linearity)、鏡像拒斥比(Image Rejection Ratio)和隔離度(Isolation)，以下將分別介紹各個參數。

3.3.1 轉換增益/損耗(Conversion Gain/Loss)

轉換增益為輸出訊號功率與輸入訊號功率的比例，如果輸入到輸出訊號訊號沒有放大而是相對損耗較少，稱為轉換損耗(Conversion Loss)，如有放大，則稱為轉換增益(Conversion Gain)，(3-6)式為混頻器轉換增益，RF 端為輸入訊號，IF 端為輸出訊號，單位以 dB 表示。

$$\text{Conversion Gain (dB)} = \text{IF Power (dBm)} - \text{RF Power (dBm)} \quad (3-6)$$

3.3.2 線性度 (Linearity)

混頻器的轉換增益理想上可以不斷增加，由於電晶體的非理想效應，當輸入訊號功率增加，而輸出未能隨著輸入訊號功率跟著增加，混頻器中的非線性效應慢慢浮現，由圖 3-8 可看到當轉換增益較線性區的轉換增益下降 1dB 時稱為 1-dB 壓縮點(P1dB)，此時輸入訊號的功率稱為 IP1dB，輸出功率稱為 OP1dB。在 1-dB 壓縮點(P1dB)前為線性區，1-dB 壓縮點後為非線性區。

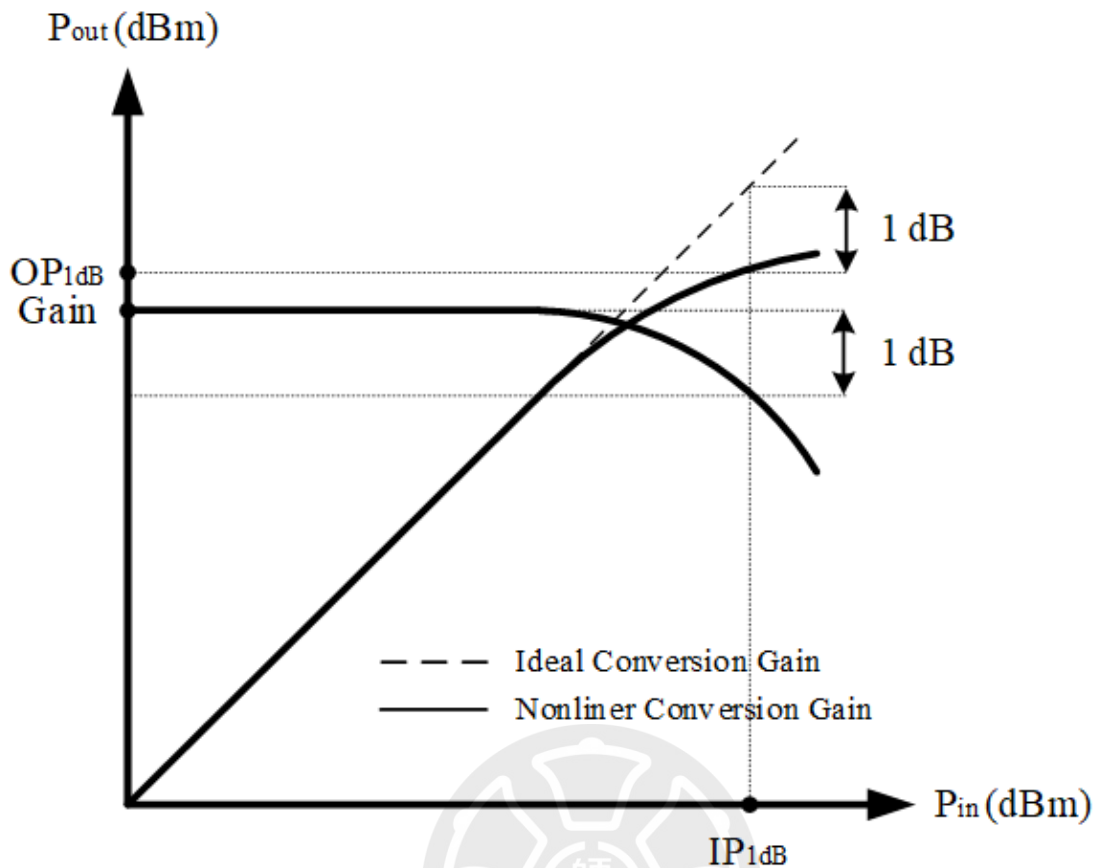


圖 3-8 1-dB 壓縮點示意圖

3.3.3 鏡像拒斥比(Image Rejection Ratio, IRR)

在前一節有提到混頻器會將主頻訊號和鏡像訊號同時降頻，兩訊號分別經過 I Path 混頻器和 Q Path 混頻器，兩路相差 90° 相位的訊號經過兩路的混頻器能在輸出混出相差 180° 相位的由鏡像訊號產生的 IF 訊號，兩路合併後兩路由鏡像訊號產生的 IF 訊號會互相抵消，如圖 3-9 所示，鏡像拒斥比為主頻訊號和鏡像訊號之間的比值，鏡像拒斥比越大表示所設計的混頻器能將鏡像訊號抑制的越好，因鏡像訊號產生的干擾也相對減少。

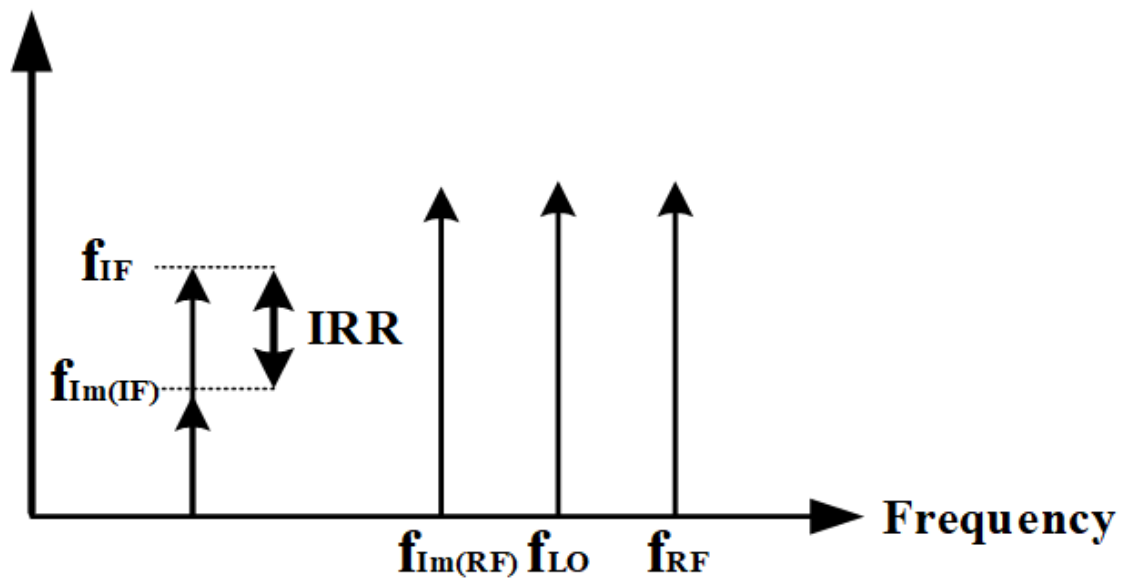


圖 3-9 鏡像拒斥比示意圖

3.3.4 隔離度(Isolation)

混頻器為三端元件，要計算埠對埠的隔離度(port to port isolation)需只在一端打入訊號，在到其他端量測從訊號輸入端漏過去的訊號，並將量測到訊號與輸入訊號取比值，原則上在設計時會希望埠對埠的隔離度(port to port isolation)要越大越好，隔離度愈好代表各端的訊號不易對其他端產生干擾，但由於電路內部的電容寄生效應，無法把每個埠之間做出完全的隔離，其中驅動功率最大的 LO 端會對隔離度造成最大影響，因此 LO 對 RF 或 IF 的隔離度需要特別注意。

$$\text{LO to IF Isolation} = 10 \log \frac{\text{LO Power at IF Port}}{\text{LO Power at LO Port}} \text{ (dB)}$$

$$\text{LO to RF Isolation} = 10 \log \frac{\text{LO Power at RF Port}}{\text{LO Power at LO Port}} \text{ (dB)}$$

$$\text{RF to LO Isolation} = 10 \log \frac{\text{RF Power at LO Port}}{\text{RF Power at RF Port}} \text{ (dB)}$$

$$\text{RF to IF Isolation} = 10 \log \frac{\text{RF Power at IF Port}}{\text{RF Power at RF Port}} \text{ (dB)} \quad (3-3)$$

3.4 鏡像抑制混頻器設計

圖 3-10 為鏡像抑制混頻器的整體電路架構圖，鏡像抑制混頻器主要是有 LO 端的由耦合器與 Marchand Balun 組成的四個相位產生器、將 IF 端四個相位合成差動訊號的多相濾波器和合併 RF 輸出端的威爾金森功率合成器所組成，以下將對這些元件進行介紹。

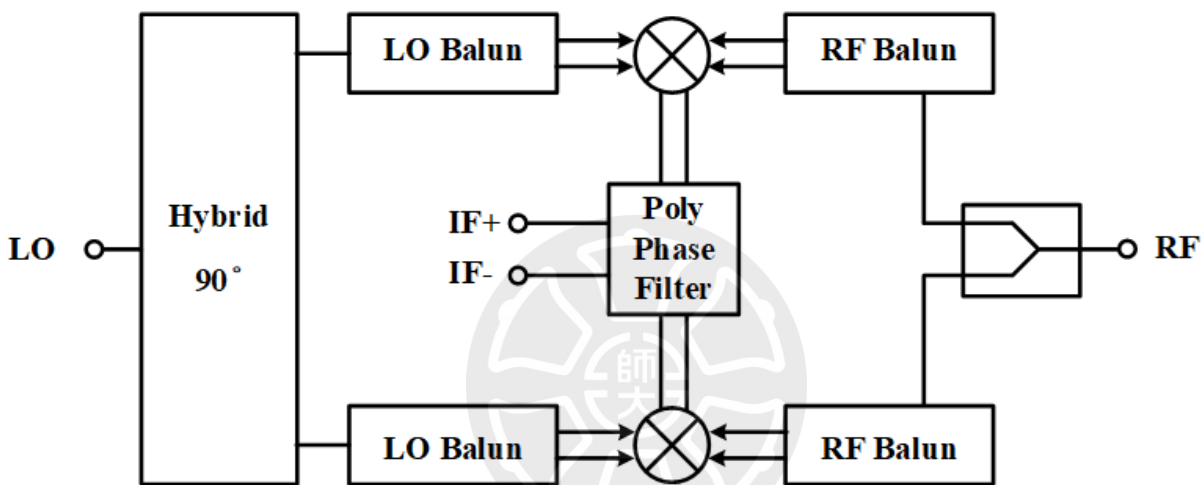


圖 3-10 鏡像抑制混頻器整架構圖

3.4.1 混頻器電晶體尺寸與偏壓分析選擇

鏡像抑制混頻器由 I Q 兩路的混頻器所組成，兩路除了相位不同架構基本一致，因此我們會先從單路混頻器開始設計，本次設計採用被動電阻式環形混頻器的結構。下面小節將選擇混頻器的電晶體尺寸與偏壓。圖 3-11 為在不加任何偏壓的情況下，LO 功率對上轉換增益比較圖。圖 3-12~圖 3-15 分別為在通道寬度固定為 $2\mu\text{m}$ 、 $4\mu\text{m}$ 、 $6\mu\text{m}$ 、 $8\mu\text{m}$ 下，對不同指叉數為 2、4、8、16、32 作圖，其中由 $2\mu\text{m} \times 8$ 、 $4\mu\text{m} \times 4$ 這兩種電晶體尺寸組合表現較好，在 LO 驅動功率為 3 dBm 時，轉換增益對 RF 頻率的特性比較，如圖 3-16 所示。

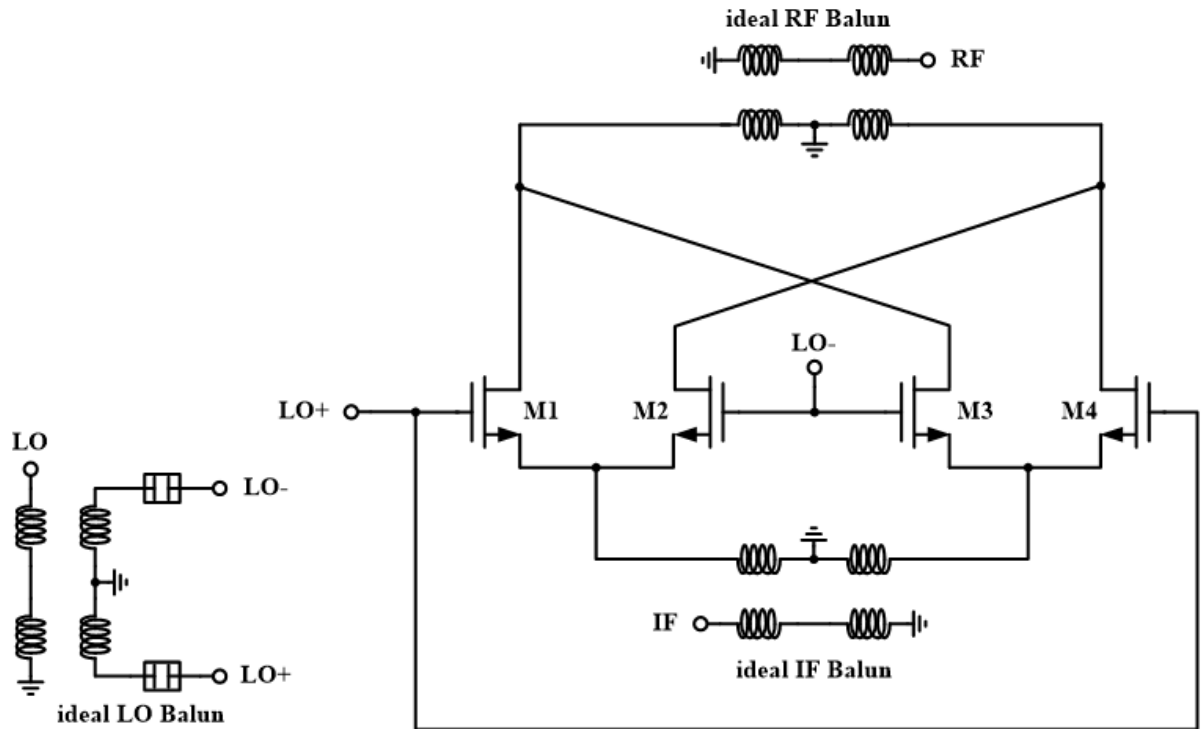


圖 3-11 不加任何偏壓之環形混頻器架構圖

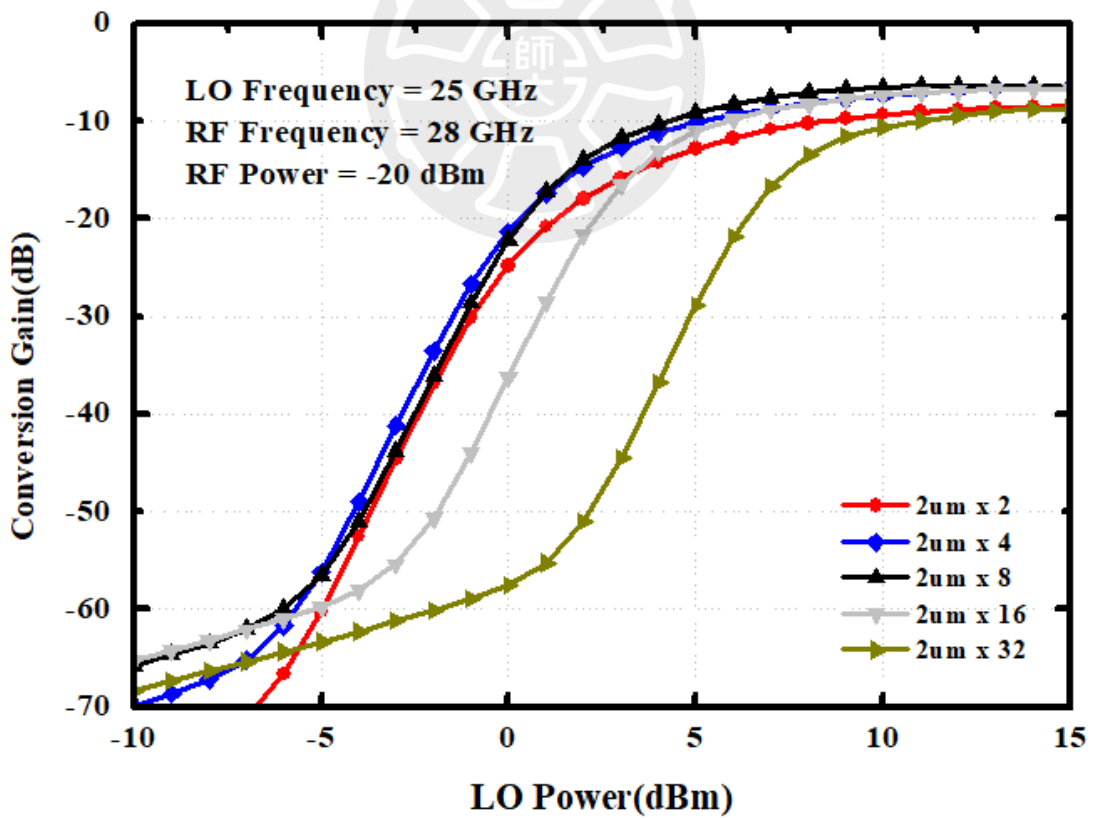


圖 3-12 固定寬度為 2 μm 不同指叉數下轉換增益對 LO 驅動功率作圖

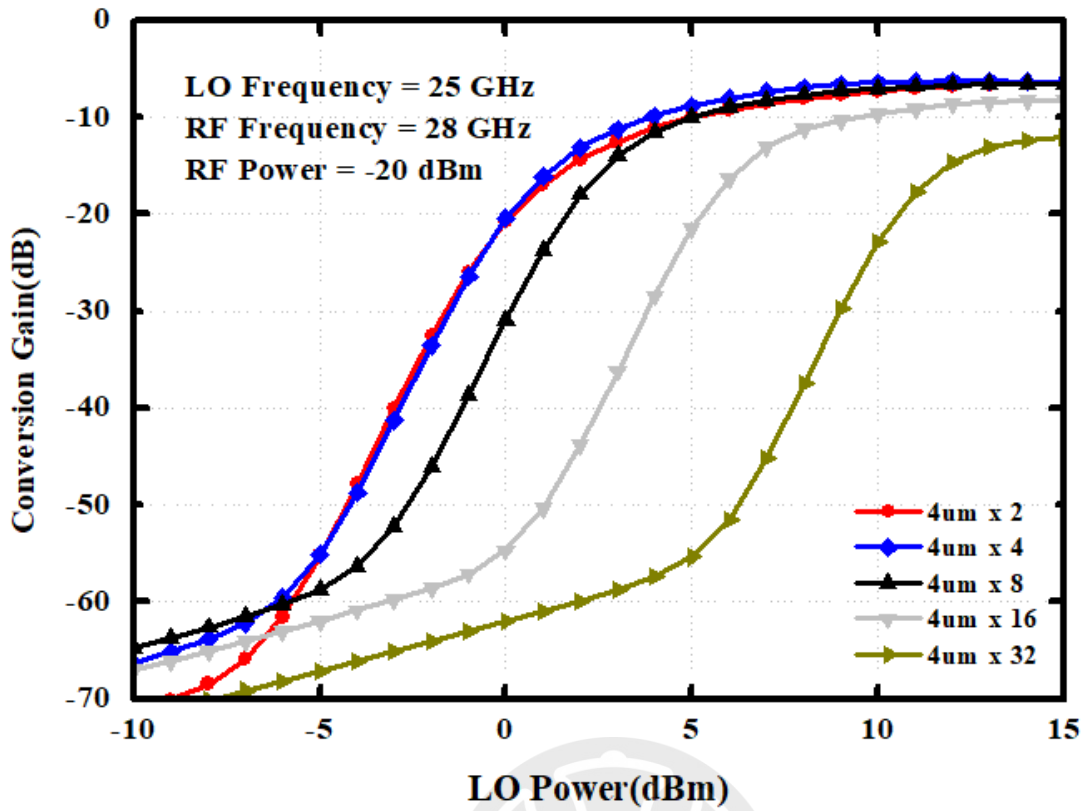


圖 3-13 固定寬度為 4 μm 不同指叉數下轉換增益對 LO 驅動功率作圖

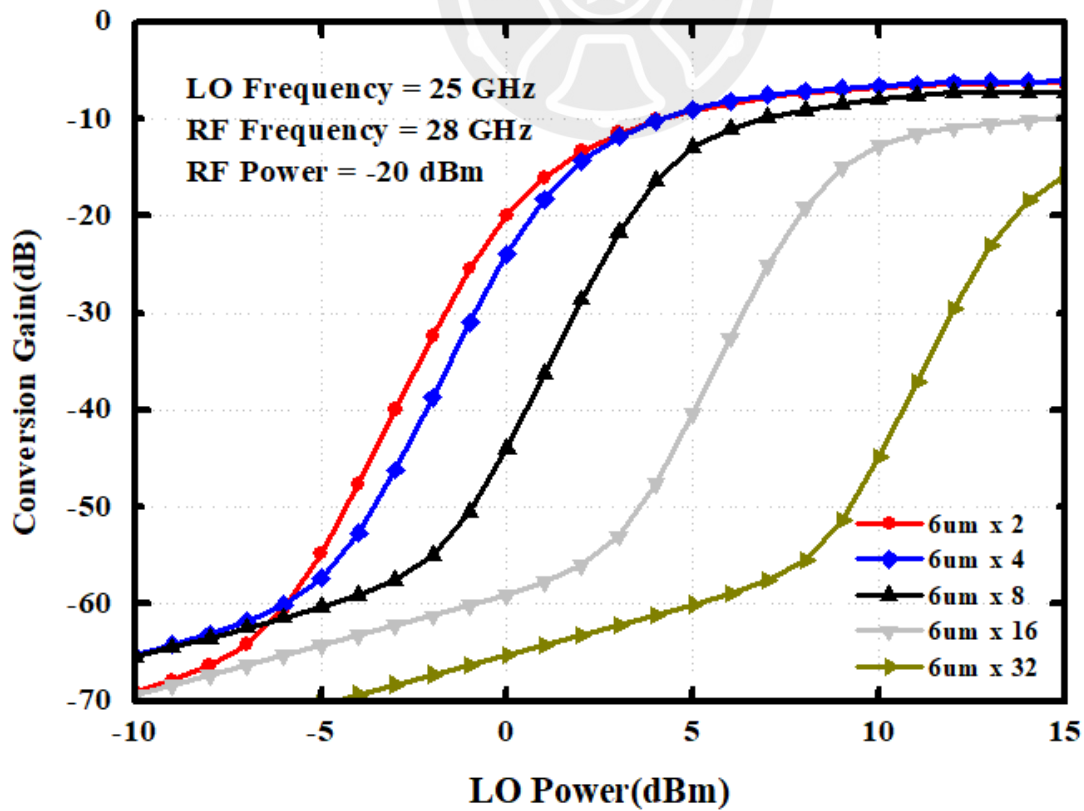


圖 3-14 固定寬度為 6 μm 不同指叉數下轉換增益對 LO 驅動功率作圖

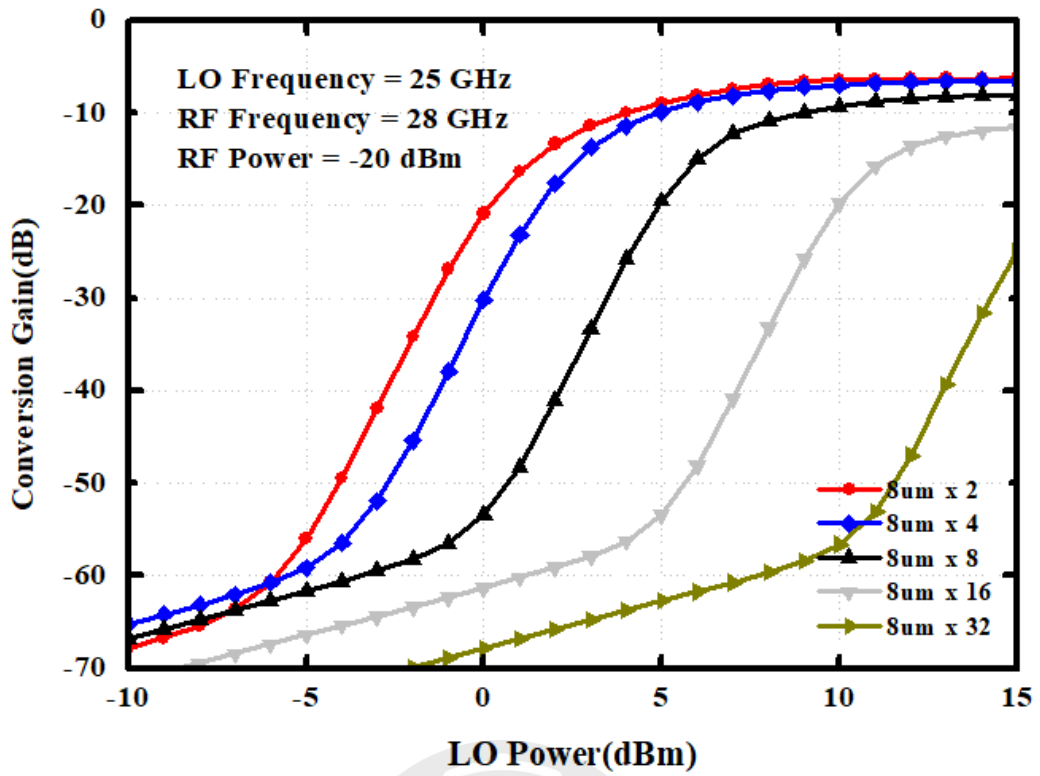


圖 3-15 固定寬度為 8 μm 不同指叉數下轉換增益對 LO 驅動功率作圖

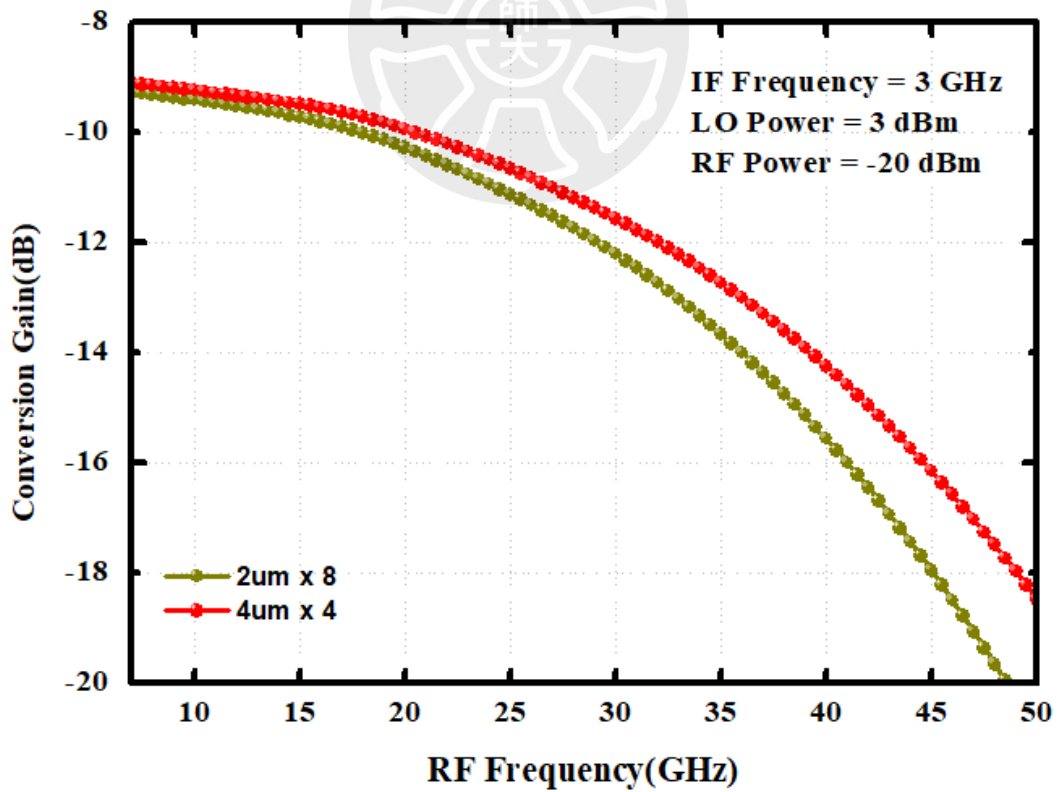


圖 3-16 不同電晶體尺寸下轉換增益對 RF 頻率作圖

選定電晶體尺寸後，接著要決定電晶體的閘極偏壓，圖 3-17 混頻電晶體加偏壓的結構圖。圖 3-18 為各別 LO 功率下的轉換增益在隨 V_g 變化的關係圖，由圖可知，各別 LO 功率在偏壓 V_g 為 0.6 V 時都有比較好的轉換增益。由上一小節模擬可知，電晶體尺寸在 $2\ \mu\text{m} \times 8\text{f}$ 和 $4\ \mu\text{m} \times 4\text{f}$ 都有較高的轉換增益，圖 3-19 為兩尺寸的轉換增益與 V_g 的比較，由圖可見在 $2\ \mu\text{m} \times 8\text{f}$ 與 $4\ \mu\text{m} \times 4\text{f}$ 的尺寸在 V_g 為 0.6 V 下特性並無太大差別。

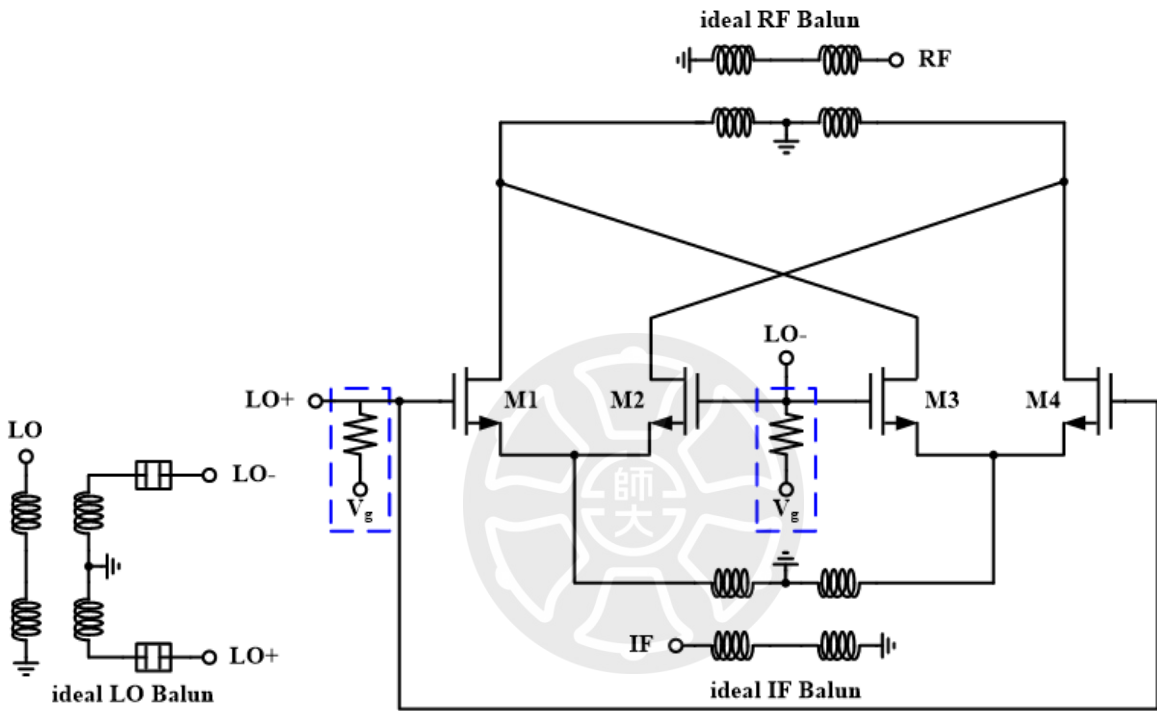


圖 3-17 混頻電晶體加偏壓之架構圖

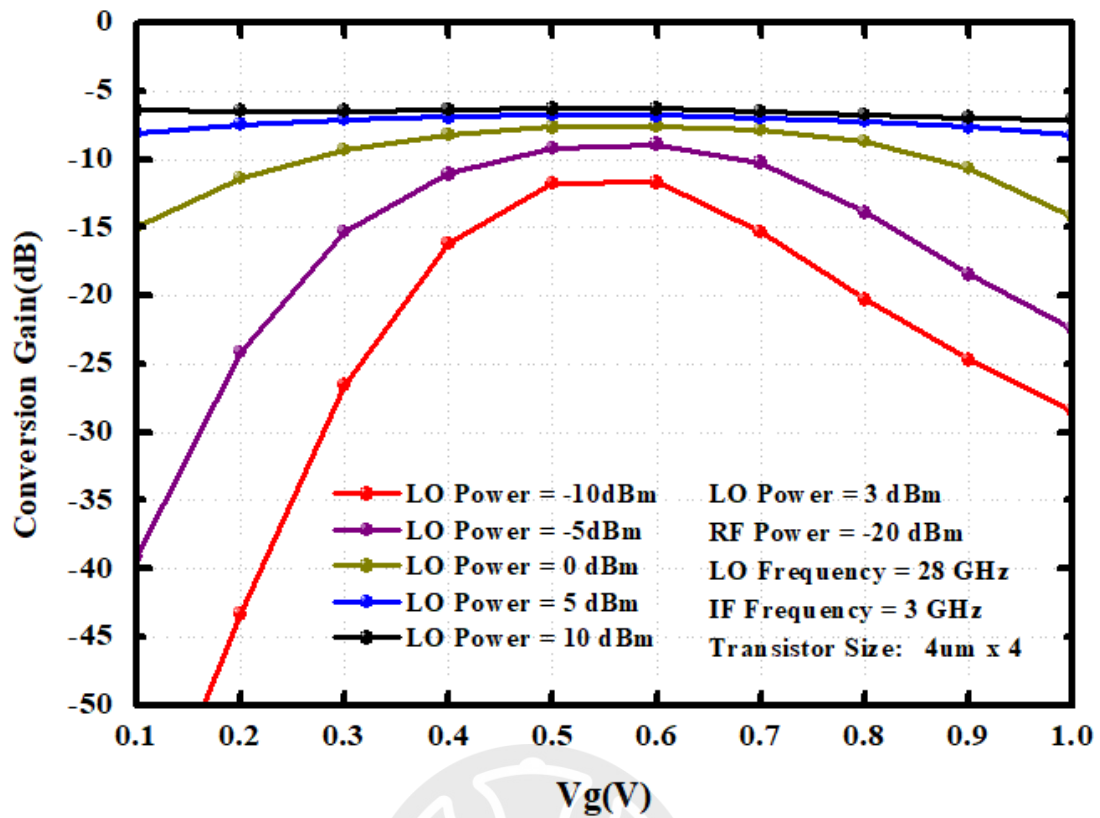


圖 3-18 不同 LO 驅動功率下轉換增益對 V_g 作圖

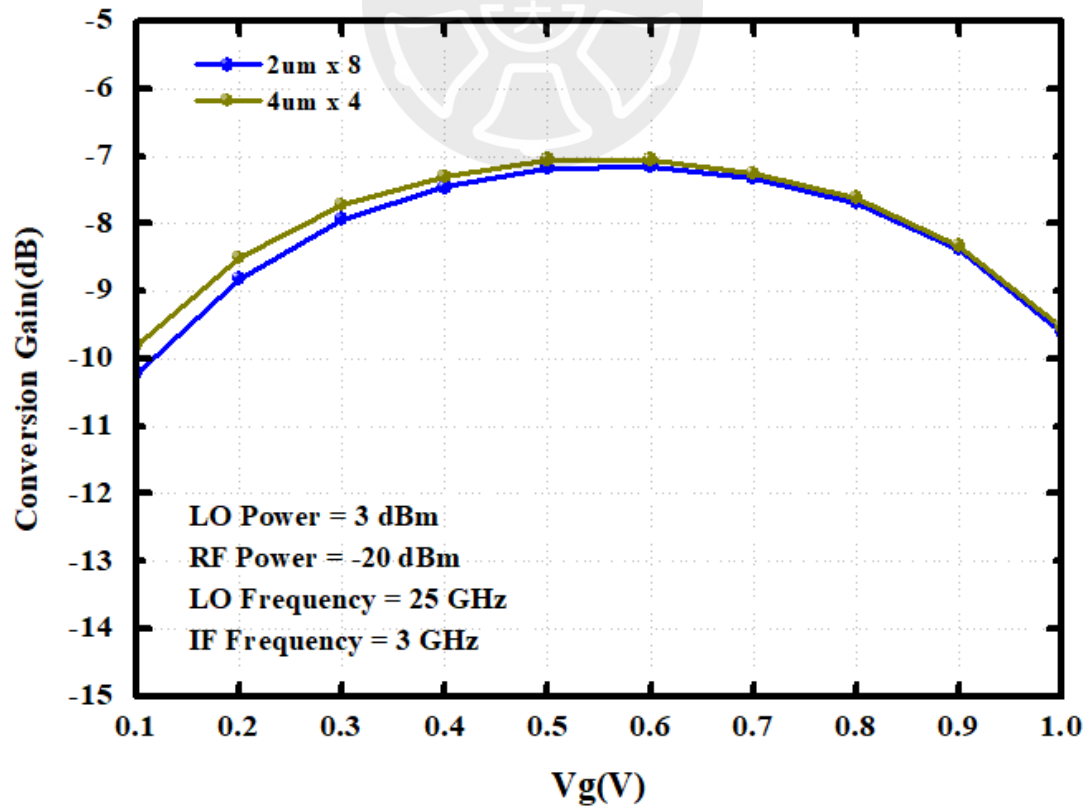


圖 3-19 不同電晶體尺寸下轉換增益對 V_g 作圖

在選定電晶體偏壓後，重新對加上偏壓後的電晶體進行不同尺寸的模擬，如圖 3-20~圖 3-23 所示，分別為在通道寬度固定為 $2\mu\text{m}$ 、 $4\mu\text{m}$ 、 $6\mu\text{m}$ 、 $8\mu\text{m}$ 下，對不同指叉數為 2、4、8、16、32 作圖，由圖可見電晶體尺寸為 $2\mu\text{m} \times 8$ 、 $4\mu\text{m} \times 4$ 特性優於其他尺寸，最終選擇核心混頻電晶體尺寸為 $4\mu\text{m} \times 4$ 。

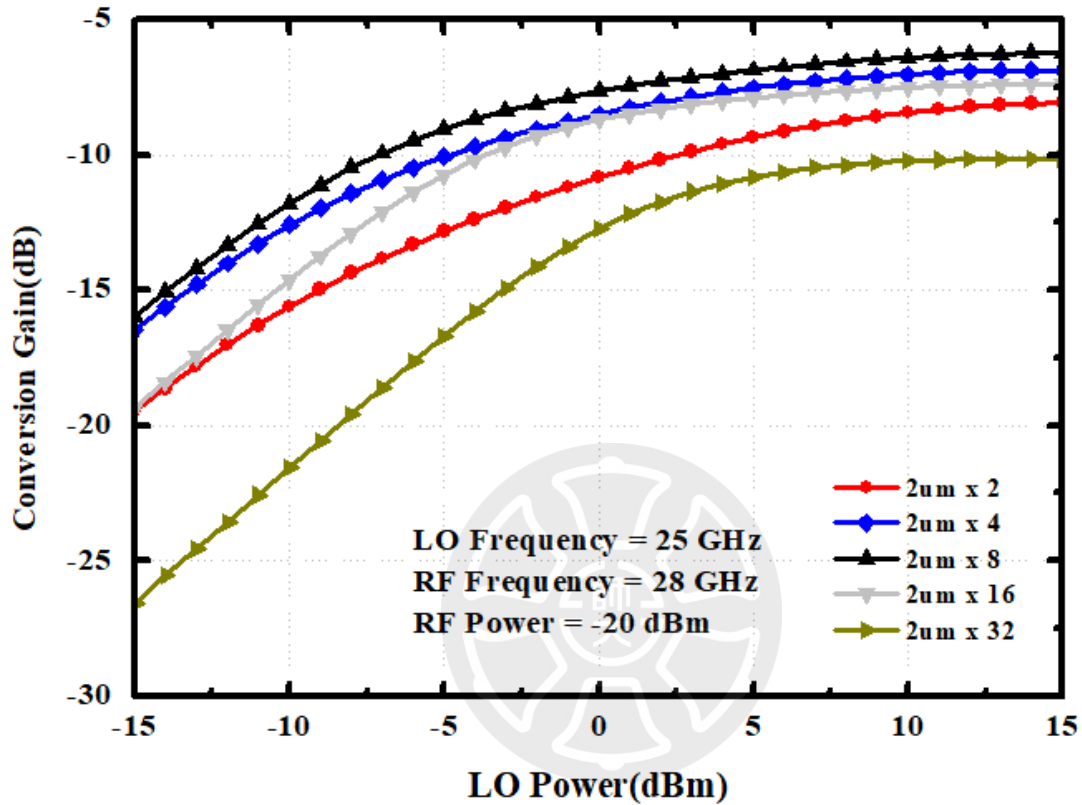


圖 3-20 固定寬度為 $2\mu\text{m}$ ，不同指叉數下轉換增益對 LO 驅動功率作圖

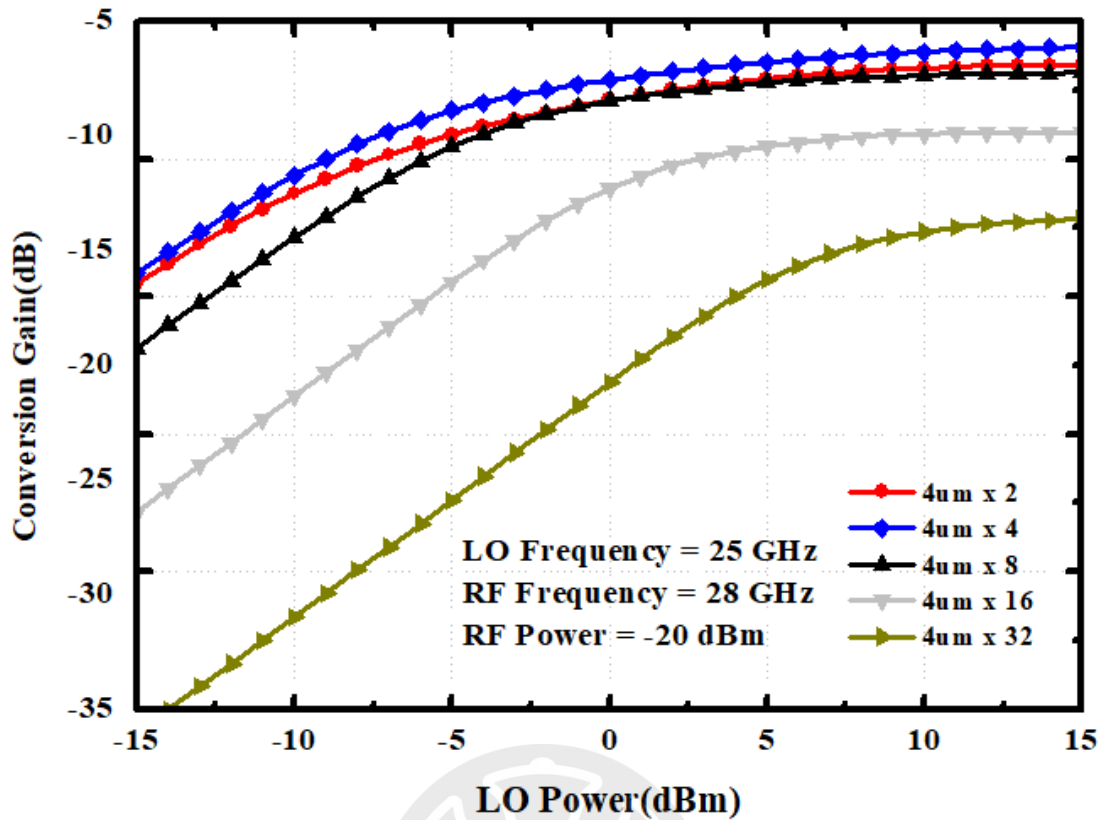


圖 3-21 固定寬度為 4 μm，不同指叉數下轉換增益對 LO 驅動功率作圖

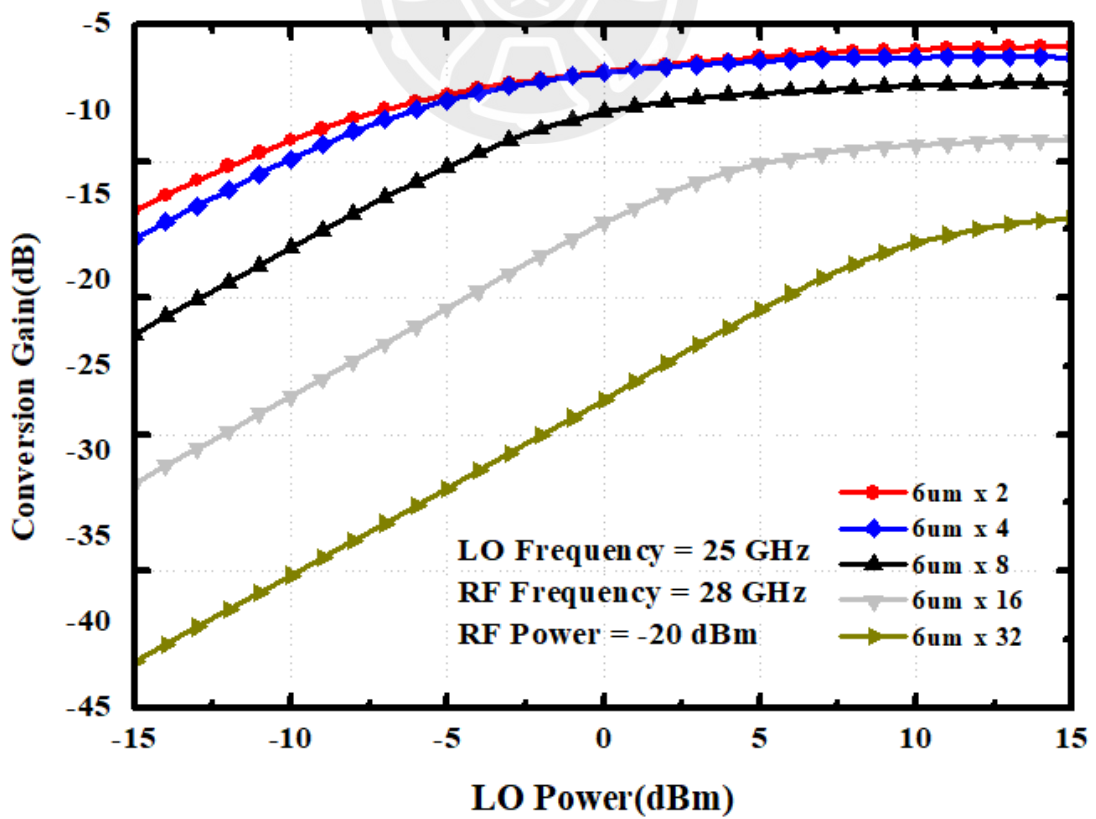


圖 3-22 固定寬度為 6 μm，不同指叉數下轉換增益對 LO 驅動功率作圖

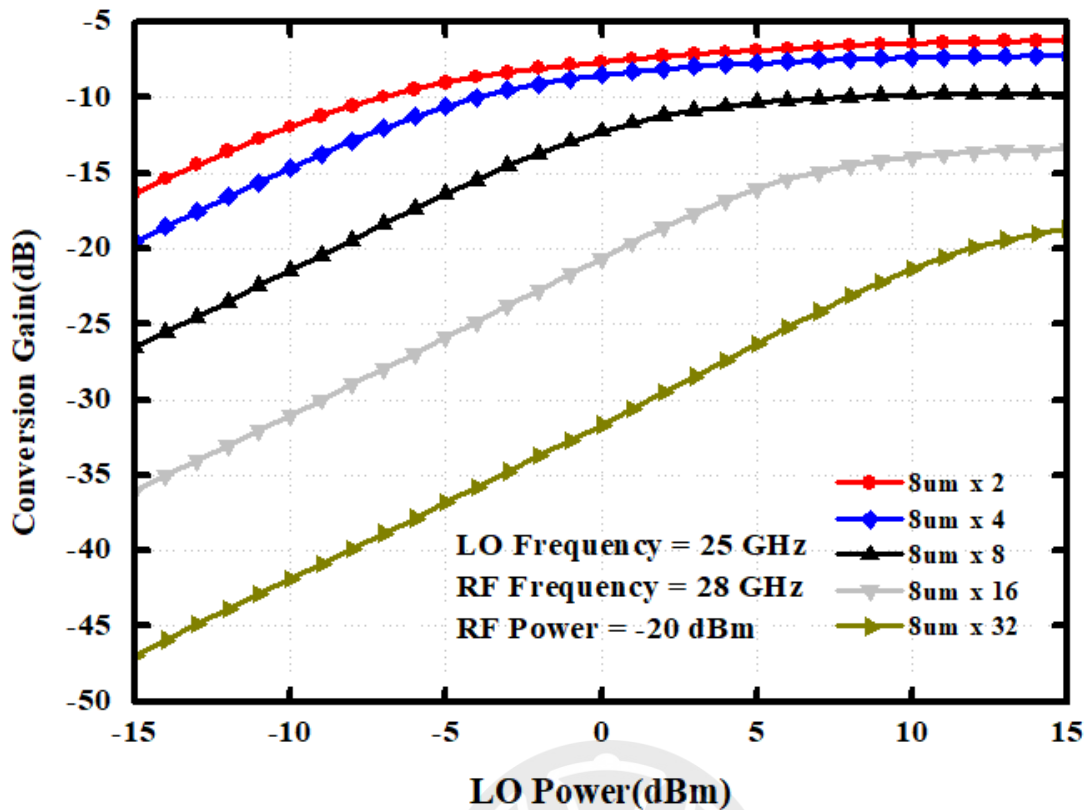


圖 3-23 固定寬度為 8 μm ，不同指叉數下轉換增益對 LO 驅動功率作圖

將電晶體尺寸選定在 $4\ \mu\text{m} \times 4$ 偏壓 V_g 選定在 0.6 V，尺寸偏壓決定後，接著選則 RF 端的匹配結構，圖 3-24 和圖 3-25 為兩匹配結構的電路圖，接著我們將比較在 RF 端並聯一個電感和串聯一個電感來比較兩種匹配結構的差別，由圖 3-26 可見在所有元件都為理想時並聯一個電感相對於串聯一個電感有較高的轉換增益，其電感值為 0.4 nH 時轉換增益趨近飽和。接著比較不同感值下對 RF 頻率的變化，由圖可見相較於其他感值電感值為 0.6 nH 時轉換增益有較寬的頻寬，因此先暫時選定 0.6 nH 的電感作為匹配元件。

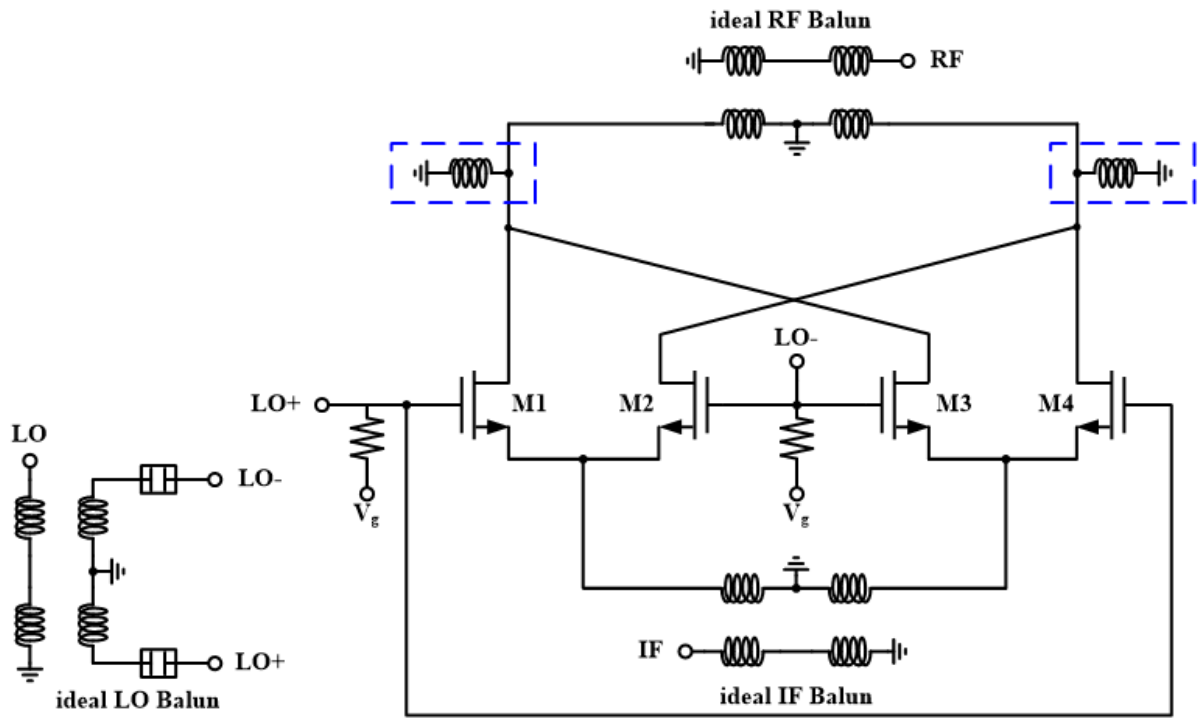


圖 3-24 混頻器輸出匹配(並聯電感)架構圖

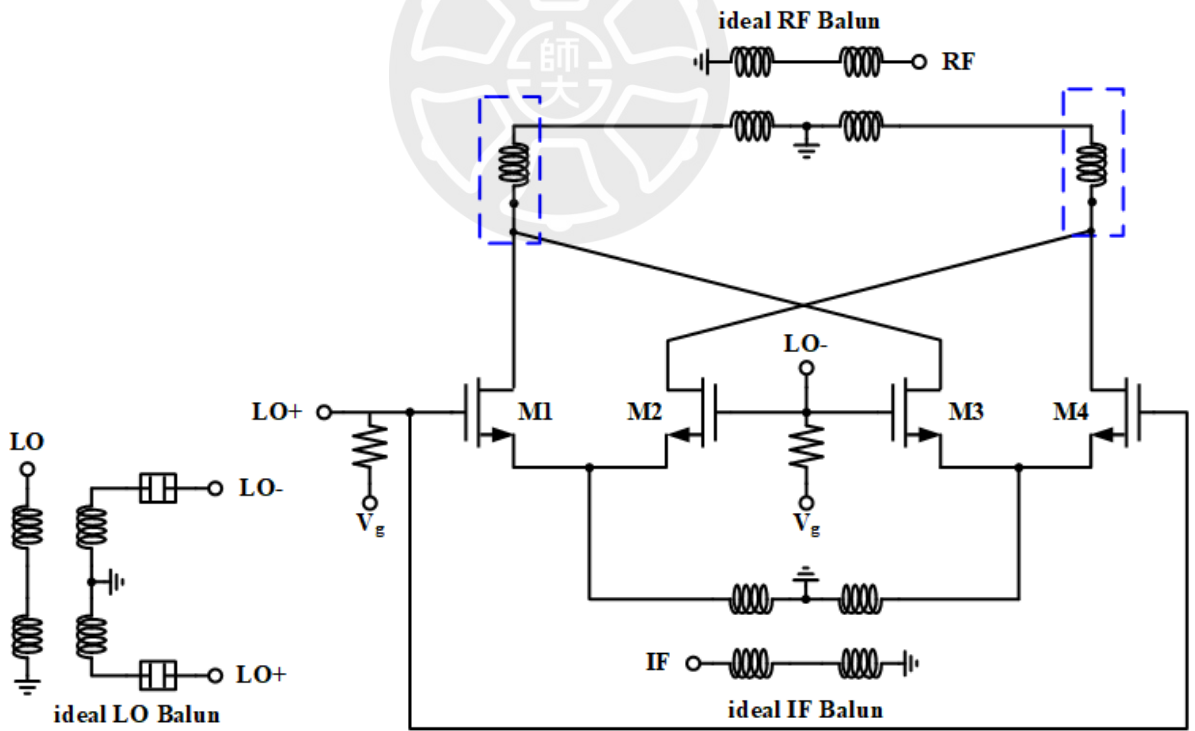


圖 3-25 混頻器輸出匹配(串聯電感)架構圖

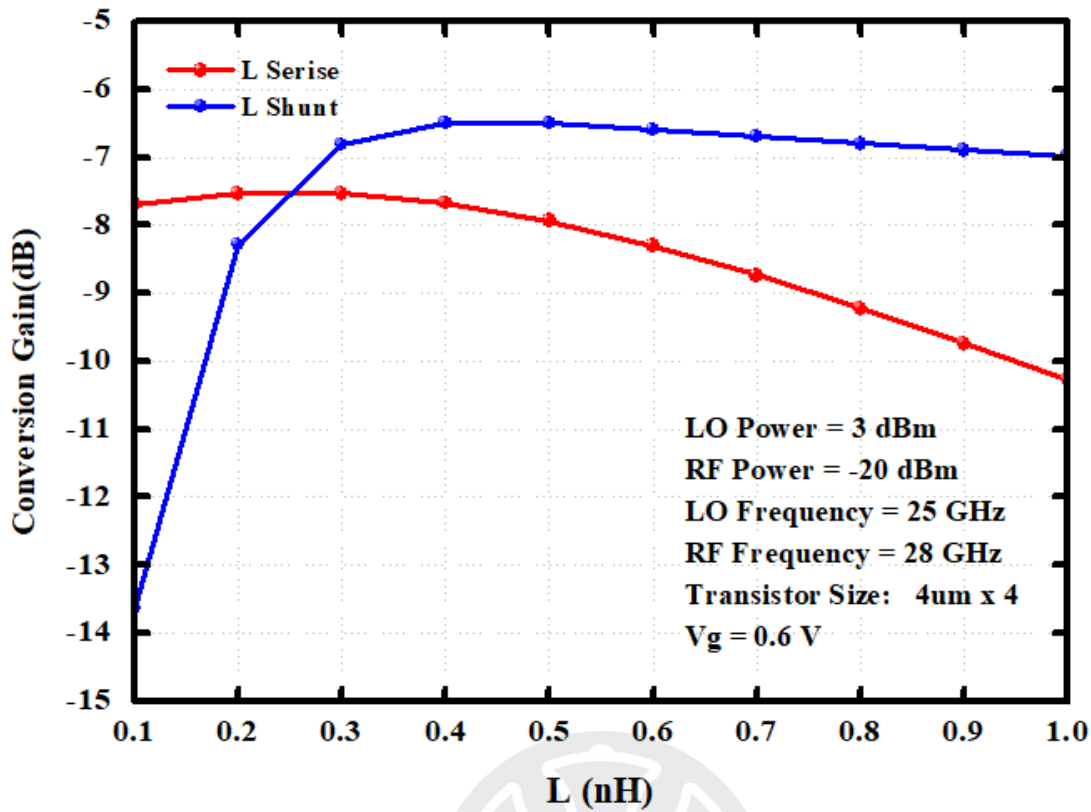


圖 3-26 轉換增益對電感值作圖

由圖 3-26 可見，在元件都為理想的情況下並聯電感比串聯電感有更好的轉換增益，但在將 RF 端的 Balun 換成 EM 模擬的模型後，雖然並聯電感在某些頻率有較高的轉換增益，但串聯電感能提供更寬頻和更高的轉換增益，這與電晶體在高頻時的寄生電容效應有關，我們在 RF 端加上一電感來抵消寄生電容產生的虛部項，結果如下圖 3-27 可見，在 RF 端串聯電感能提供更高和更寬頻的轉換增益。

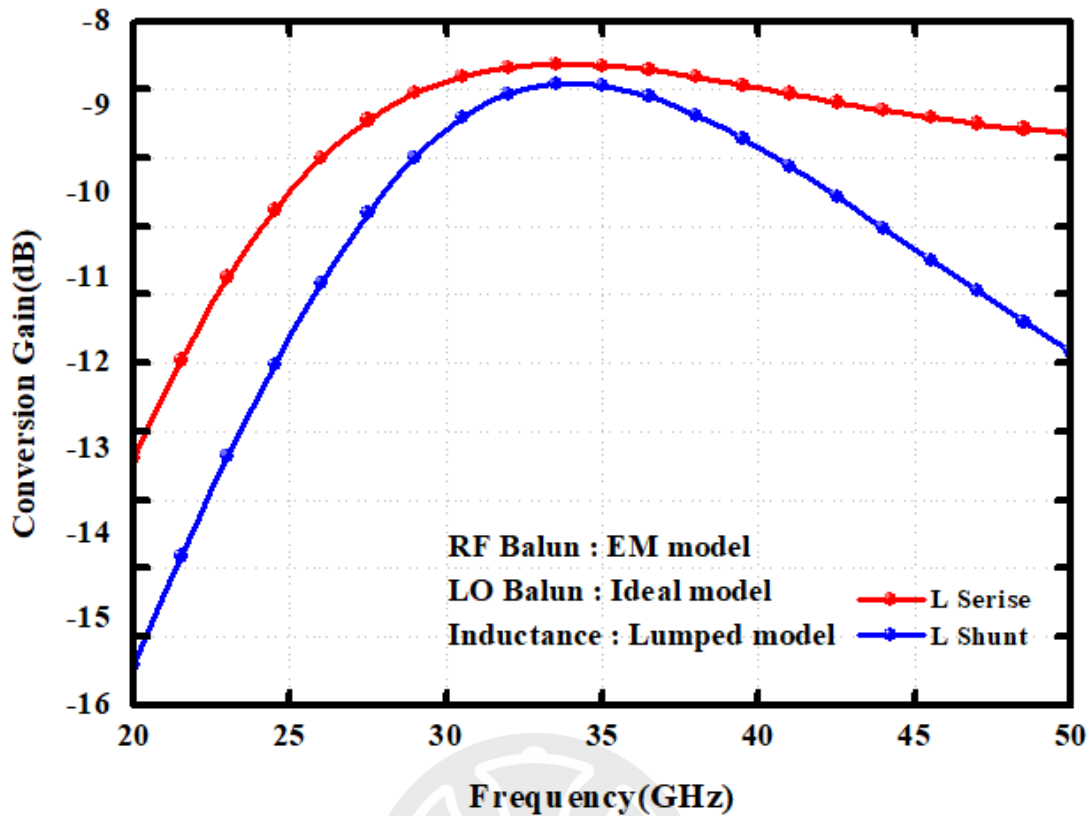


圖 3-27 RF Balun 使用 EM 模型不同匹配結構轉換增益對 RF 頻率作圖

3.4.2 RF 端與 LO 端 Marchand Balun 設計

RF 端與 LO 端都需要產生或合併 Mixer core 的差動訊號，這些差動訊號將由 Balun 來產生，本次設計所使用的 Balun 使用 Marchand-type Transformer Balun 的架構如圖 3-28 所示，Marchand Balun 為一三端元件，其結構由四條長度都為四分之一波長的傳輸線組成，輸入訊號由 Port 1 進入，透過垂直耦合(Broadside Couple)或邊緣耦合(Edge Couple)的方式，將輸入訊號耦合至 Port 2、Port 3，兩者分別產生 0° 與 180° 的 180° 相位差，Marchand Balun 有較寬的頻寬、較小振幅誤差和相位誤差適合用於 RF 端與 LO 端，雖然 Marchand Balun 有很多優點，但這結構並不適合用於 IF 端來產生差動訊號，原因為 IF 端的頻率較低頻，而 Marchand Balun 須由四條長度四分之一波長的傳輸線組成，這導致 Marchand Balun 在低頻時會佔據大量面積，因此考量到晶片的面積大小，IF 端本次設計將用多相位濾波器產生差動訊號。

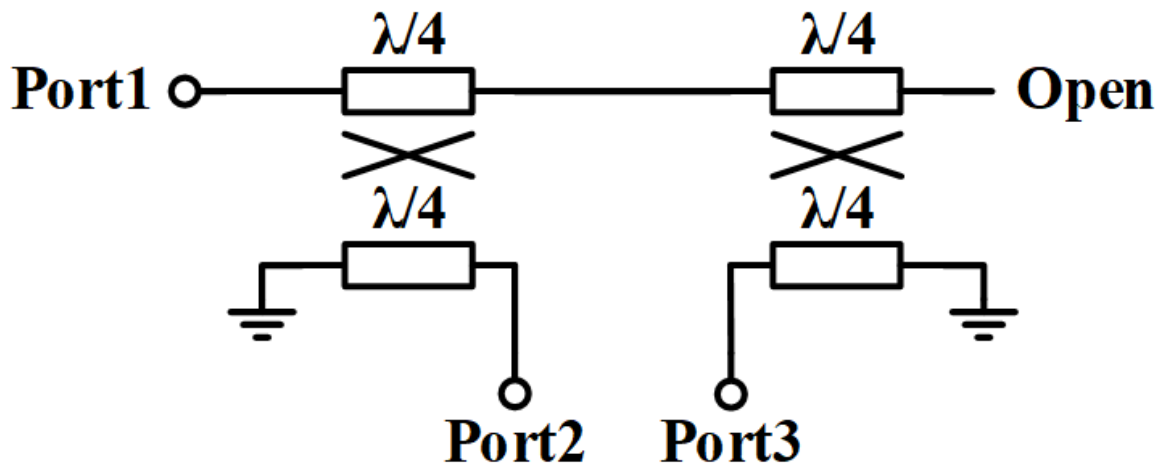


圖 3-28 Marchand Balun 基本架構圖

我們對不同結構的垂直耦合 RF Balun 進行分析，圖 3-29(c)為一我們嘗試使用 Metal 6 和 Metal 4 進行垂直耦合的 Marchand Balun，下面我們將對四個不同的垂直耦合 Balun 進行討論，依序分別是使用 (a)挖除 10um 地的 Metal 6 和 Metal 5 進行耦合的 Balun(b)沒挖除地的 Metal 6 和 Metal 5 進行耦合的 Balun(c)沒挖除地的 Metal 6 和 Metal 4 進行耦合的 Balun(d) 挖除 10um 地的 Metal 6 和 Metal 4 進行耦合的 Balun。

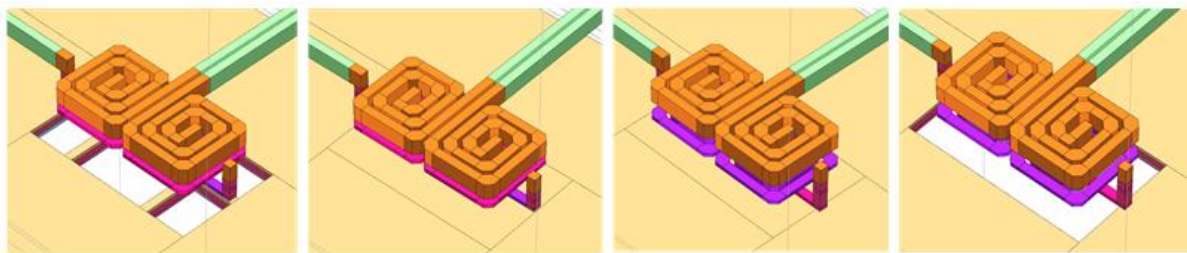


圖 3-29 (a)

(b)

(c)

(d)

(a) M6 M5 耦合挖除 10um 地 (b) M6 M5 耦合 (c) M6 M4 耦合 (d) M6 M4 耦合挖除 10um 地

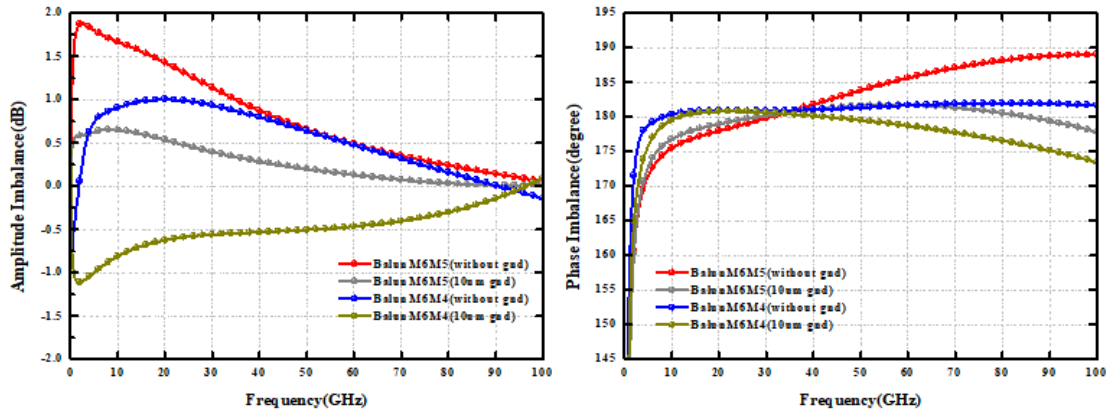
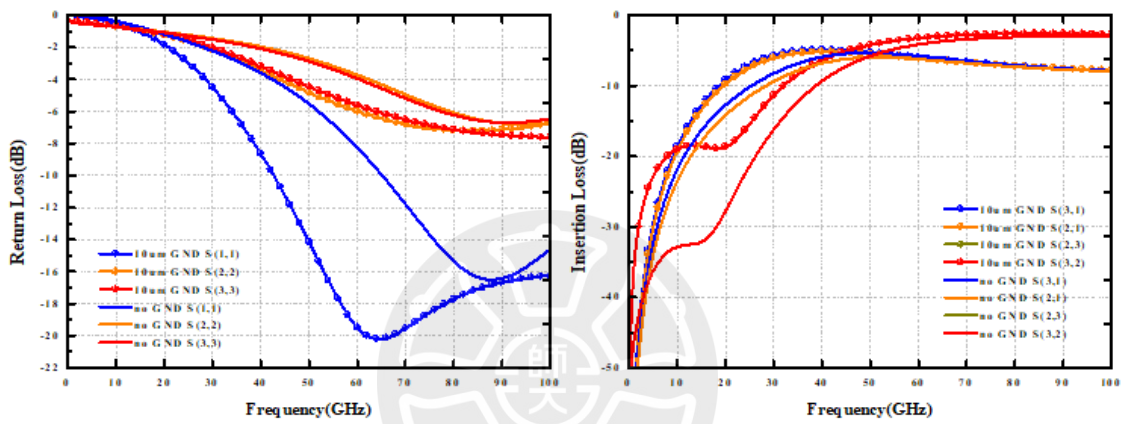
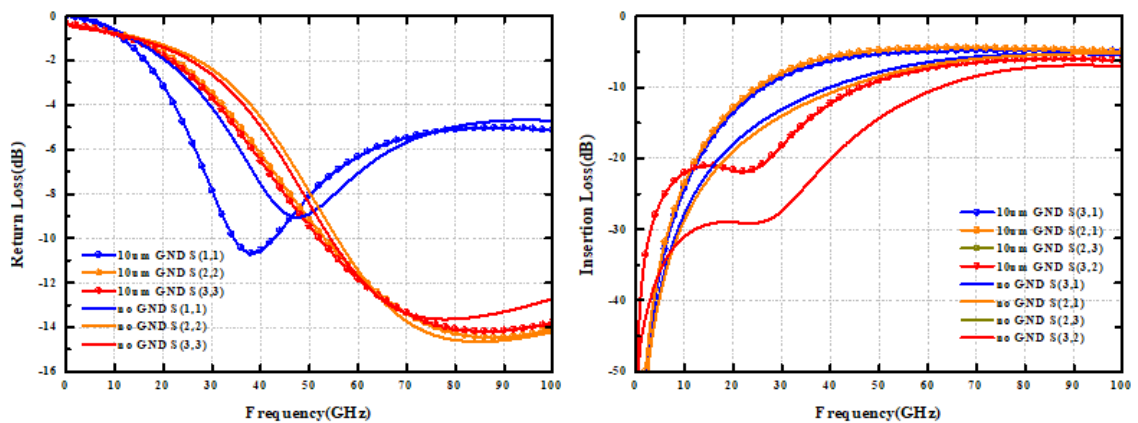


圖 3-30 (a) 不同結構 Balun 振幅誤差 (b) 不同結構 Balun 相位誤差



(a) S11 S22 S33 反射損耗 (b) S31 S21 S32 S23 反射損耗

圖 3-76 採用 M6 M5 耦合的馬相巴倫



(a) S11 S22 S33 反射損耗 (b) S31 S21 S32 S23 反射損耗

圖 3-77 採用 M6 M4 耦合的馬相巴倫

由圖 3-30 可見不挖除地並使用 Metal 6 和 Metal 4 進行垂直耦合和挖除 10um 的地後使用 Metal 6 和 Metal 5 進行垂直耦合的版本有較平均的相位誤差，但不挖除地並使用 Metal 6 和 Metal 4 的結構的插入損耗較大，導致使用其版本的轉換增益較使用 Metal 6 和 Metal 5 耦合的版本低。根據上述原因本次 Balun 選用挖除 10um 的地且使用 Metal 6 和 Metal 5 進行垂直耦合的版本作為 RF Balun。

圖 3-31 為 RF 端的 Marchand Balun 電磁模擬 3D 圖，架構為垂直耦合，使用 0.18 製程最上兩層金屬進行耦合來減少耗損，圖 3-32 為 RF 端 Marchand Balun 的插入損耗及相位誤差模擬圖，RF Balun 的頻寬為 21 ~ 39 GHz，插入損耗約在 5 ~ 8 dB，相位差為 179° ~ 181° ，圖 3-33 為 RF Balun 的反射損耗模擬圖。

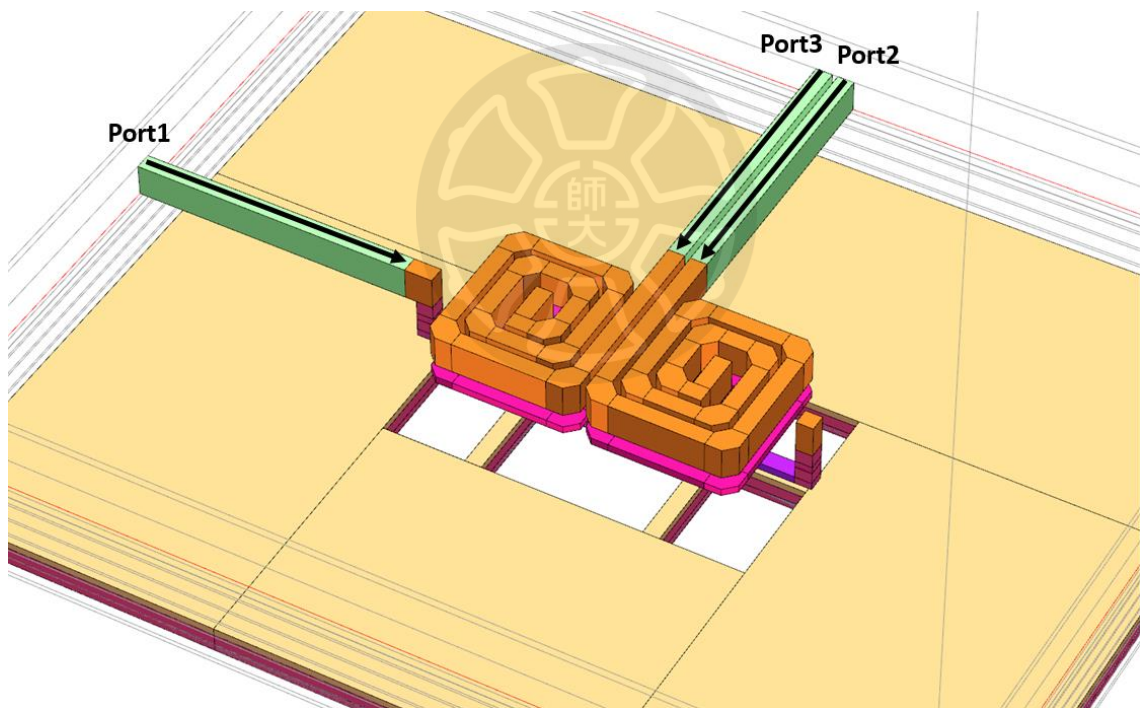
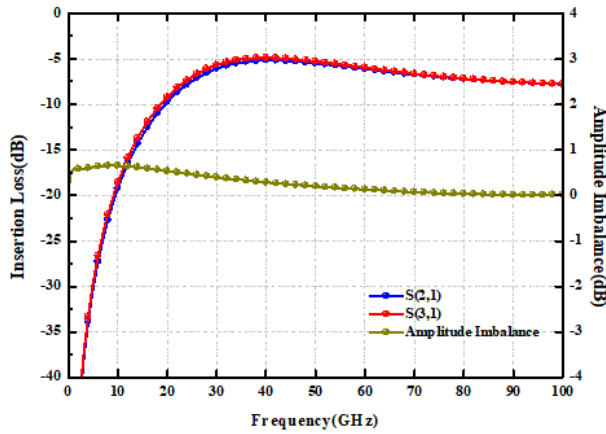
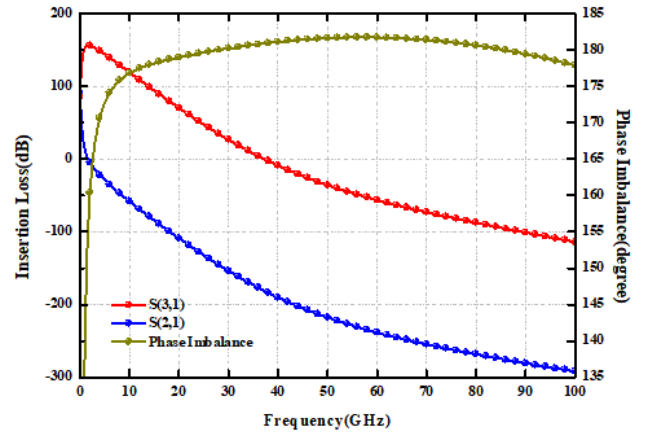


圖 3-31 RF 端 Marchand Balun 電磁模擬 3D 圖



(a)



(b)

圖 3-32 RF 端 Marchand Balun：(a) 插入損耗模擬圖 (b) 相位誤差模擬圖

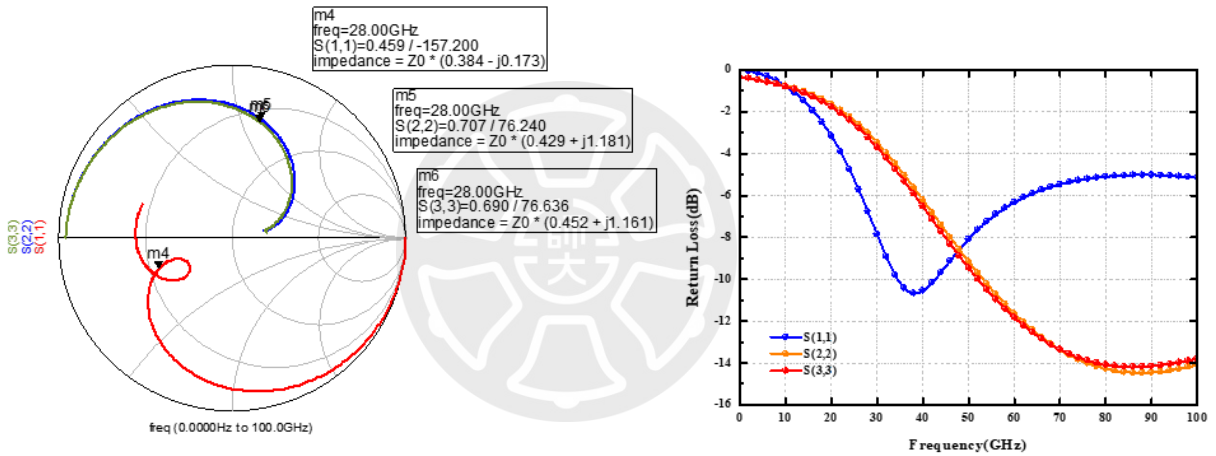


圖 3-33 RF 端 Marchand Balun 反射損耗模擬圖

圖 3-34 為 LO 端的 Marchand Balun 電磁模擬 3D 圖，使用邊緣耦合來耦合訊號，使用 0.18 製程最上層金屬 Metal 6 作為訊號線，來減少訊號耗損，下圖 3-35 為 LO 端 Marchand Balun 的插入損耗及相位誤差模擬圖，LO Balun 的頻寬為 27 ~ 35 GHz，插入損耗約 7 ~ 10dB，相位差為 $178^\circ \sim 180^\circ$ ，圖 3-36 為 LO Balun 的反射損耗模擬圖。

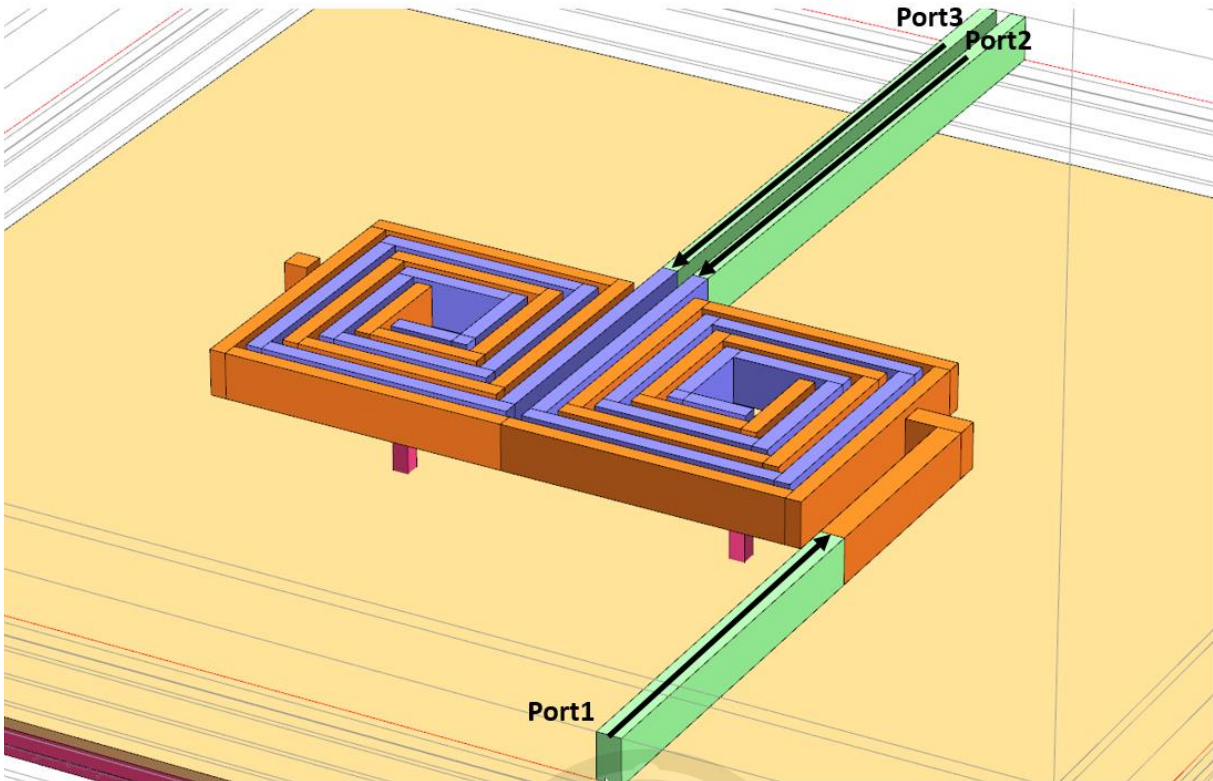


圖 3-34 LO 端 Marchand Balun 電磁模擬 3D 圖

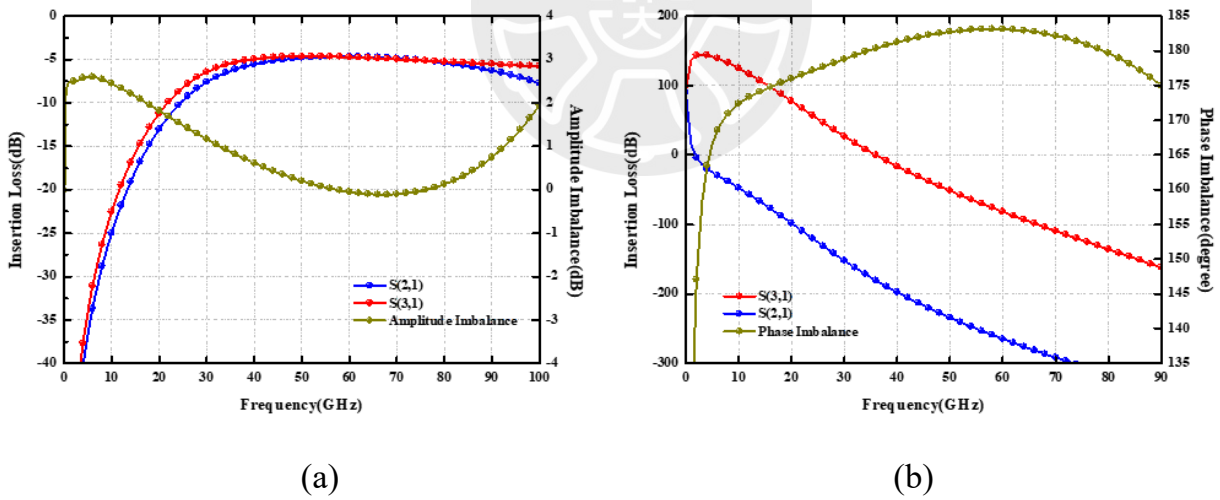


圖 3-35 LO 端 Marchand Balun : (a) 插入損耗模擬圖 (b) 相位誤差模擬圖

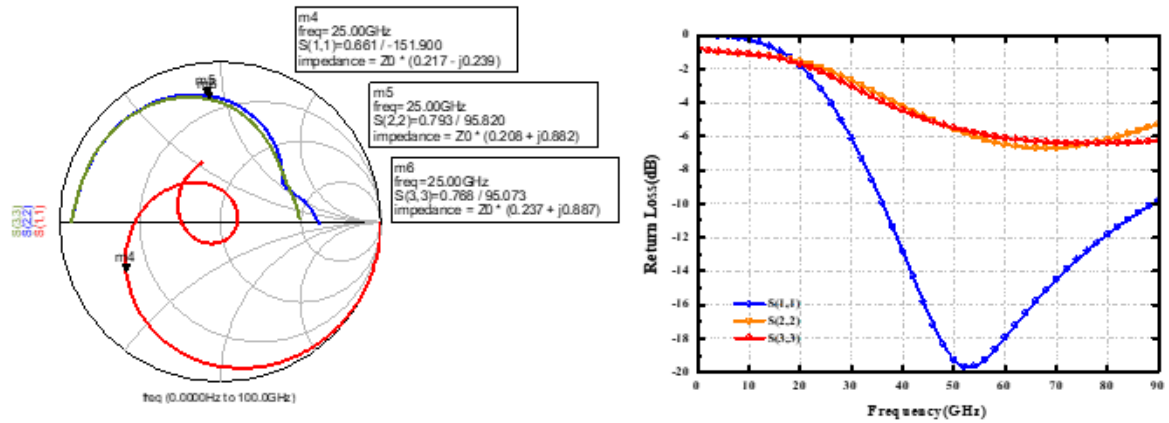


圖 3-36 LO 端 Marchand Balun 反射損耗模擬圖

3.4.3 耦合器(Coupler)

鏡像抑制的架構由 I/Q Mixer Core 構成，兩路徑上的相位需差 90° ，故在 LO 端需設計一能產生 90° 相位差的耦合器來產生輸入 I/Q Mixer Core 訊號，圖 3-38 為耦合器結構圖，耦合器為一三端元件，由兩條長度都為四分之一波長的傳輸線所組成，訊號由 Port 1 輸入後可由邊緣耦合(Edge Couple)或垂直耦合(Broadside Couple)的方法將訊號耦合到 Port 2，Port 3 的訊號則為 Port 1 的訊號經過四分之一波長的傳輸線產生，由此 Port 2、Port 3 產生 0° 與 90° 的 90° 相位差。

圖 3-37 為分別對垂直耦合跟邊緣耦合結構的耦合器特性進行比較，LO 端使用耦合器為產生 I Q path 訊號的重要元件，耦合器的相位誤差會對混頻器的鏡像拒斥比(Image Rejection Ratio)產生巨大影響，由於上述原因最後選擇垂直耦合(Broadside Couple)的耦合器作為 LO 端的 90° 相位轉換器。

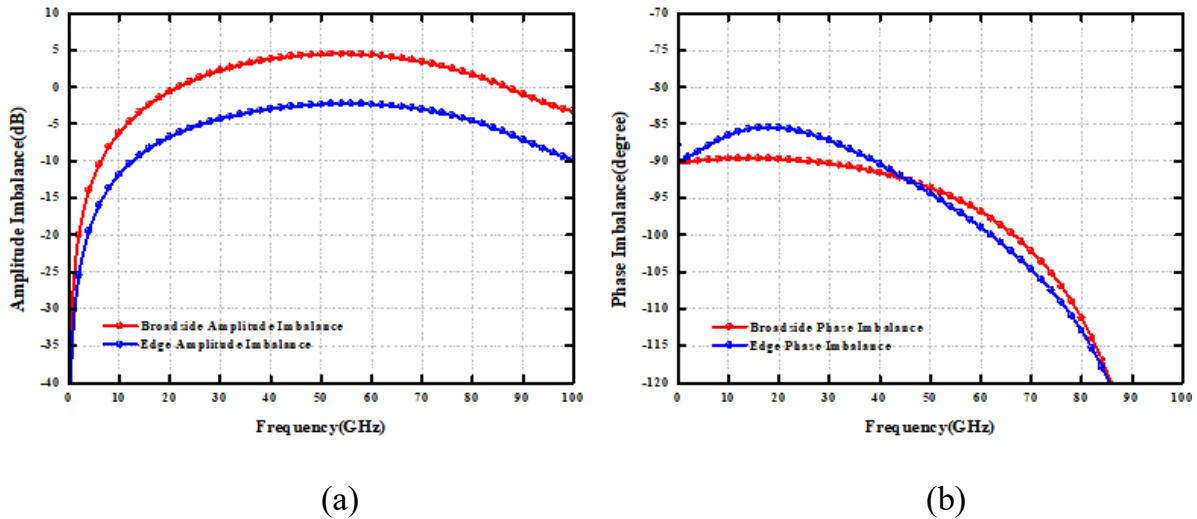


圖 3-37 LO 端 Coupler : (a) 振幅誤差模擬圖 (b) 相位誤差模擬圖

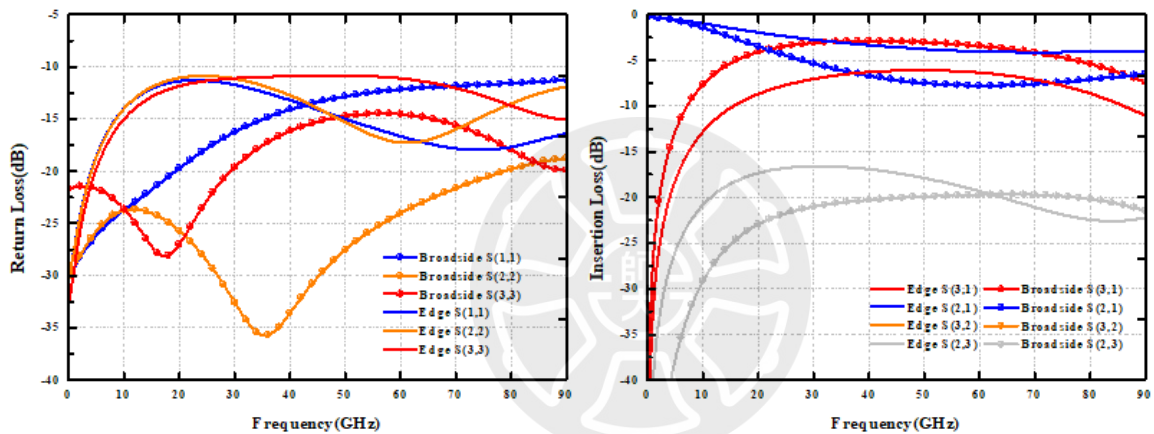


圖 3-78 LO 端 Coupler : (a) 反射損耗模擬圖 (b) 插入損耗模擬圖

圖 3-39 為 LO 端的耦合器電磁模擬 3D 圖，使用 0.18 製程最上兩層金屬 Metal 6 與 Metal 5 作為訊號走線進行耦合來減少耗損，使用垂直耦合的結構來降低損耗。下圖 3-40 為耦合器的插入損耗及相位誤差模擬圖，插入損耗約 3 ~ 5dB，相位差為 $89^\circ \sim 90^\circ$ 之間，圖 3-41 為 Coupler 的反射損耗模擬圖。

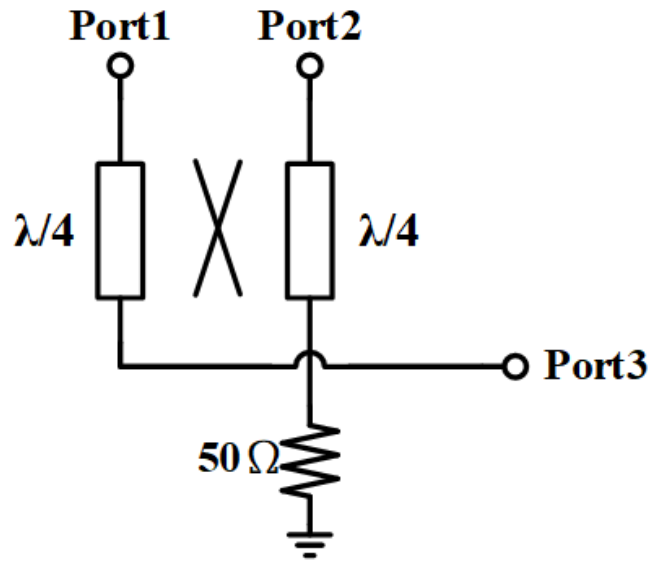


圖 3-38 Coupler 基本架構圖

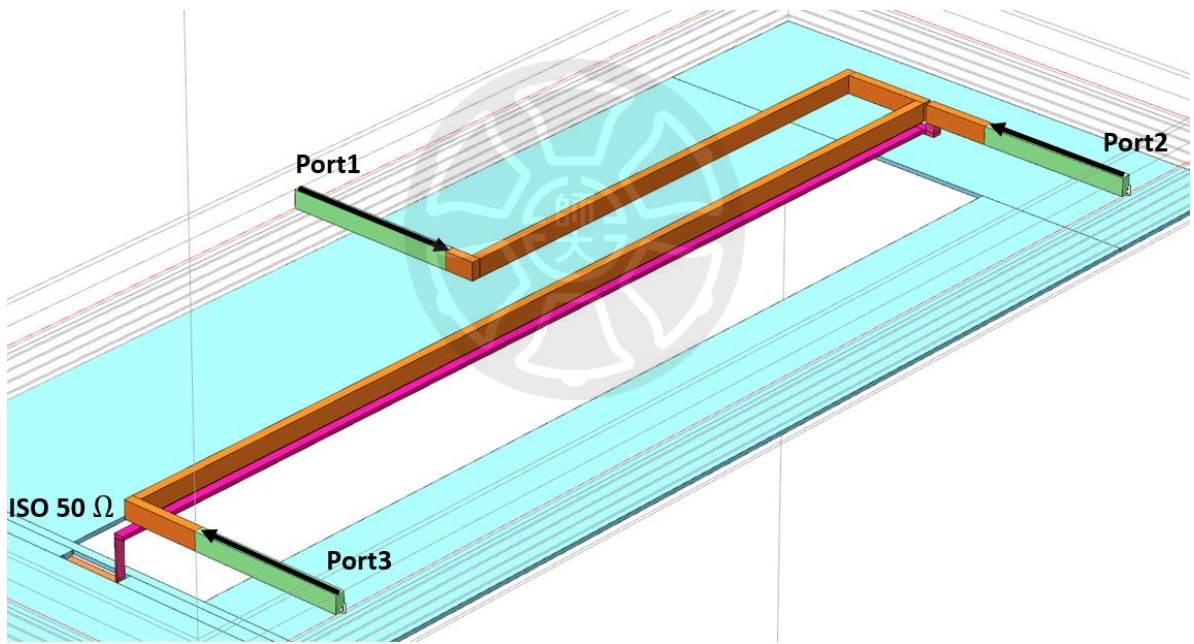


圖 3-39 Coupler 電磁模擬 3D 圖

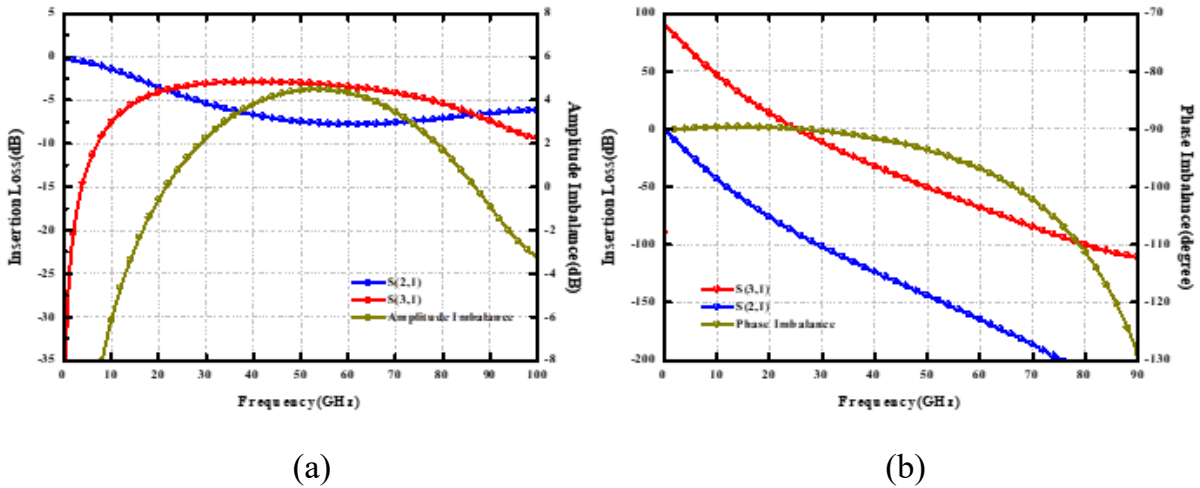


圖 3-40 Coupler : (a) 插入損耗模擬圖 (b) 相位不平衡模擬圖

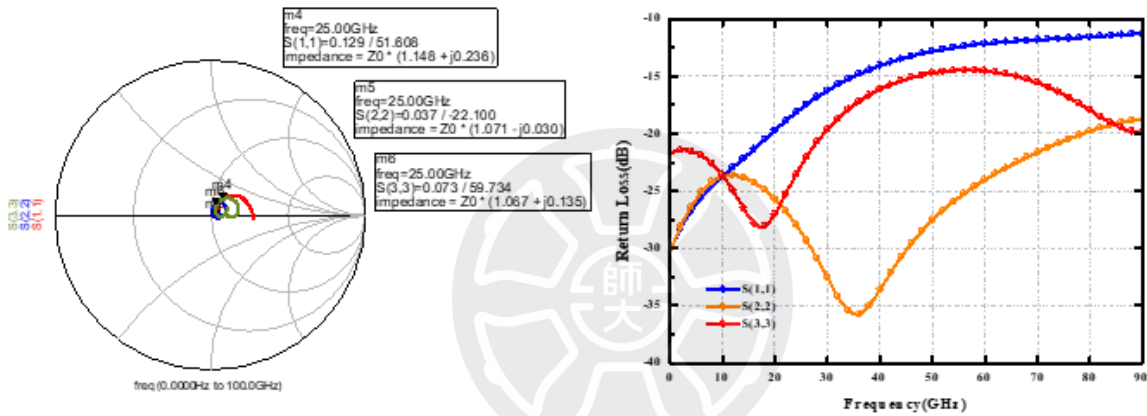


圖 3-41 Coupler 反射損耗模擬圖

3.4.4 匹配網路設計

LO 端的四相位由一耦合器和兩個 Marchand Balun 的結構產生，如下圖 3-42，圖 3-43 為未匹配的四相位產生器在輸出端阻抗為 50Ω 下的插入損耗及相位誤差模擬圖。由圖 3-44 的插入損耗及相位誤差模擬圖可見，當輸出端阻抗換成混頻器電晶體閘極端的阻抗時，插入損耗及相位誤差與輸出端阻抗為 50Ω 的特性相差甚多。

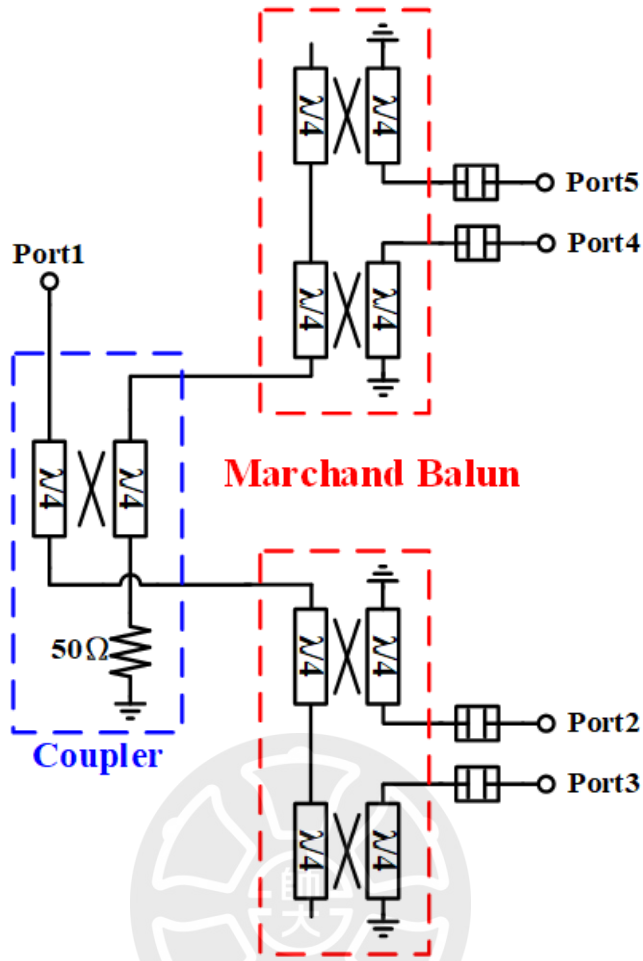
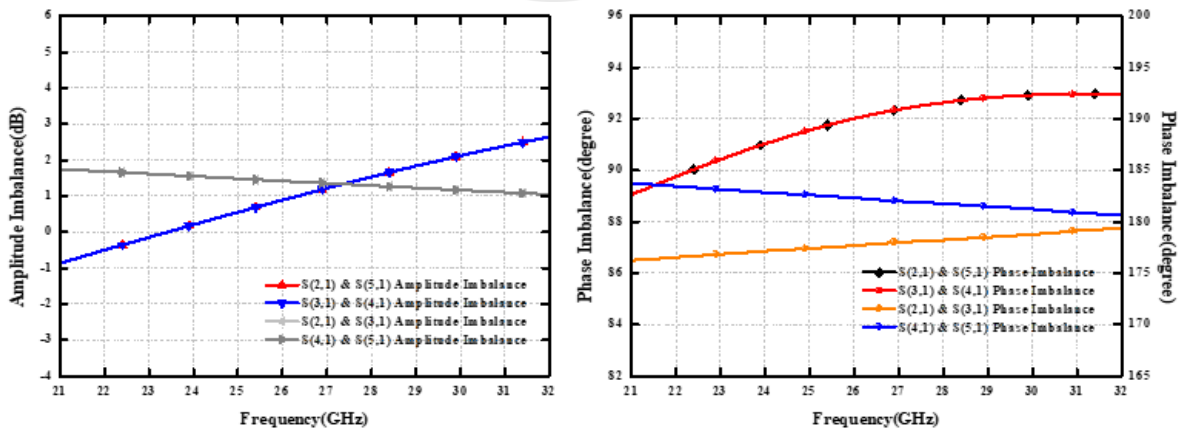


圖 3-42 LO 端四相位訊號架構圖



(a)

(b)

圖 3-43 LO 端四相位訊號：(a) 插入損耗模擬圖 (b) 相位誤差模擬圖

(Port Impedance = 50 Ω)

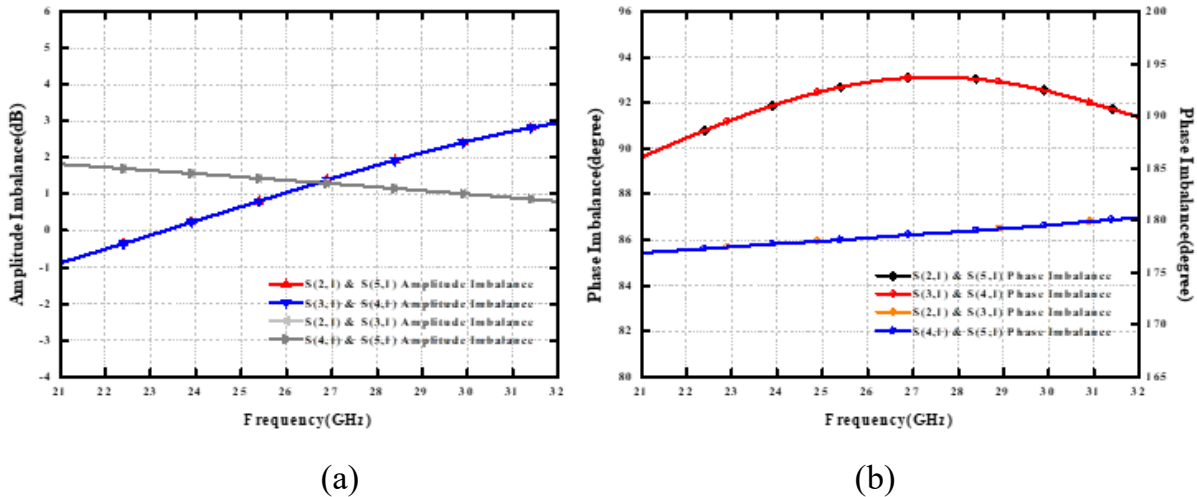


圖 3-44 LO 端四相位訊號：(a) 插入損耗模擬圖 (b) 相位誤差模擬圖

(Port Impedance : Mixer core transistor gate)

由四相位產生器到電晶體之間的阻抗不連續會造成 LO 端的訊號反射，進而導致轉換增益和鏡像抑制能力降低，在 LO 端加上匹配網路可以有效的解決這個問題，如圖 3-45 所示，從四相位產生器看進去的共軛阻抗 Z_2^* 藉由串聯電感性元件匹配到從電晶體閘極看入的阻抗(Z)，本次設計使用傳輸線作為電感性元件來進行共軛匹配。

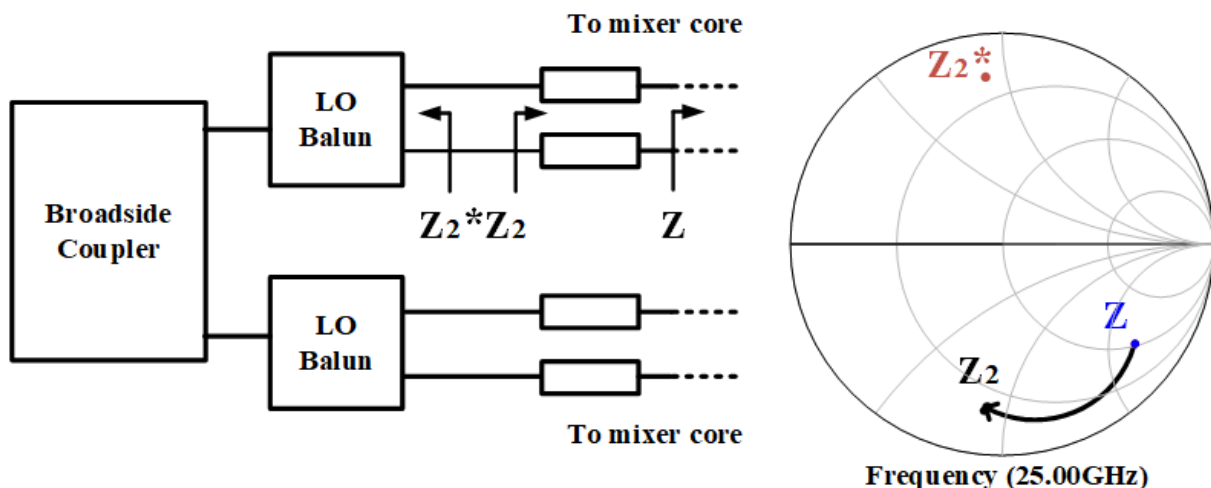


圖 3-45 LO 端匹配網路模擬圖

圖 3-46 為 LO 端四相位訊號包含匹配網路之架構圖，圖 3-47 為四相位加上匹配並在輸出 Port 看到為 50Ω 阻抗時的插入損耗及相位誤差模擬圖。圖 3-48

為 LO 端的四相位輸出加上匹配輸出，但 Port 看到為混頻器電晶體閘極端之阻抗時的插入損耗及相位誤差模擬圖。

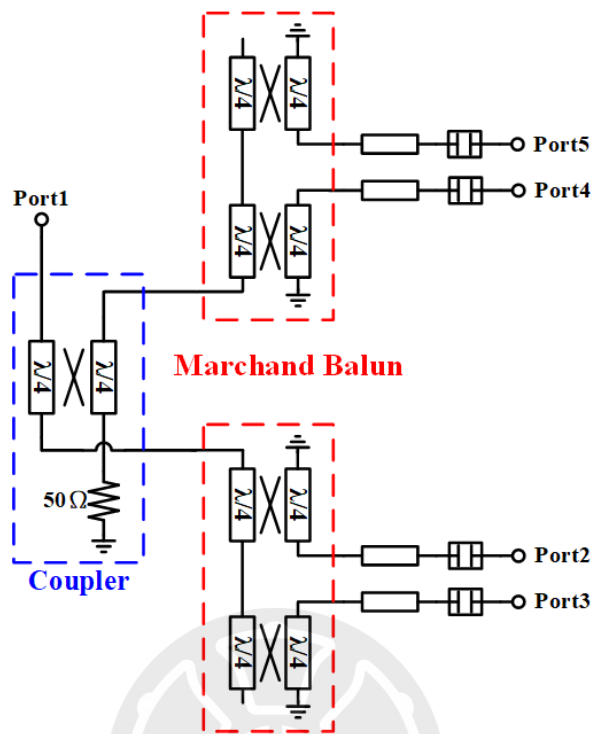


圖 3-46 LO 端四相位訊號含匹配網路架構圖

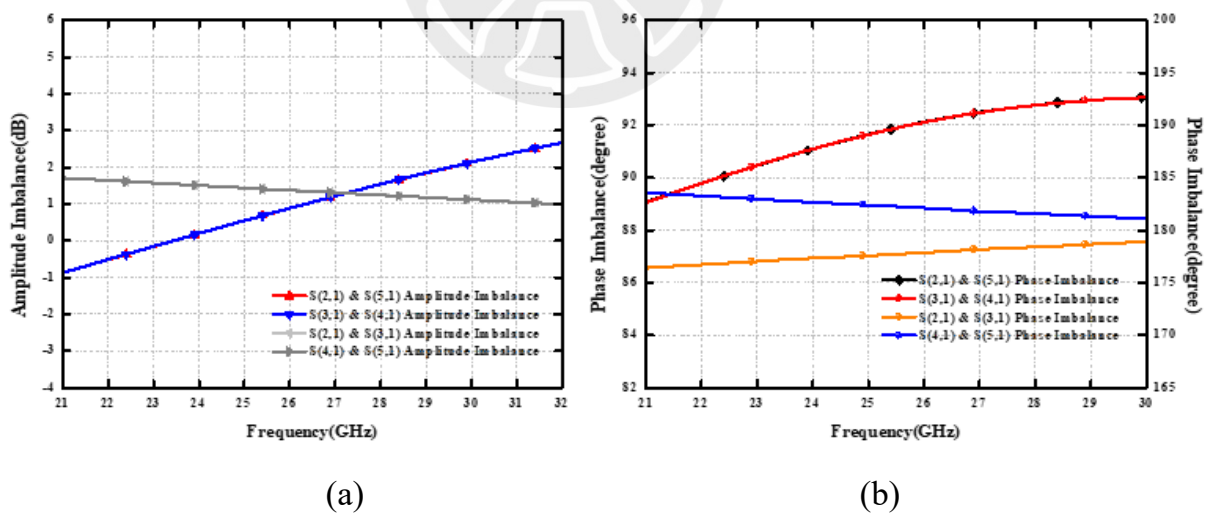
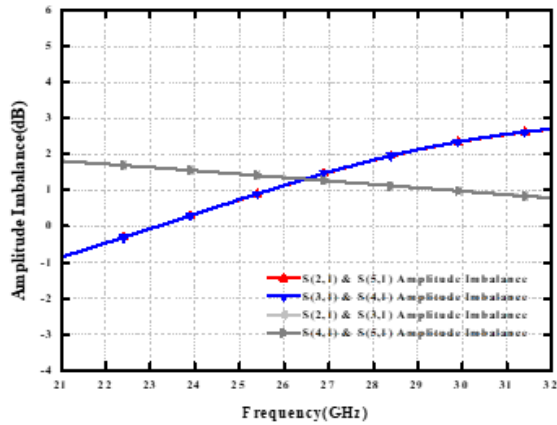
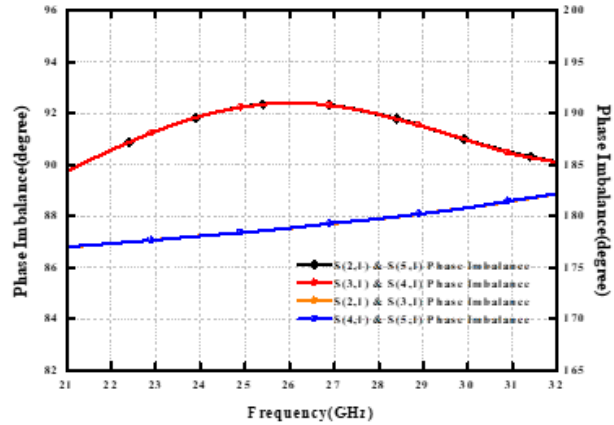


圖 3-47 LO 端四相位訊號：(a) 插入損耗模擬圖 (b) 相位誤差模擬圖

(Port Impedance = 50 Ω)



(a)



(b)

圖 3-48 LO 端四相位訊號：(a) 插入損耗模擬圖 (b) 相位誤差模擬圖

(Port Impedance : Mixer core transistor gate)

由圖 3-44 和圖 3-48 比較可觀察到，加入匹配網路的結構在輸出阻抗為電晶體閘極時，插入損耗並未與沒有加匹配網路的結構相差太多，但加入匹配網路的結構相位誤差較不易隨頻率變動，這將有利於增加鏡像拒斥比的頻寬。

3.4.5 多相位濾波器(Poly Phase Filter)

IF 端是透過多相位濾波器利用 RC 網路，來產生四個相位的正交訊號。如圖 3-49 所示，訊號分別經過低通濾波器及高通濾波器後，兩者的輸出訊號會相差 90° ，並在所設計的截止頻率上會有相同大小的振幅；由於需要四個相位的正交訊號，我們需再將 RC 網路接成環形並輸入差動訊號來產生四相位的正交訊號，分別為 I^+ 、 I^- 、 Q^+ 、 Q^- ，如圖 3-50 所示。

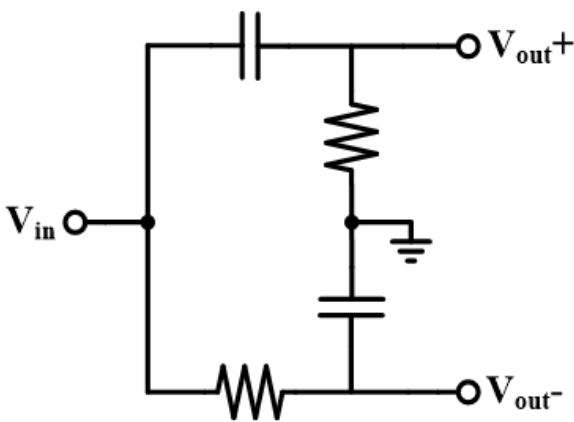


圖 3-49 RC-CR 網路圖

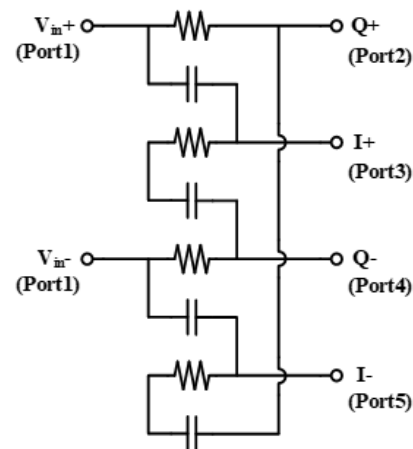


圖 3-50 一階 Poly Phase Filter 架構圖

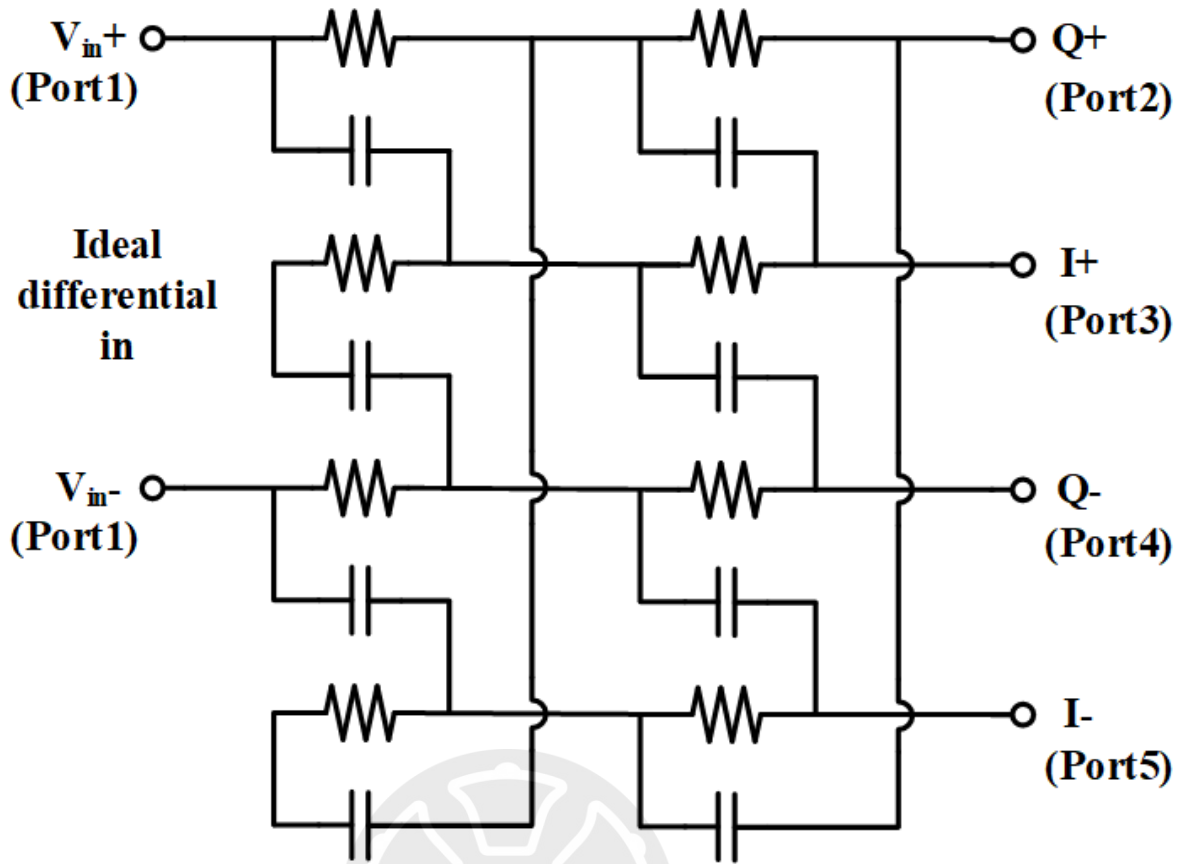
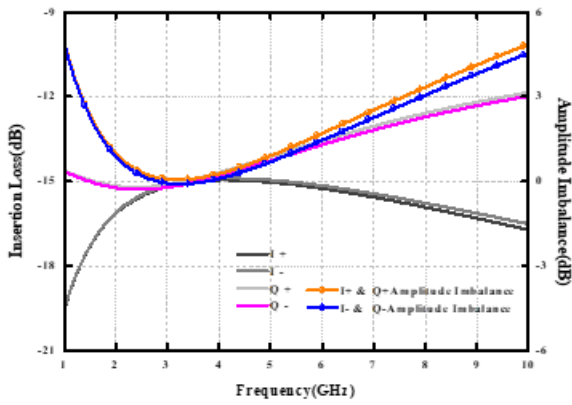


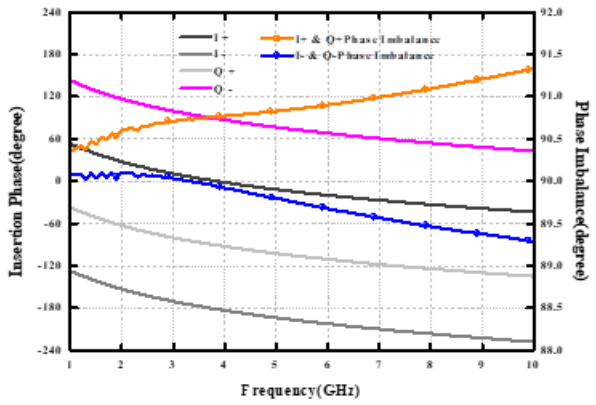
圖 3-51 二階 Poly Phase Filter 架構圖

多相位濾波器階數越多頻寬特性越好，但因為是電阻網路，隨著階數越多損耗也就越大；在設計上多相位濾波器階數需要在頻寬和損耗之做出選擇。本次多相位濾波器工作頻率為 3 GHz，在考慮訊號損耗跟所需的 IF 頻寬，最後選擇二階的多相位濾波器作為 IF 端結構，圖 3-51 為二階多相位濾波器的結構圖。

決定好了相位濾波器的電容、電阻大小後，再加入實際連接的電路走線進行電磁模擬，圖 3-54 為二階多相位濾波器的電磁模擬 3D 圖，模擬時輸入使用理想 Balun 產生差動對訊號，圖 3-52 為二階多相位濾波器的相位誤差和插入損耗的模擬圖，IF 頻寬約為 3~4 GHz，插入損耗約為 -15dB，相位誤差為 $89^\circ \sim 90^\circ$ ，相位誤差需壓制在 1° 才能有效將鏡像拒斥比抑制於 -40dB 以下，圖 3-53 為二階多相位濾波器的反射耗損模擬圖。



(a)



(b)

圖 3-52 二階 Poly Phase Filter : (a) 插入損耗模擬圖 (b) 相位誤差模擬圖

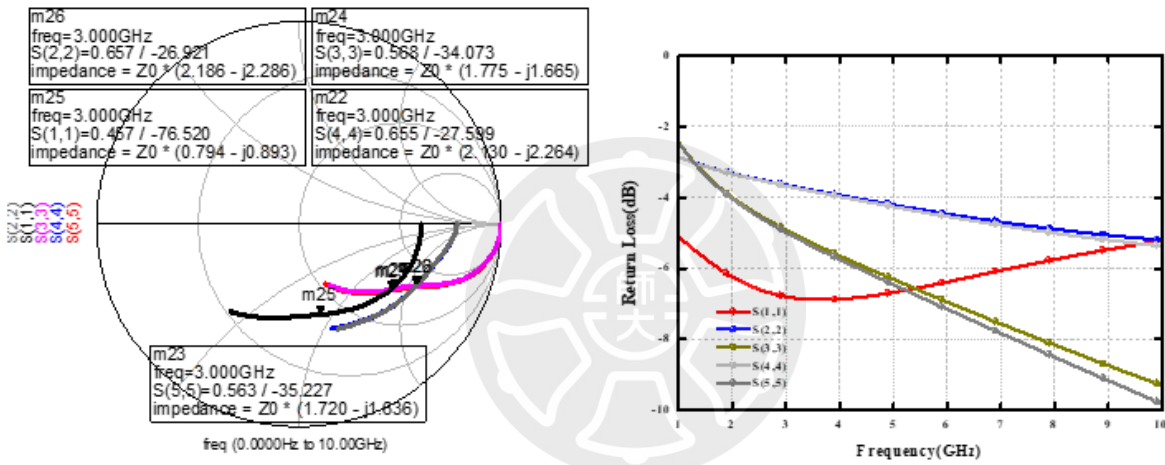


圖 3-53 二階 Poly Phase Filter 反射損耗模擬圖

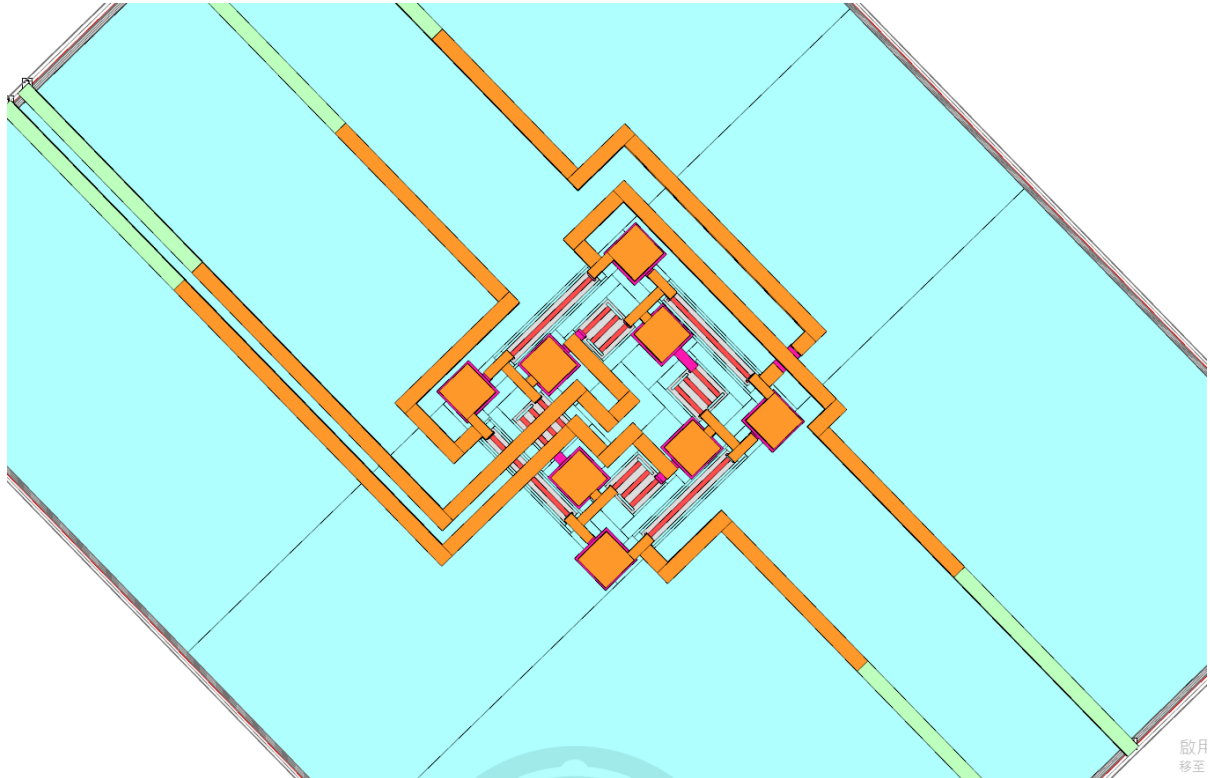


圖 3-54 二階 Poly Phase Filter 架構圖

3.4.6 威爾金森功率合成器(Wilkinson Power Combiner)

威爾金森功率合成器(Wilkinson Power Combiner)又可稱為威爾金森功率分配器(Wilkinson Power Divider)，主要功能為將 Port2 和 Port3 端的輸入訊號合併到 Port1 或將 Port1 的輸入訊號分配到 Port2 和 Port3，圖 3-55 為威爾金森功率合成器的示意圖，其結構由兩條長度為四分之一波長的傳輸線與一集總式電阻所組成，並且作為一雙向三端元件，其三端對彼此都有隔離訊號的能力。

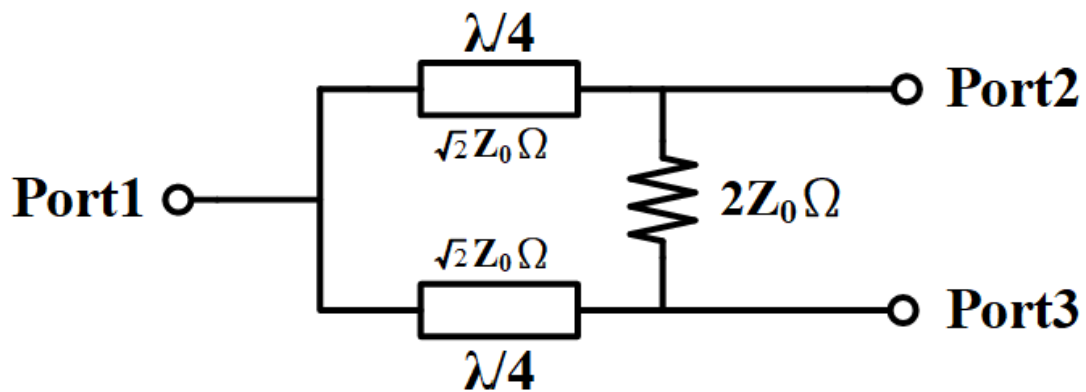


圖 3-55 Wilkinson Power Combiner 基本架構圖

在混頻器中的為威爾金森功率合成器，訊號由 Port1 輸入 Port2 和 Port3 輸出，Port1 為訊號分配端，圖 3-56 為 RF 端的威爾金森功率合成器的電磁模擬 3D 圖，圖 3-57 為其模擬特性圖，插入損耗在設計頻段約為 3.7 dB、反射係數 < -10 dB、隔離度 < -15 dB。

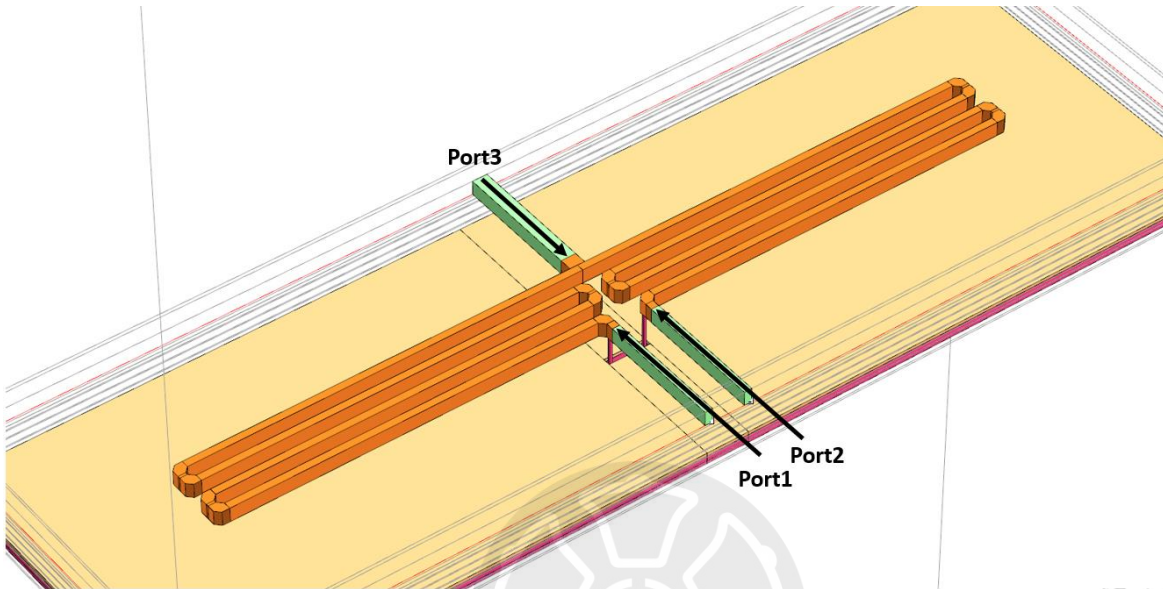


圖 3-56 Wilkinson Power Combiner 電磁模擬 3D 圖

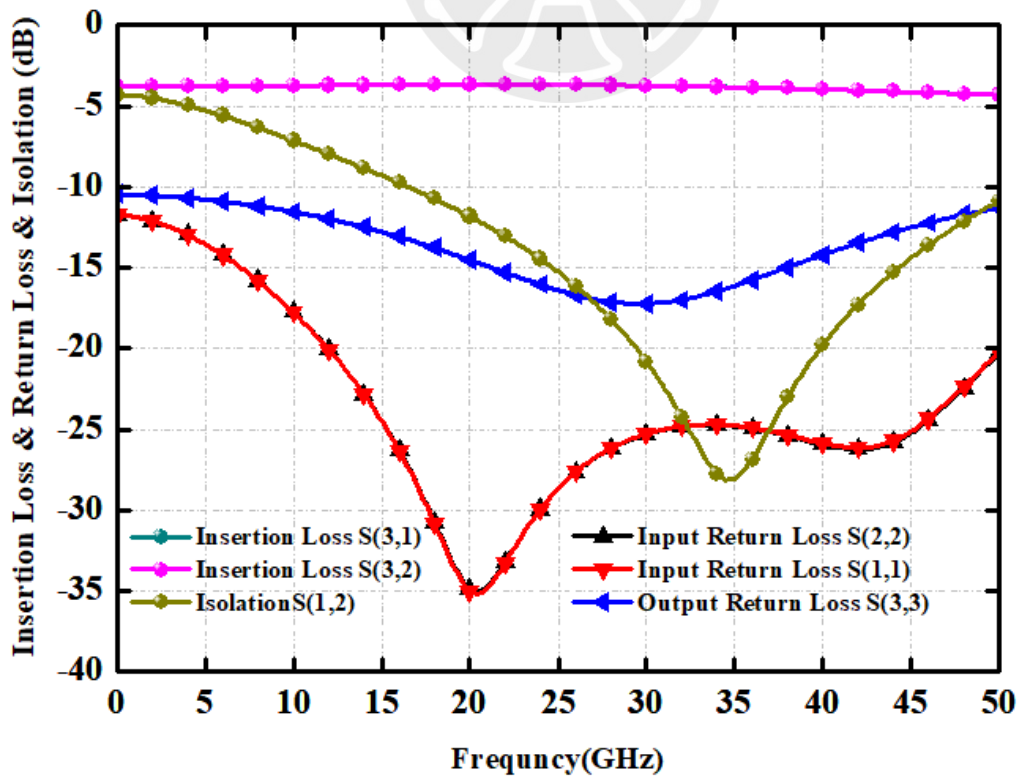


圖 3-57 Wilkinson Power Combiner 反射係數、插入損耗與隔離度模擬圖

3.5 鏡像抑制混頻器之模擬結果

本次設計的鏡像抑制混頻器使用 TSMC 180nm CMOS 製程，電晶體尺寸為 $4\ \mu\text{m} \times 4$ ，電晶體偏壓 V_g 為 0.6 V，整體電路架構如圖 3-58 所示。電路模擬軟體用是德科技(Keysight)所提供的 ADS(Advanced Design System)軟體與分析，電路中的被動元件如變壓器、傳輸線與電容等...，皆使用 Sonnet 之 EM 電磁模擬軟體來進行元件的電磁模擬，再將其模擬結果代回 ADS 來進行電路模擬與分析。以下將模擬結果分為兩部分，分別為單顆混頻器，以及鏡像抑制混頻器之模擬結果。

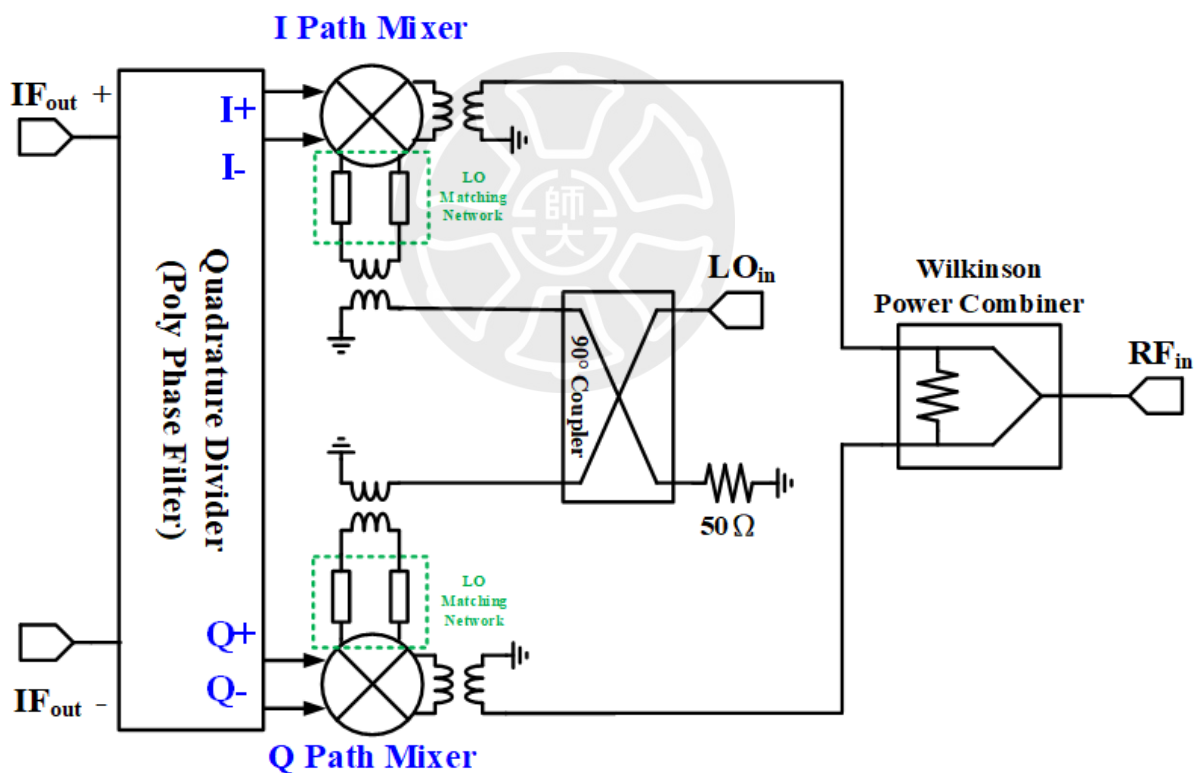


圖 3-58 鏡像抑制混頻器整體電路架構圖

3.5.1 單路混頻器模擬結果

圖 3-59 為在不同 V_g 下混頻器轉換增益對 LO 驅動功率作圖，LO 功率越大轉換增益也越大，可以看到在 LO 驅動功率為 0 dBm 時，轉換增益趨於飽和，且在 V_g 為 0.6 V 時，有最大的轉換增益，因此使用 0 dBm 做為模擬的驅動功率，

偏壓則為 0.6 V。此混頻器輸入端 LO 中心頻為 25 GHz、IF 頻率為 3 GHz，輸出端 RF 頻率為 28 GHz，其 LO 端驅動功率為 3 dBm、RF 端驅動功率為 -20 dBm，整體消耗直流功率為 0 mV。

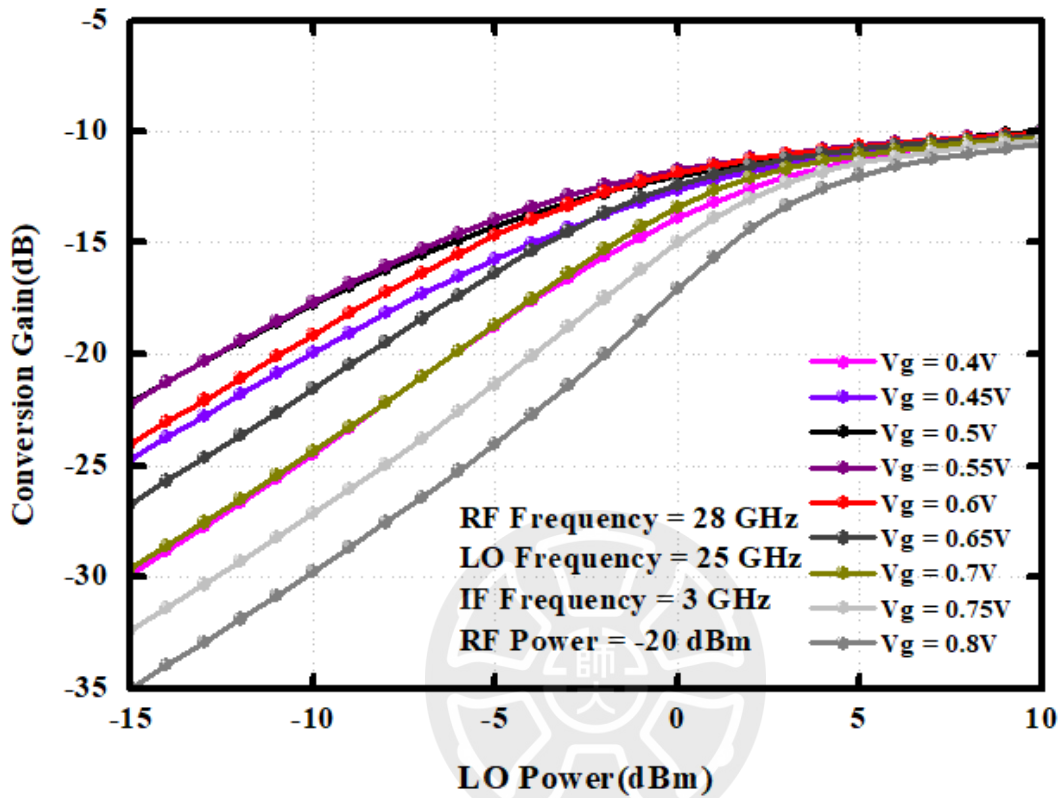


圖 3-59 不同 V_g 下混頻器之轉換增益對 LO 驅動功率模擬圖

圖 3-60 為混頻器 RF 頻寬模擬結果，在 LO 功率為 0 dBm 時，頻帶約為 27 ~ 48 GHz，轉換增益約為 -11.84 dB。圖 3-61 為混頻器 IF 頻寬模擬結果，在 LO 驅動功率為 0 dBm 時，轉換增益約為 -11.84 dB。圖 3-62 為 IF 頻率的輸出的頻譜圖，圖 3-63 為 P_{1dB} 模擬結果圖，在 LO 頻率為 25 GHz、LO 驅動功率為 0 dBm 時，1-dB 增益壓縮點的輸出功率 OP_{1dB} 約為 -16.9 dBm。圖 3-64、圖 3-65 為混頻器的隔離度模擬，LO 對 IF、LO 對 RF 隔離度皆小於 -40 dB，RF 對 LO、RF 對 IF 隔離度皆小於 -40 dB，此混頻器的隔離度都還在可以接受的範圍。

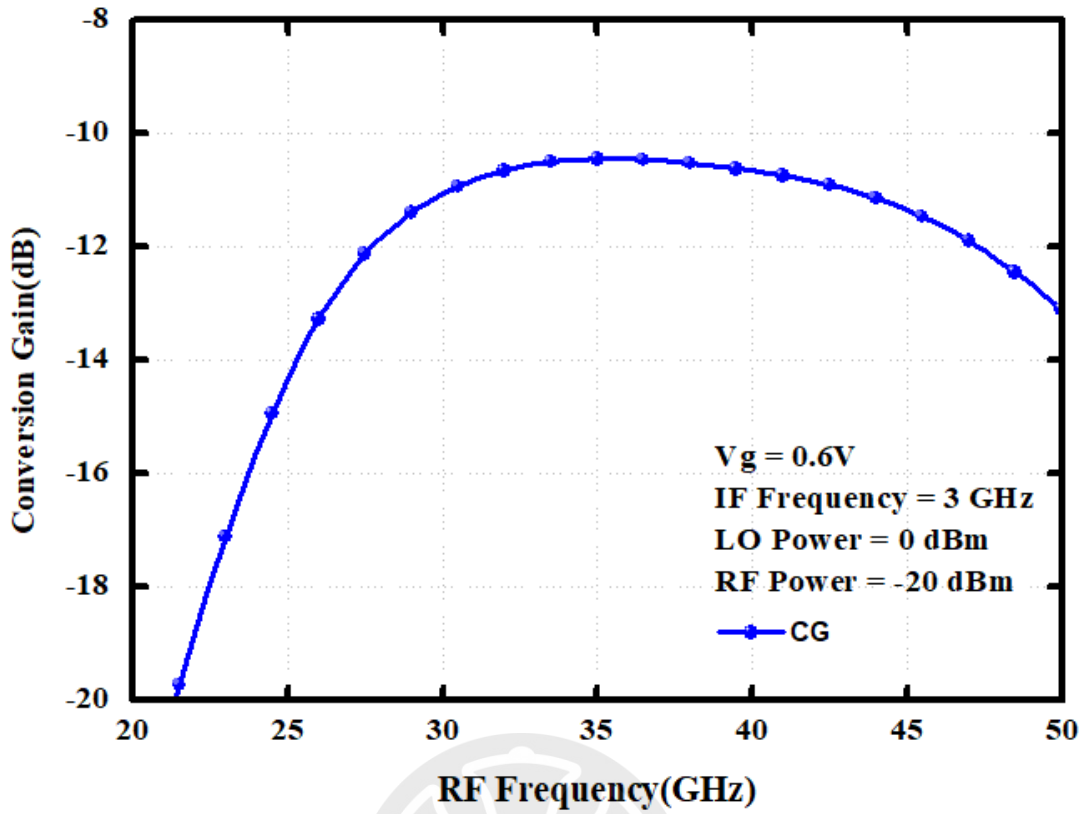


圖 3-60 混頻器轉換增益對 RF 頻寬模擬特性圖

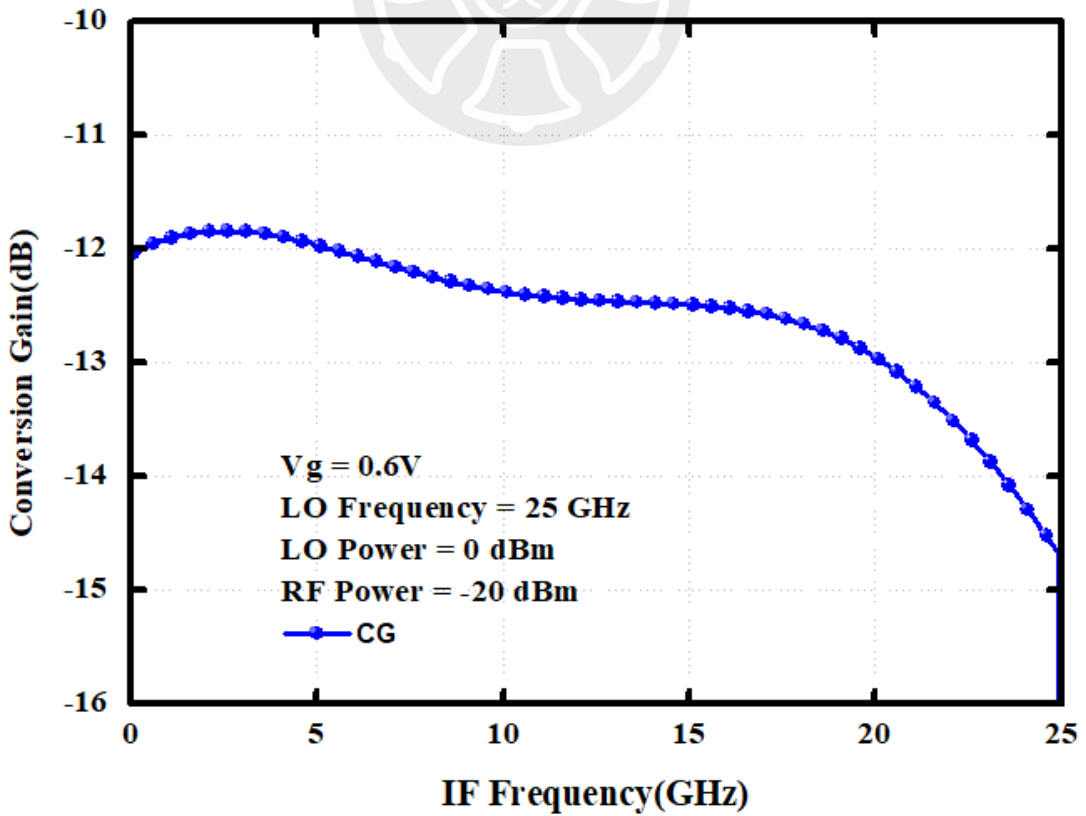


圖 3-61 混頻器轉換增益對 IF 頻寬模擬特性圖

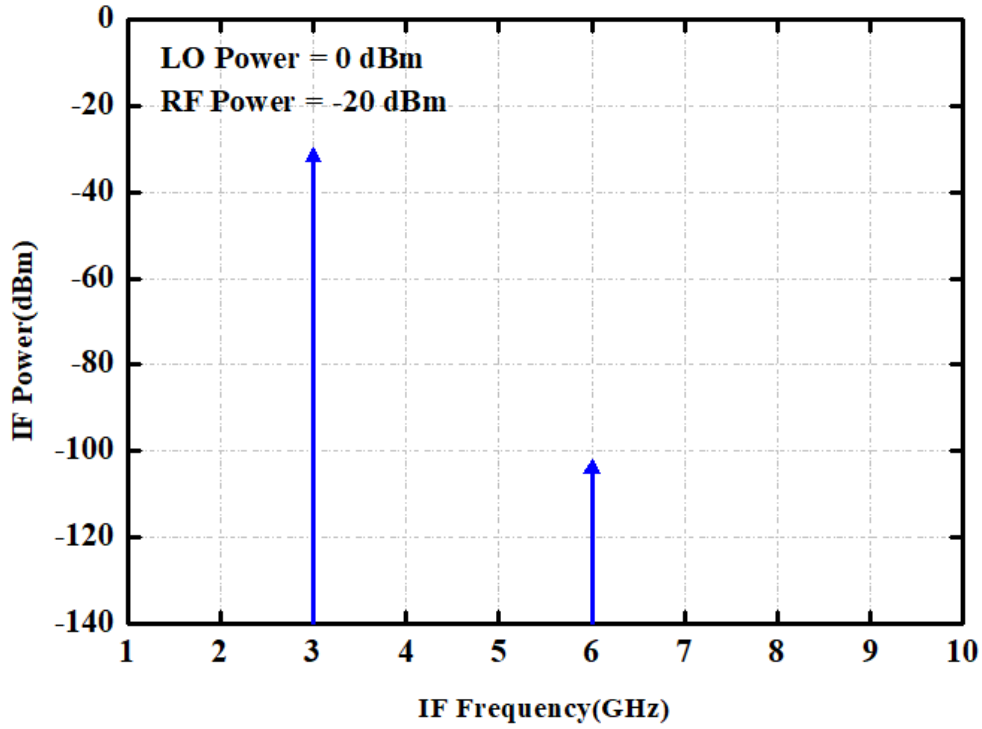


圖 3-62 混頻器輸出 IF 頻率模擬頻譜圖

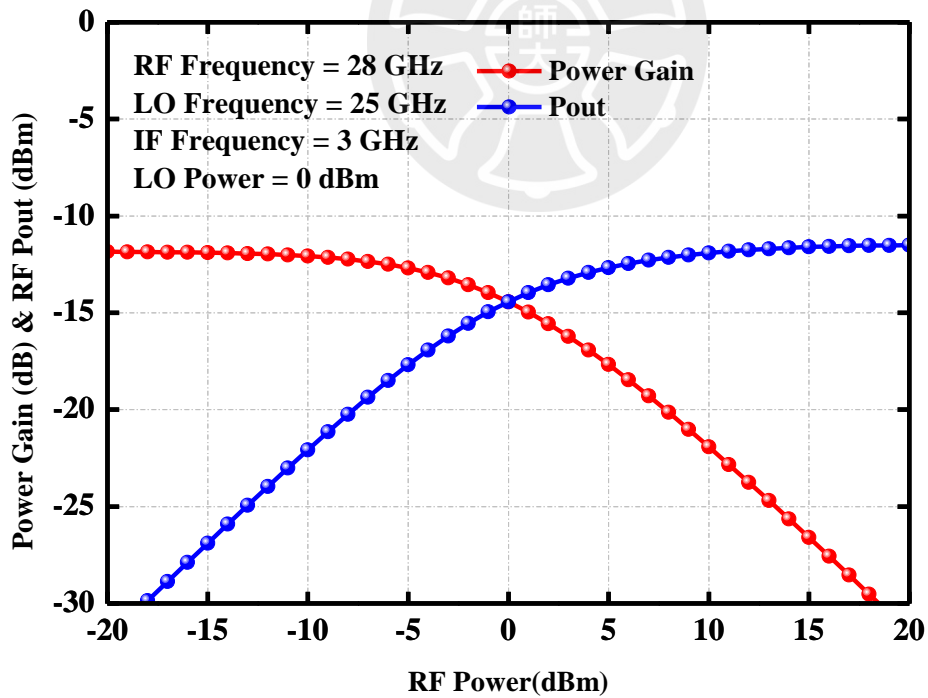


圖 3-63 混頻器之 P_{1dB} 模擬特性圖

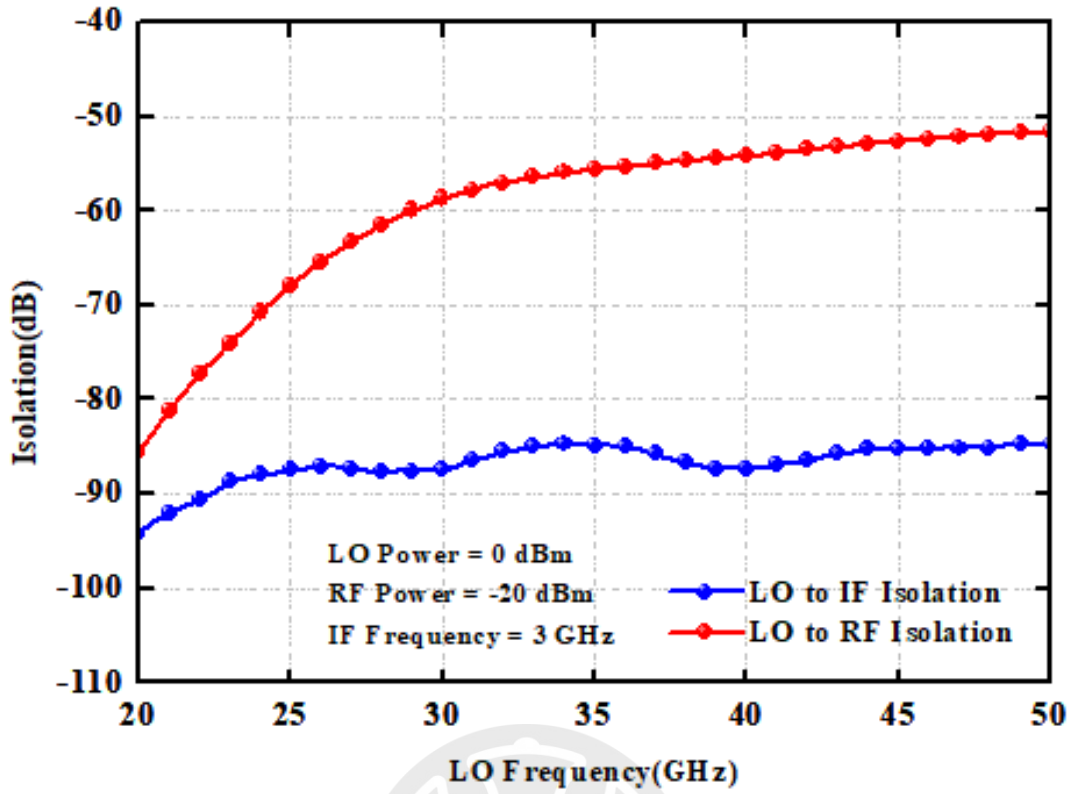


圖 3-64 混頻器之 LO 對 IF 與 RF 隔離度模擬特性圖

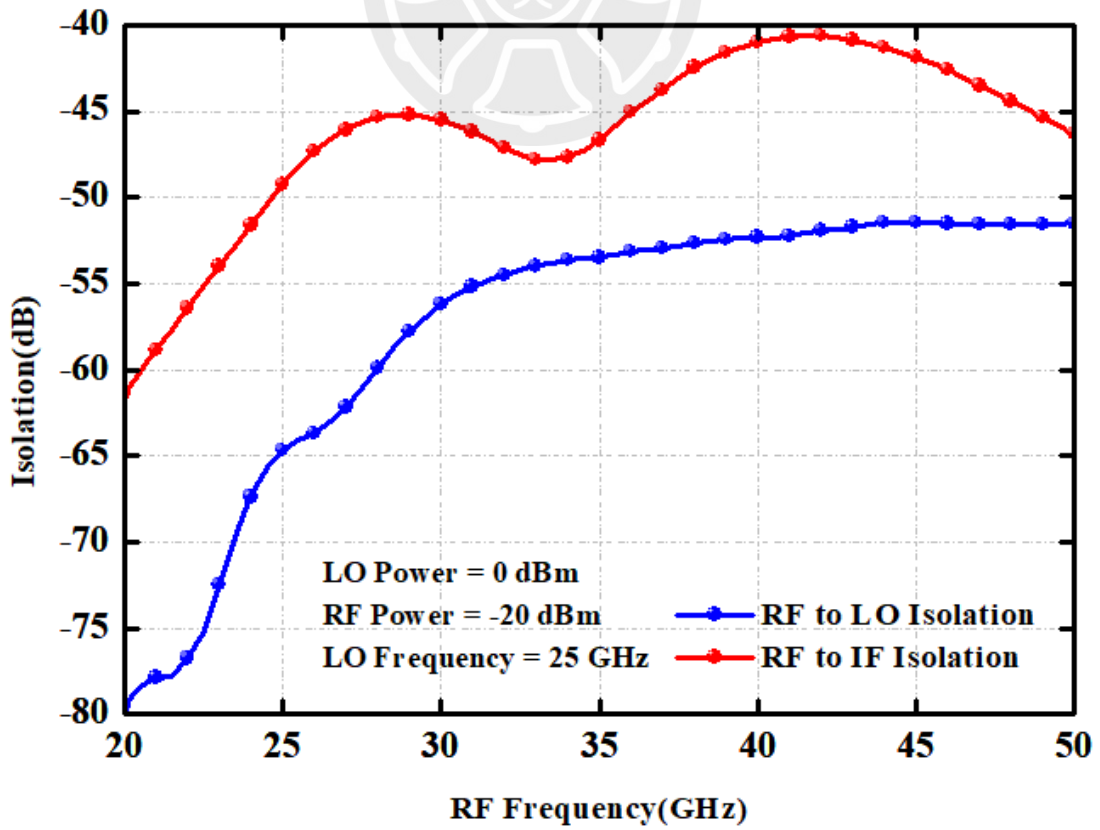


圖 3-65 混頻器之 RF 對 LO 與 IF 隔離度模擬特性圖

3.5.2 鏡像抑制混頻器模擬結果

圖 3-66 為不同 V_g 下混頻器轉換增益對 LO 驅動功率作圖，由於使用 IQ 兩顆混頻器來構成鏡像抑制架構，因此 LO 驅動功率需要多一倍選擇為 3 dBm，且由圖可知在 LO 驅動功率為 3 dBm 時，轉換增益趨於飽和，並且在偏壓為 0.6 V 時有最好的轉換增益。此鏡像抑制混頻器輸入端 LO 中心頻為 25 GHz、IF 頻率為 3 GHz，輸入端 RF 頻率為 28 GHz，其 LO 端驅動功率為 3 dBm、RF 端輸入功率為 -20 dBm。圖 3-67 為模擬 IF 頻率的輸出的頻譜圖，藍色為主訊紅色為鏡像訊號，由圖可見鏡像訊號混出的 IF 輸出在 3 GHz 能被有效抑制。

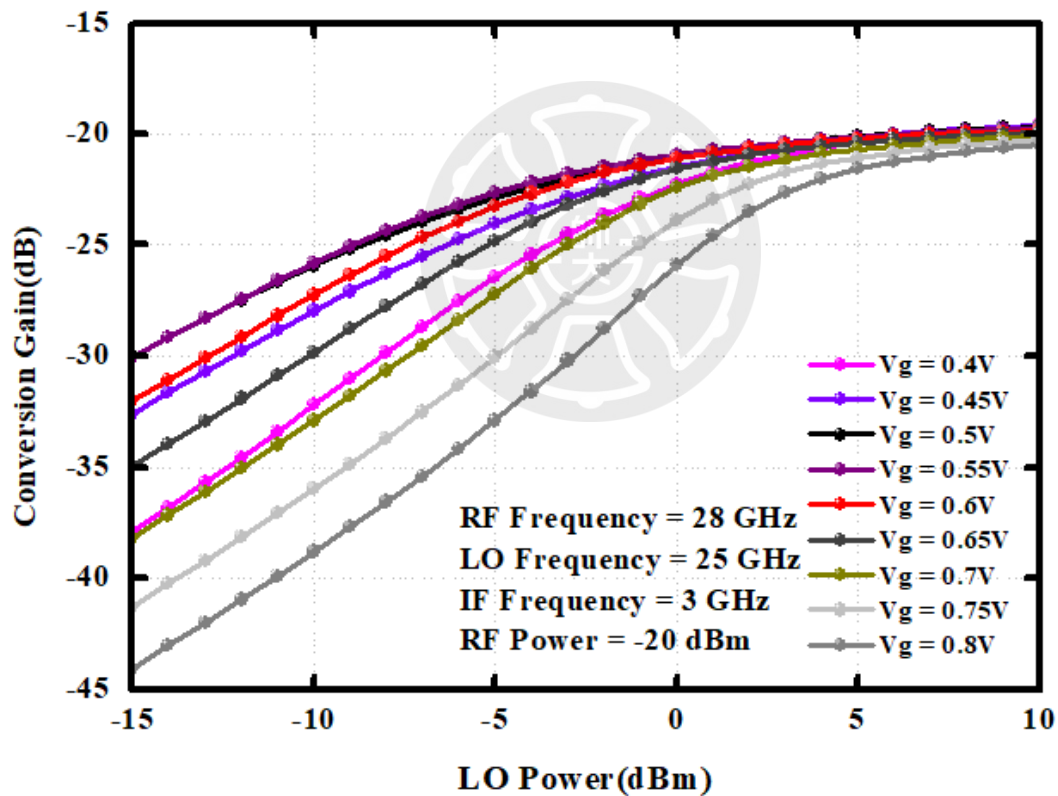


圖 3-66 不同 V_g 下鏡像抑制混頻器之轉換增益對 LO 驅動功率模擬圖

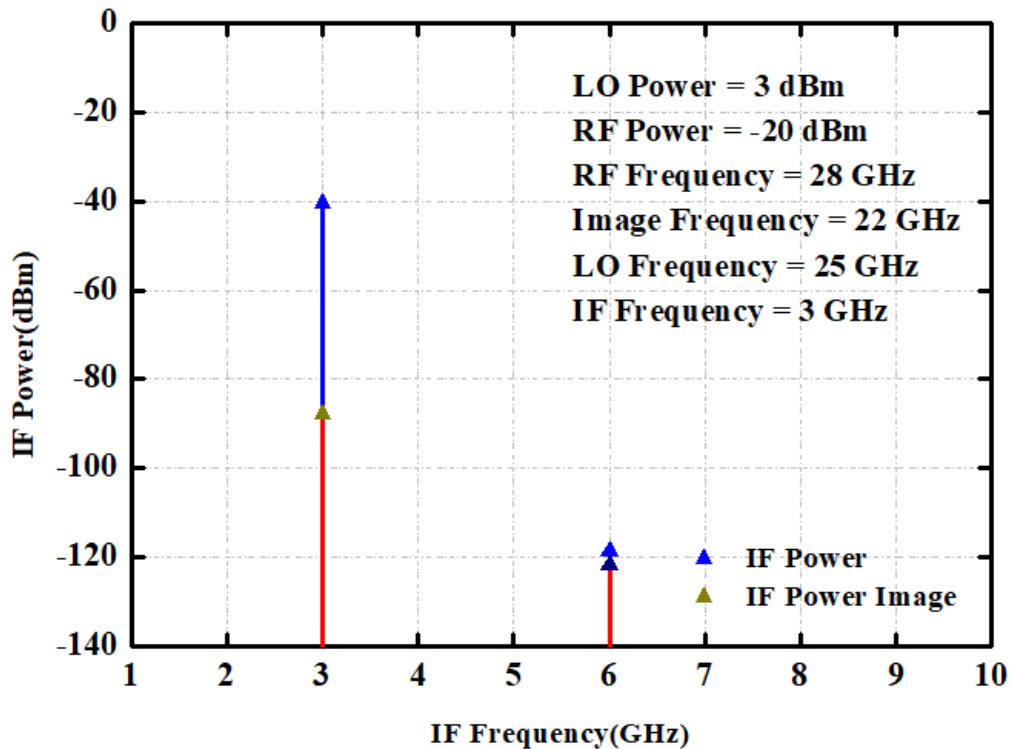


圖 3-67 鏡像抑制混頻器輸出頻率 3 GHz 之輸出頻譜模擬圖

圖 3-68 為鏡像抑制混頻器 RF 頻寬及鏡像拒斥比模擬結果，在 LO 驅動功率為 3 dBm 時，頻帶約為 25 ~ 31 GHz，轉換增益約為 -20.48 dB，鏡像拒斥比在 RF 頻率為 28 GHz 時為 -47.18 dB，能有效消除鏡像訊號。圖 3-69 為鏡像抑制混頻器 IF 頻寬及鏡像拒斥比模擬結果，圖 3-70 為 P_{1dB} 模擬結果圖，在中心頻率為 25 GHz、LO 驅動功率為 3 dBm 時，1-dB 增益壓縮點之輸出功率 OP_{1dB} 約為 -16.57 dBm。圖 3-71 和圖 3-72 分別為在中心頻率為 25 GHz、LO 驅動功率為 6、9 dBm 時，1-dB 增益壓縮點之輸出功率 OP_{1dB} 分別約為 -13.14 dBm 和 -9.86 dBm。圖 3-73、圖 3-74 為混頻器的隔離度模擬，LO 對 IF、LO 對 RF 隔離度皆小於 -50 dB，RF 對 LO、RF 對 IF 隔離度皆小於 -50 dB，本次鏡像抑制混頻器的隔離度特性都在可以接受的範圍。

如圖 3-75 所見，IF 端使用的多相位濾波器在不同頻率下進行電磁模擬會有不同鏡像拒斥比模擬結果，設計時應將該效應加入設計考量。

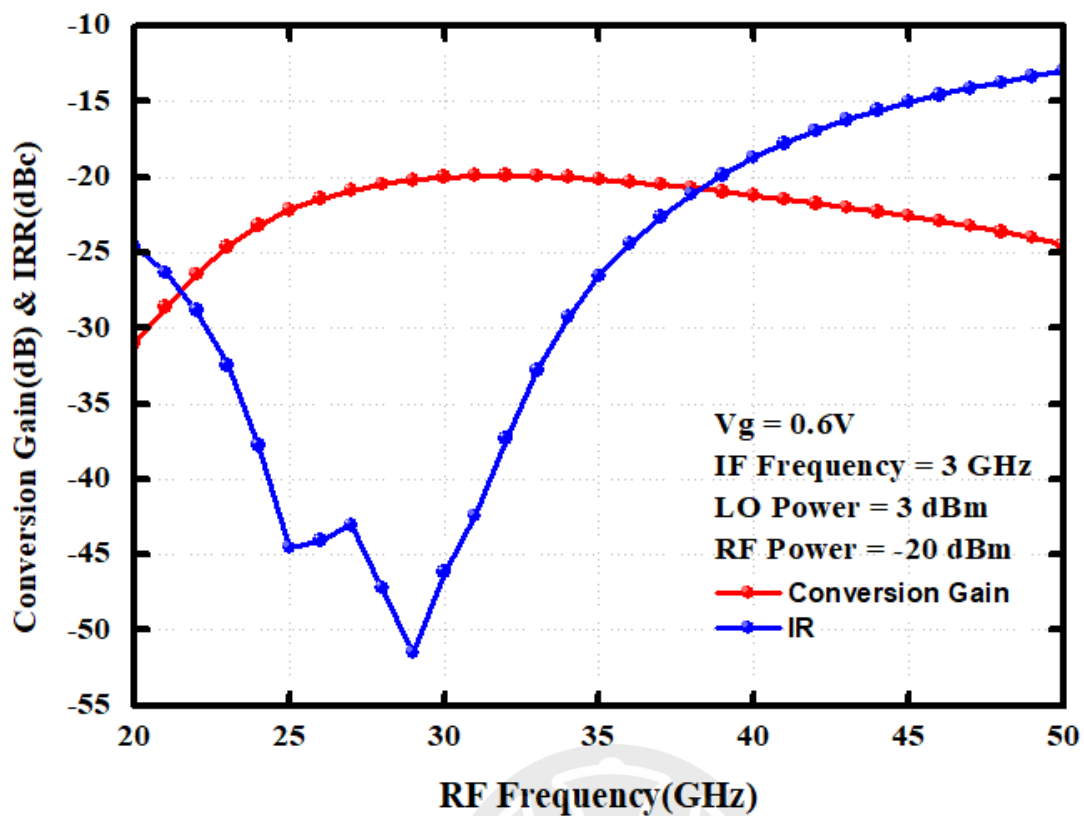


圖 3-68 鏡像抑制混頻器轉換增益及鏡像拒斥比對 RF 頻寬模擬特性圖

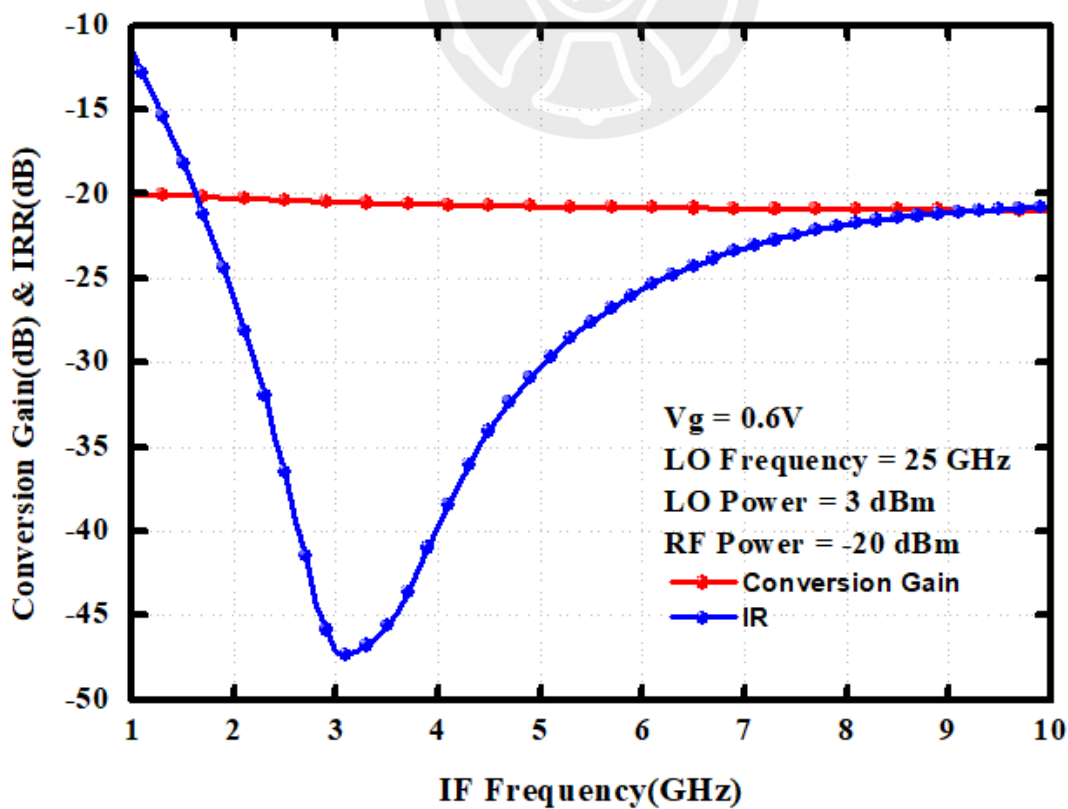


圖 3-69 鏡像抑制混頻器轉換增益及鏡像拒斥比對 IF 頻寬模擬特性圖

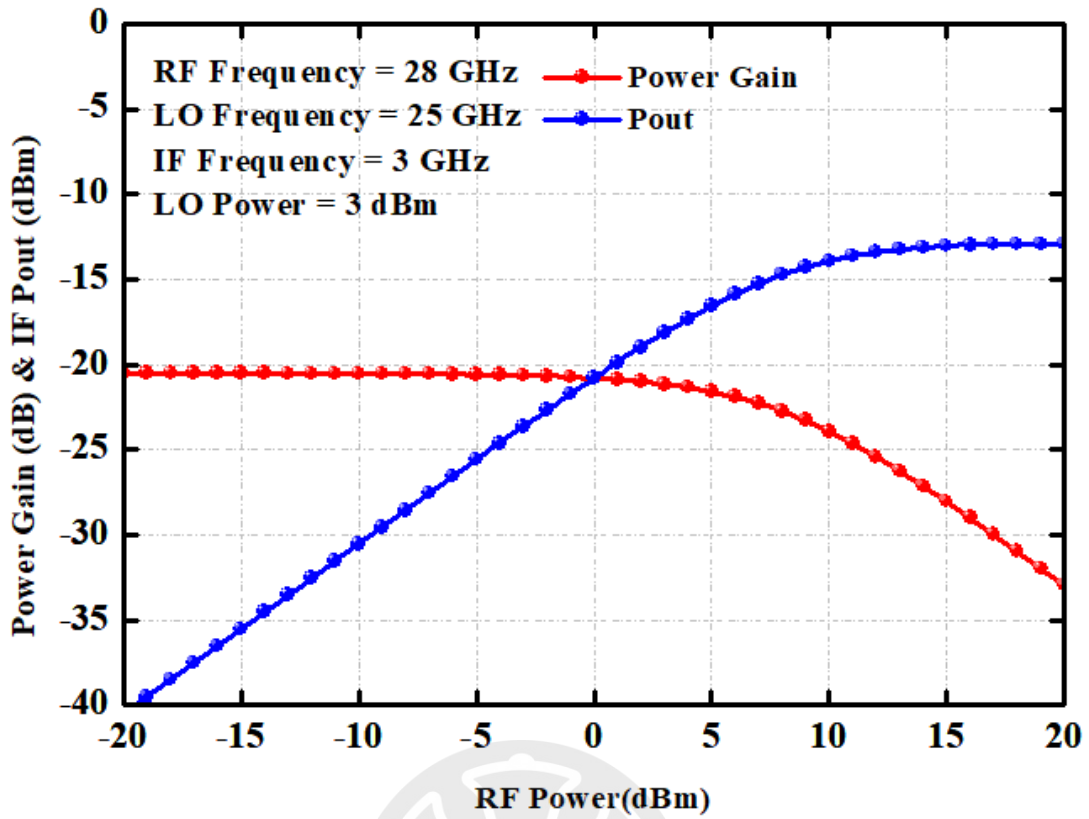


圖 3-70 鏡像抑制混頻器之 P_{1dB} 模擬特性圖(LO Power = 3dBm)

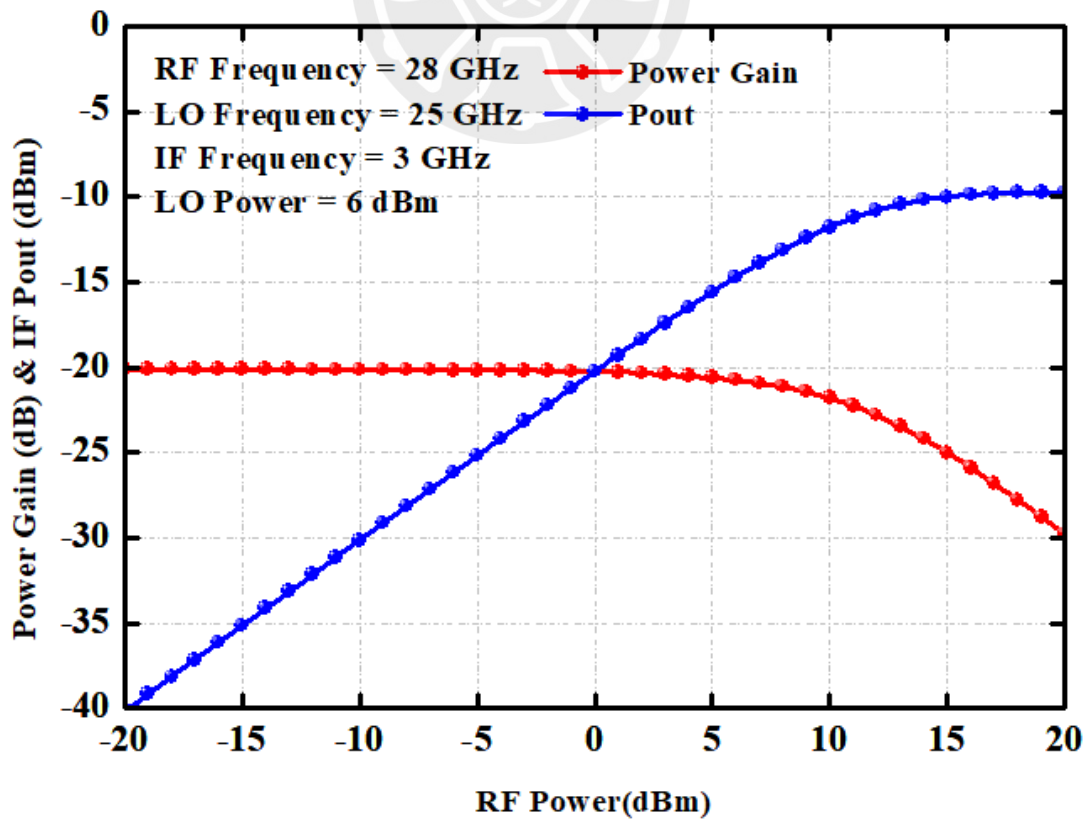


圖 3-71 鏡像抑制混頻器之 P_{1dB} 模擬特性圖(LO Power = 6dBm)

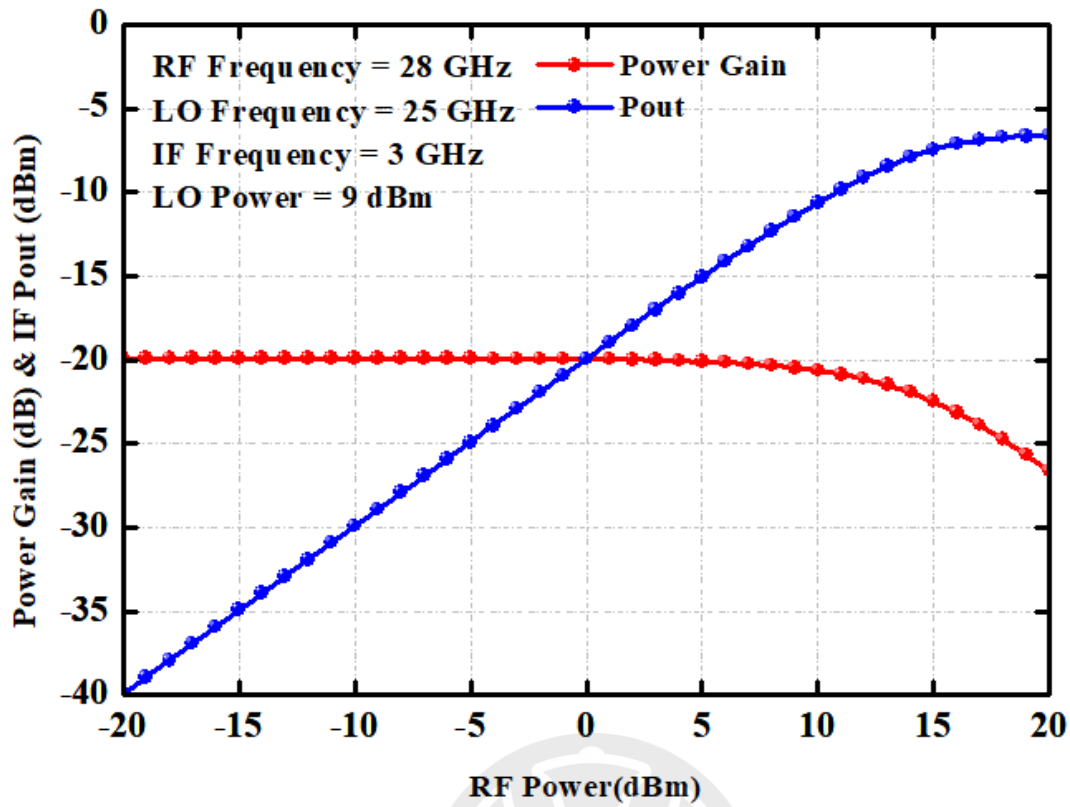


圖 3-72 鏡像抑制混頻器之 P_{1dB} 模擬特性圖(LO Power = 9dBm)

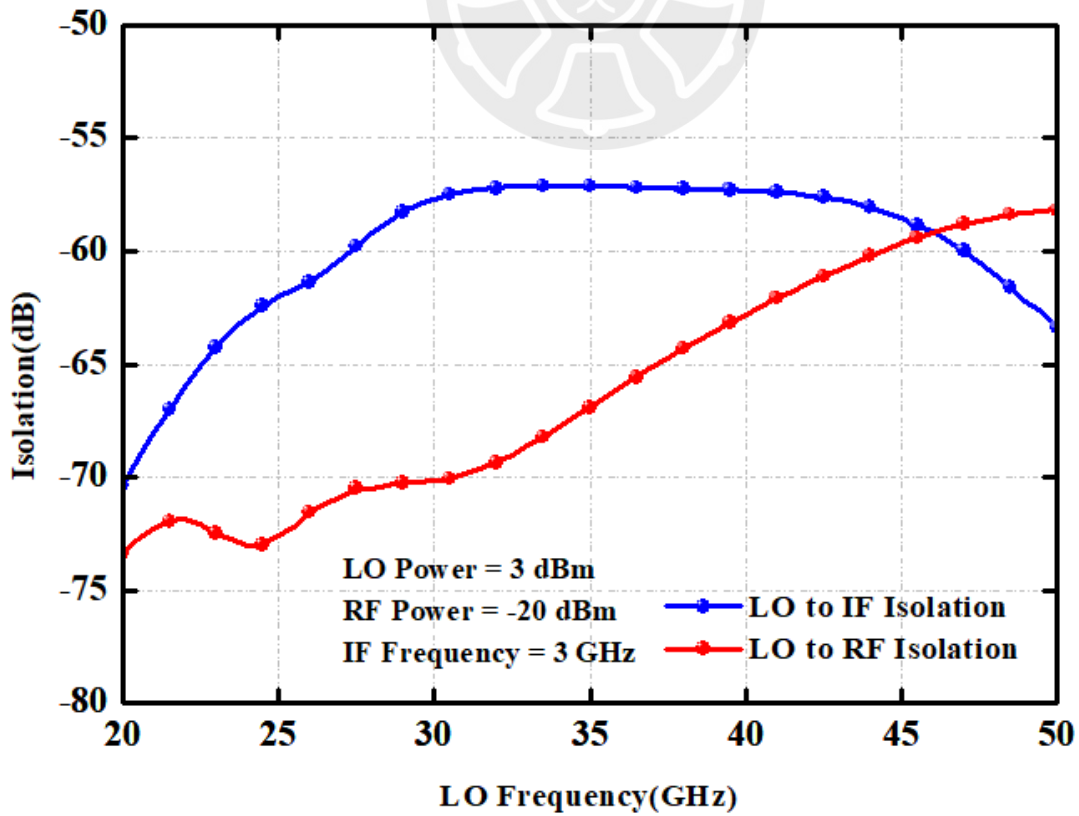


圖 3-73 鏡像抑制混頻器之 LO 對 IF 與 RF 隔離度模擬特性圖

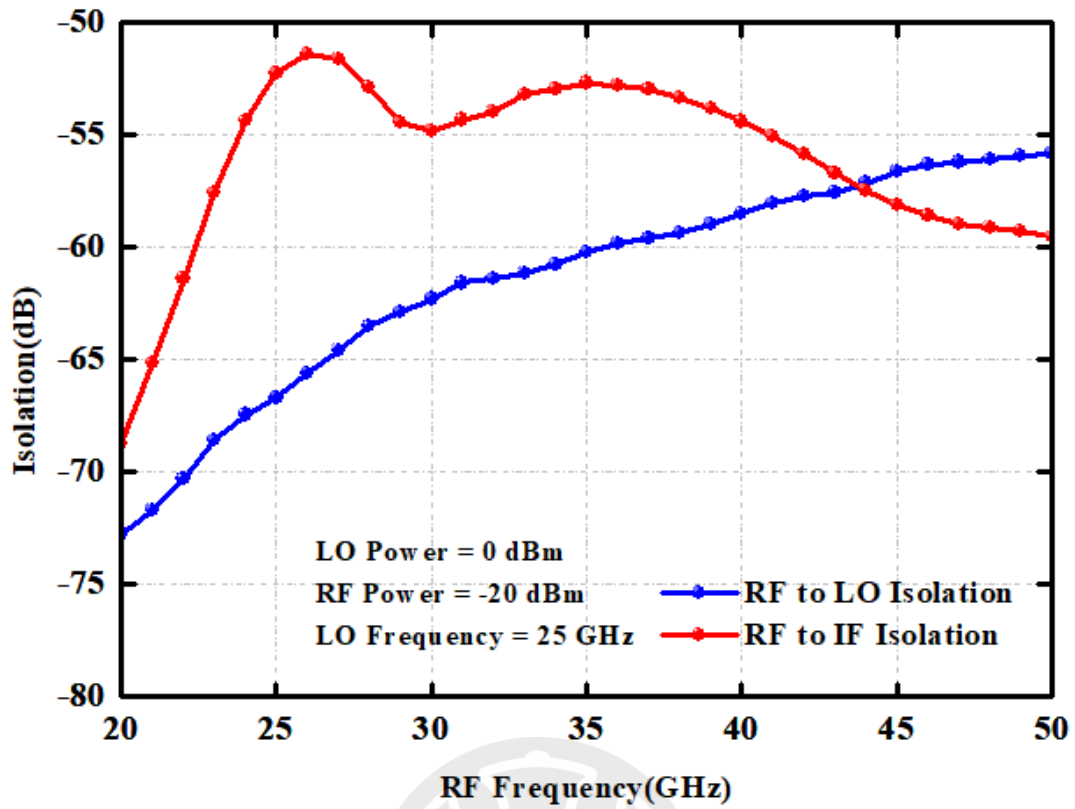


圖 3-74 鏡像抑制混頻器之 RF 對 LO 與 IF 隔離度模擬特性圖

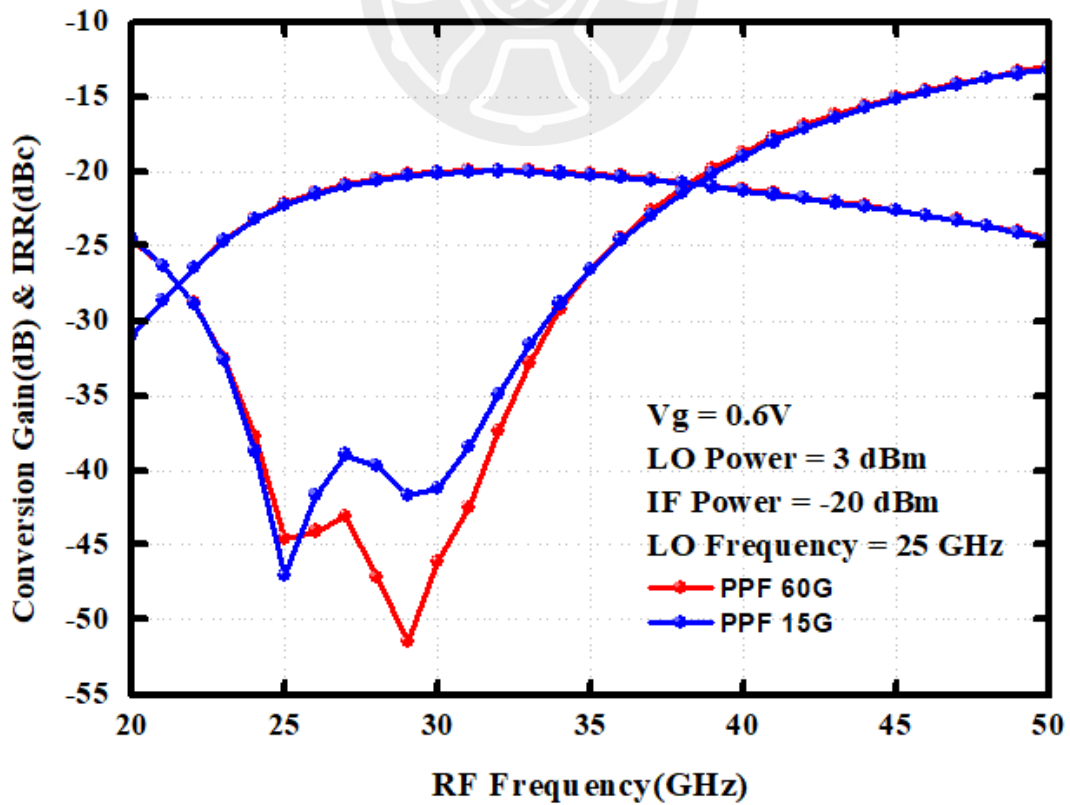


圖 3-75 掃描到 15 GHz 與掃描到 60 GHz 的 RF 頻寬模擬特性圖

3.6 總結

本次電路設計實現了一個 28 GHz 鏡像抑制混頻器，輸入 I/Q 訊號分別饋入兩個混頻器，透過相差 180° 的訊號，其會抵消混頻輸出的鏡像訊號，以提升整體系統的靈敏度以及線性度，製程使用 TSMC 180nm CMOS 製程，整體晶片面積為 800 μm × 700 μm，操作之偏壓 V_g 為 0.6 V。當 LO 驅動功率為 3 dBm，輸入端 LO 中心頻為 25 GHz、RF 頻率為 28 GHz，輸出端 IF 頻率為 3 GHz，其 RF 端輸入功率為 -20 dBm 時，轉換增益約為 -20.48 dB，頻帶約為 25 ~ 31 GHz，鏡像拒斥比在 RF 頻率為 29 GHz 時為 -51.48 dB，1-dB 增益壓縮點的輸出功率 OP_{1dB} 大約為 -17.33 dBm。表 3-1 為本次設計晶片鏡像抑制混頻器模擬特性表。

Parameters		Simulation
Technology		TSMC 180nm CMOS
Performances	RF Freq. (GHz)	26-30
	IF Freq. (GHz)	2.5-4
	LO Freq. (GHz)	25
	LO Power (dBm)	3
	Conversion Gain(dB)	-20.48
	IRR(dB)	< -40 @21~32 GHz
	LO to RF isolation (dB)	< -50
	OP_{1dB} (dBm)	-17.33

表 3-1 鏡像抑制混頻器模擬特性表

第四章 28GHz 鏡像抑制接收器

本章將說明應用於毫米波之鏡像抑制接收機，將上兩章所介紹低雜訊放大器和鏡像抑制混頻器組成鏡像抑制接收器，此接收器能抑制主頻外的射頻訊號所產生的降頻鏡像訊號，並於混頻器前加上雜訊放大器於接收器的第一極對雜訊進行抑制。本次設計採用 TSMC 0.18- μm CMOS RF Process 實現，LO 輸入功率為 3dbm、IF 頻率為 3 GHz、RF 頻率為 28 GHz 且 LNA 供給電壓為 3.3V、疊接結構共源極閘極(V_{g1})偏壓為 0.85V、疊接結構共閘極閘極(V_{g2})偏壓為 2.5V，轉換增益為 -2.07dB，直流功耗為 19.6mW，整體晶片面積約為 $1200\mu\text{m} \times 700\mu\text{m}$ (含 PAD)。

4.1 簡介

本系統為一鏡像抑制接收機，在接收器系統中通常以加上一濾波器來處理鏡像訊號，但當接收頻率到毫米波頻段濾波器在設計將面臨挑戰，由於濾波器在毫米波頻段較難將訊號濾除，故本接收器系統採用鏡像抑制混頻器在電路方面處理鏡像訊號的問題，接收器第一極為低雜訊放大器來抑制雜訊，由雜訊指數計算公式可知，第一極做雜訊抑制能有效壓低後極雜訊對整體系統雜訊的影響，接著接上鏡像抑制混頻器將射頻訊號降至中頻。

4.2 收發機混頻器比較

於射頻接收器中的混頻器主要可分為主動和被動混頻器，詳細內容參考第三章介紹，被動混頻器由電晶體或二極體的非線性特性實現，有不消耗直流功耗和有較好的線性度等優點，隨著各種攜帶式裝置的普及，功耗漸漸成為系統的重要指標，對各種攜帶式裝置於言由於其電源由電池提供，如何在相同的電

量下使裝置運作更長時間成為消費者和廠商選擇產品的重要標的，主動混頻器會於其結構中加入操作於主動區的電晶體來提供更高的轉換增益，這導致主動混頻器需要消耗直流功率，並且其線性度也較被動混頻器差，在考量到線性度和直流功耗，本系統採用被動混頻器作為系統混頻器，其低轉換增益的缺點再由增加放大器的數量來改善，表 4-1 為主動和被動混頻器的比較。

混頻器類型	優點	缺點
主動式混頻器	高轉換增益 所需 LO 功率較小 低雜訊	直流功耗大 線性度差
被動式混頻器	線性度較好 不消耗直流功率 較寬頻寬	低轉換增益 較高雜訊 所需 LO 功率較大

表 4-1 為主動和被動混頻器比較表

4.3 收發機之常見架構

本章節將介紹一些常用接收器的架構，並比較不同架構的特性，下面將介紹外差式接收機(Heterodyne Receiver)、雙中頻外差式接收機(Dual-IF Heterodyne Receiver)、同差式接收機(Homodyne Receiver)。

4.3.1 外差式接收機(Heterodyne Receiver)

圖 4-1 是一外差式接收機的示意圖[34][35]，射頻訊號由天線接收後先進入頻帶選擇濾波器(Band Select Filiter)將接收到不需要其他頻帶的射頻訊號濾除，接著進入低雜訊放大器做第一極來進行雜訊抑制，接著進入鏡像抑制濾波器(Image Reject Filiter)將鏡像訊號濾除，再來進入混頻器降頻到中頻輸出，接著

再進入一通道選擇濾波器(Channel Select Filter)將射頻訊號周遭一起降頻的干擾訊號濾除，最後再由 VGA 調整訊號的增益，接著進入 ADC 做訊號轉換。此架構 Selectivity 和 Sensitivity 是互相矛盾的，當輸出 IF 決定在較高頻率時，系統能較好濾除鏡像訊號，代表系統有較好的 Selectivity，但通道周遭干擾訊號將較難處理，造成較差 Selectivity，當輸出 IF 決定在較低頻率時，系統能較好周遭干擾訊號，但較難處理鏡像訊號，造成系統有較好的 Sensitivity，但 Selectivity 表現較差。

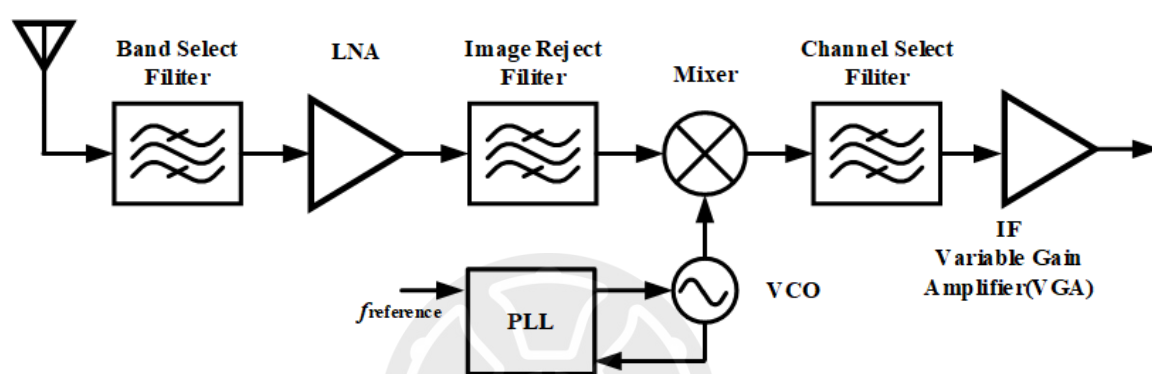


圖 4-1 外差式接收機架構圖

4.3.2 雙中頻外差式接收機(Dual-IF Heterodyne Receiver)

圖 4-2 為雙中頻外差式接收機示意圖，該結構改善了外差式接收機要在 Sensitivity 和 Selectivity 之間取捨的問題，用作原理為透過兩次降頻分別處理 Sensitivity 和 Selectivity 的問題，在天線收到射頻訊號會先進行第一次降頻，首先選擇較高的中頻，使鏡像訊號距主訊號較遠較容易由濾波器濾除，Sensitivity 較好，接著進行第二次降頻，這次選擇較低的中頻，來使濾波器較容易濾除通道周遭干擾訊號，來使 Selectivity 有較好表現。

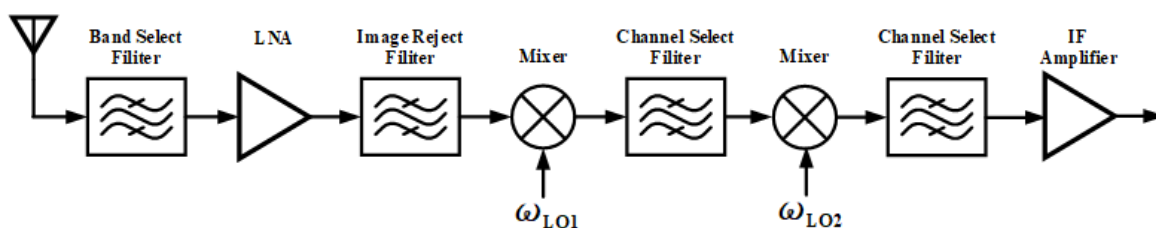


圖 4-2 雙中頻外差式接收機架構圖

雙中頻外差式接收機結構有很好的 Sensitivity 和 Selectivity，但這架構需要兩次降頻，使的系統整體需要較多的原件和較大的空間，這將使系統面積過於龐大。

雙中頻外差式接收機也可以用於處理數位訊號，結構如圖 4-3 所示，第二極混頻器換成正交降頻器(Quadrature Down Conversion)，將降頻訊號分為 I/Q 兩路，兩路可同時處理訊號，並由於兩路相差 90 度相位兩路訊號不互相干擾，我們將這系統稱作 Quadrature Down Conversion for Digital Modulation，此架構通常用於高階調變系統，如 QPSK、16QAM 等。

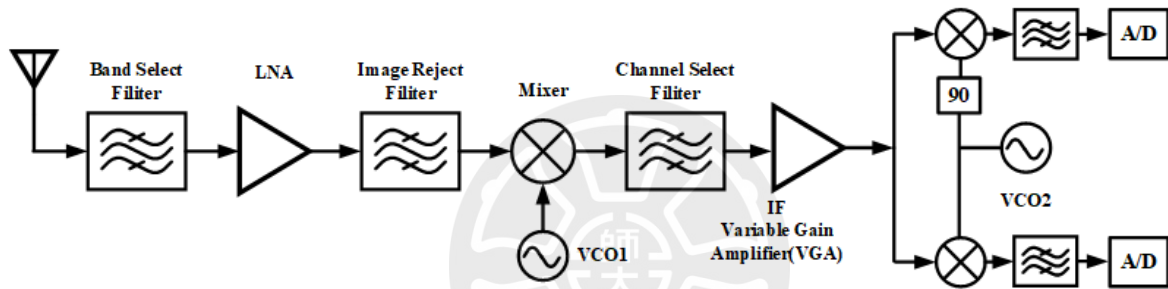


圖 4-3 雙中頻外差式加正交降頻器接收機架構圖

4.3.3 同差式接收機(Homodyne Receiver)

同差式接收機又可稱為(Direct Conversion)或是 Zero-IF，此結構將收到的射頻訊號直接降頻到基頻訊號(BaseBand)後交由後極做訊號處理，結構圖如圖 4-4 所示，此架構雖有結構簡單和所需面積小的優點，但 LO 和 RF 訊號頻率相近，LO 漏到 RF 端的訊號會進入混頻器做同頻混頻，而同頻混頻將造成直流偏差(DC offset)的問題，這將對後極基頻電路造成干擾。

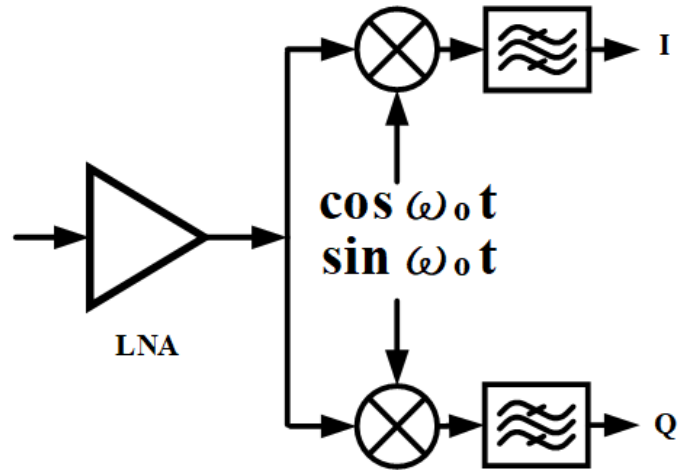


圖 4-4 同差式正交降頻器接收機架構圖

4.4 28 GHz 低雜訊放大器

接收器中第一極，對接收到射頻訊號做雜訊抑制，為一兩階串聯的疊接組態放大器，輸入做雜訊匹配，極間和輸出做共軛匹配，詳細內容參考第二章。

4.5 28 GHz 鏡像抑制混頻器

接收器中第二極為一鏡像訊號抑制混頻器，由 I/Q 兩路 Mixer core 組成，由耦合器和馬相巴倫產生四相位訊號，輸出端由多相位濾波器再將四相位合併為差動對輸出，詳細內容參考第三章。

4.6 28 GHz 鏡像抑制接收器設計

本次設計的鏡像抑制接收器將前兩章節介紹的電路合併起來，電路圖如圖 4-5 所示，LO 和 RF 端為單端輸入並分別由耦合器加馬相巴倫的組合和威爾金

析，電路中的被動元件如變壓器、傳輸線與電容等…，皆使用 Sonnet 之 EM 電磁模擬軟體來進行元件的電磁模擬。

接收器 RF 頻率為 28 GHz，LO 頻率定在 25 GHz，輸出 IF 頻率為 3 GHz，RF 輸入功率為 -20 dBm、LO 驅動功率 3 dBm、混頻器電晶體閘極電壓為 0.6V；低雜訊放大器供給電壓為 3.3V，疊接組態的共源極閘極電壓為 0.85V，疊接組態共閘極閘極電壓為 2.5V，整體功率消耗 10.87mW。

圖 4-6、圖 4-7 為鏡像抑制接收器在不同混頻器電晶體的閘極電壓(V_g)下的 LO Power 對轉換增益的模擬圖，由圖可見 LO Power 於 3 dBm 處轉換增益接近飽和。

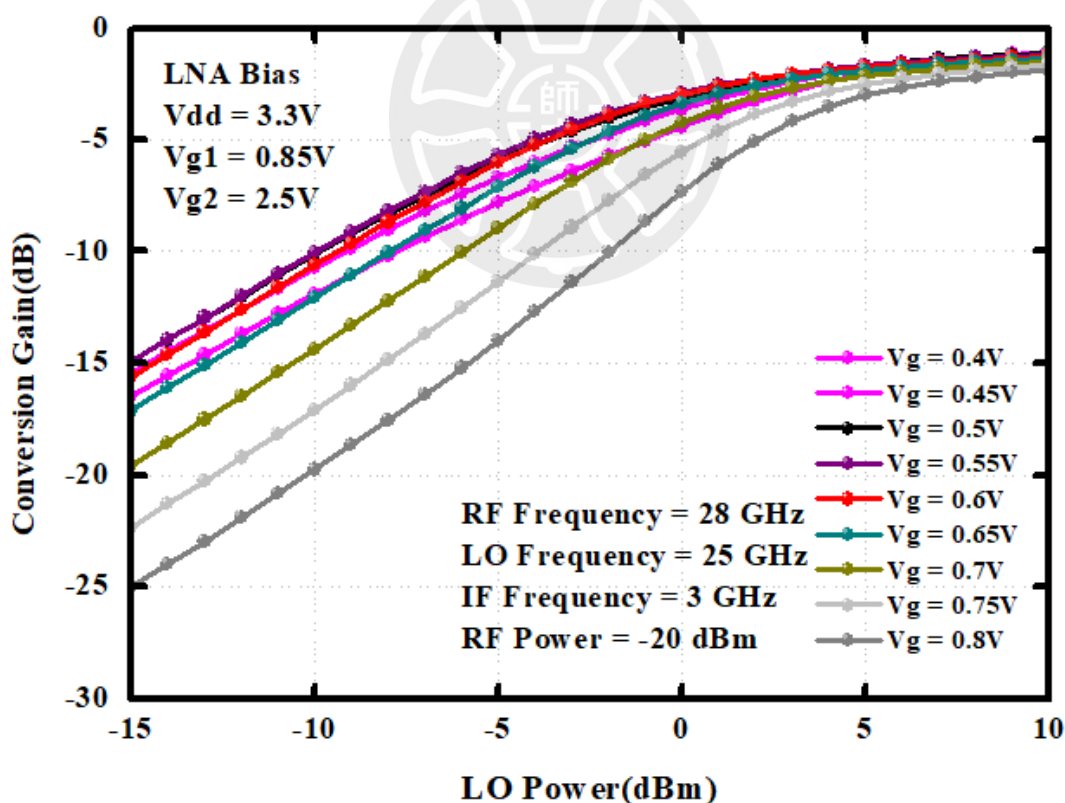


圖 4-6 接收器在不同 V_g 對 LO Power 轉換增益模擬圖

LNA(Vdd = 3.3V Vg1 = 0.85V Vg2 = 2.5V)

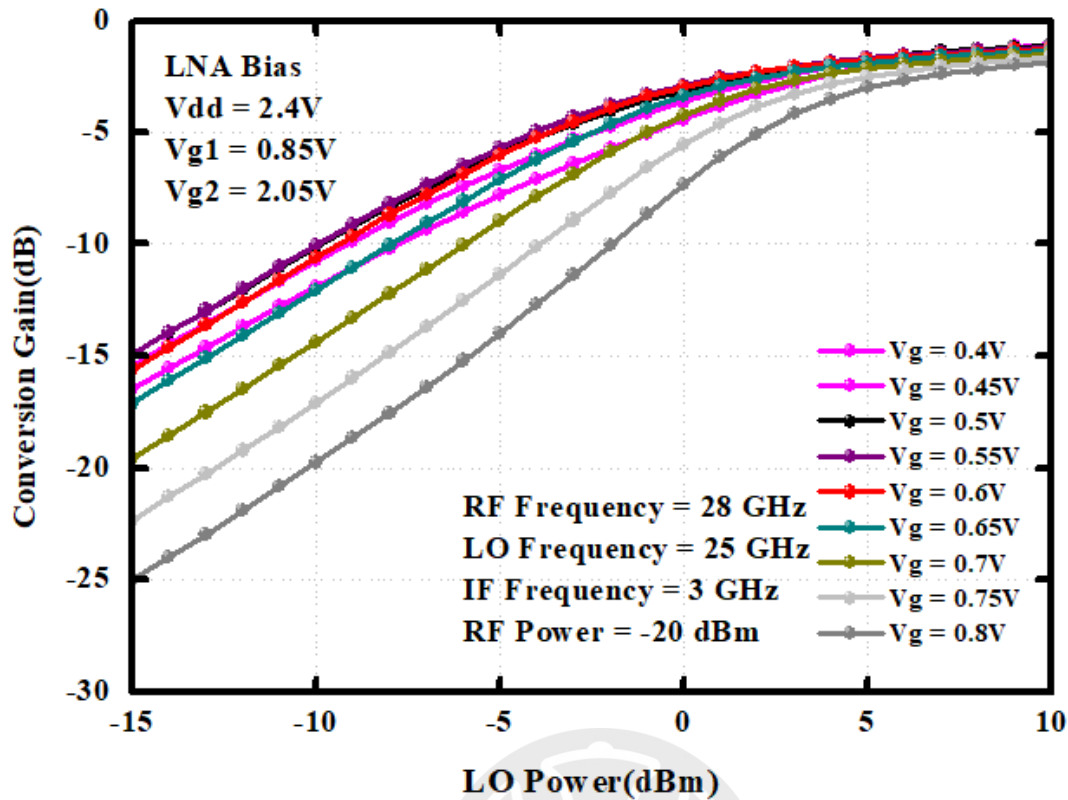


圖 4-7 接收器在不同 V_g 對 LO Power 轉換增益模擬圖

LNA($V_{dd} = 2.4V$ $V_{g1} = 0.85V$ $V_{g2} = 2.05V$)

由圖 4-6、圖 4-7 可見， V_g 在 0.6V 時接收器有較高的轉換增益，LO Power 在 3 dBm 時轉換增益大致趨近飽和，圖 4-8 為鏡像拒斥比和轉換增益在不同 PPF 電磁模型下對 RF 頻率模圖，LNA 偏壓 $V_{dd} = 3.3V$ $V_{g1} = 0.85V$ $V_{g2} = 2.5$ 、PPF 60G，頻率 21.5 GHz ~ 31.5 GHz 時鏡像拒斥比在 -40 dB 以下，轉換增益最大值於 28 GHz 時約為 -2.07 dB，圖 4-9 為鏡像拒斥比和轉換增益在不同 PPF 電磁模型下對 RF 頻率的模擬圖，LNA 偏壓 $V_{dd} = 2.4V$ $V_{g1} = 0.85V$ $V_{g2} = 2.05$ 、PPF 60G，頻率 21.5 GHz ~ 31 GHz 時鏡像拒斥比在 -40 dB 以下，轉換增益最大值於 28 GHz 時約為 -2.17 dB。

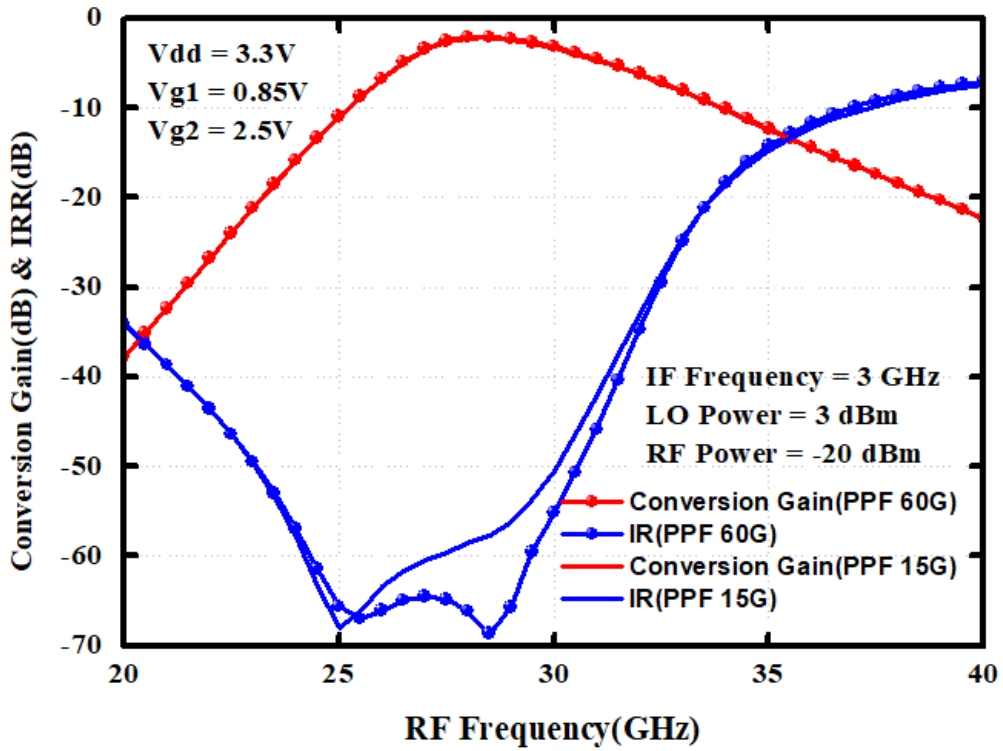


圖 4-8 接收器在 RF 頻率對轉換增益和鏡像拒斥比模擬圖

LNA (Vdd = 3.3V Vg1 = 0.85V Vg2 = 2.5V)

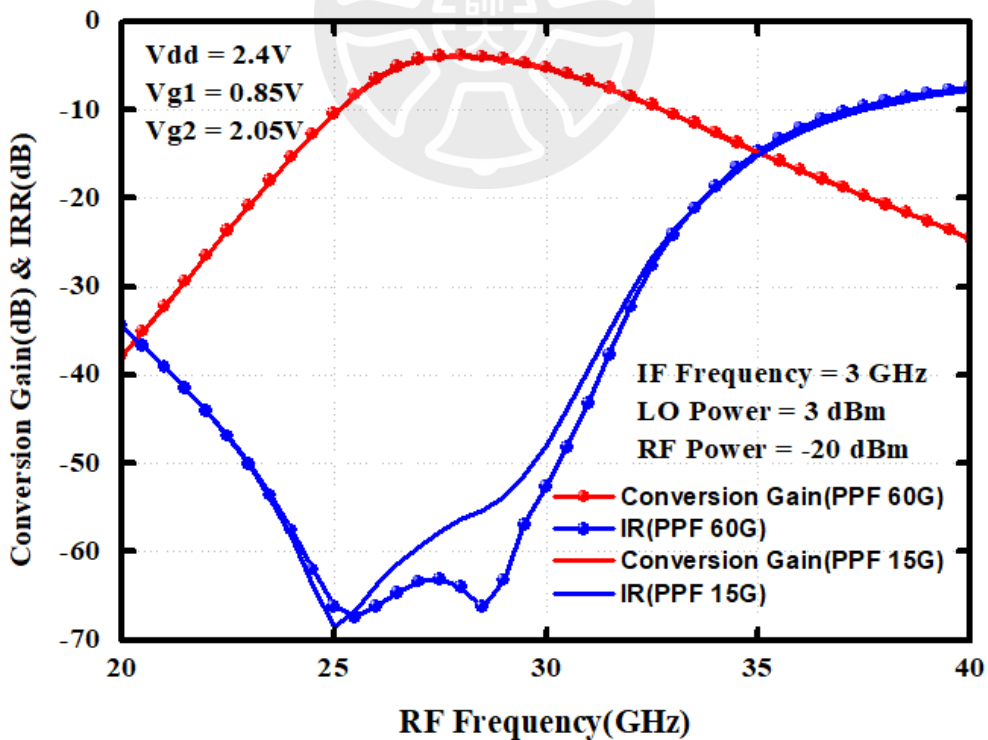


圖 4-9 接收器在 RF 頻率對轉換增益和鏡像拒斥比模擬圖

LNA (Vdd = 2.4V Vg1 = 0.85V Vg2 = 2.05V)

圖 4-10 為鏡像拒斥比和轉換增益在 PPF 60G 和 15G 下對 IF 頻率模圖，LNA 偏壓 $V_{dd} = 3.3V$ $V_{g1} = 0.85V$ $V_{g2} = 2.5$ 、PPF 60G，IF 頻寬鏡像拒斥比在頻率 2 GHz~ 10 GHz 以上在 -40 dB 以下，轉換增益最大值於 28 GHz 時約為 -2.07 dB，圖 4-11 為鏡像拒斥比和轉換增益在 PPF 60G 和 15G 下對 IF 頻率模圖，LNA 偏壓 $V_{dd} = 2.4V$ $V_{g1} = 0.85V$ $V_{g2} = 2.05$ 、PPF 60G，IF 頻寬鏡像拒斥比在頻率 2 GHz~ 10 GHz 以上在 -40 dB 以下，轉換增益最大值於 28 GHz 時約為 -2.17 dB。圖 4-12 為輸出 IF 頻率訊號頻譜圖，藍色為主要訊號紅色為鏡像訊號，兩者之間差距為鏡像拒斥比。

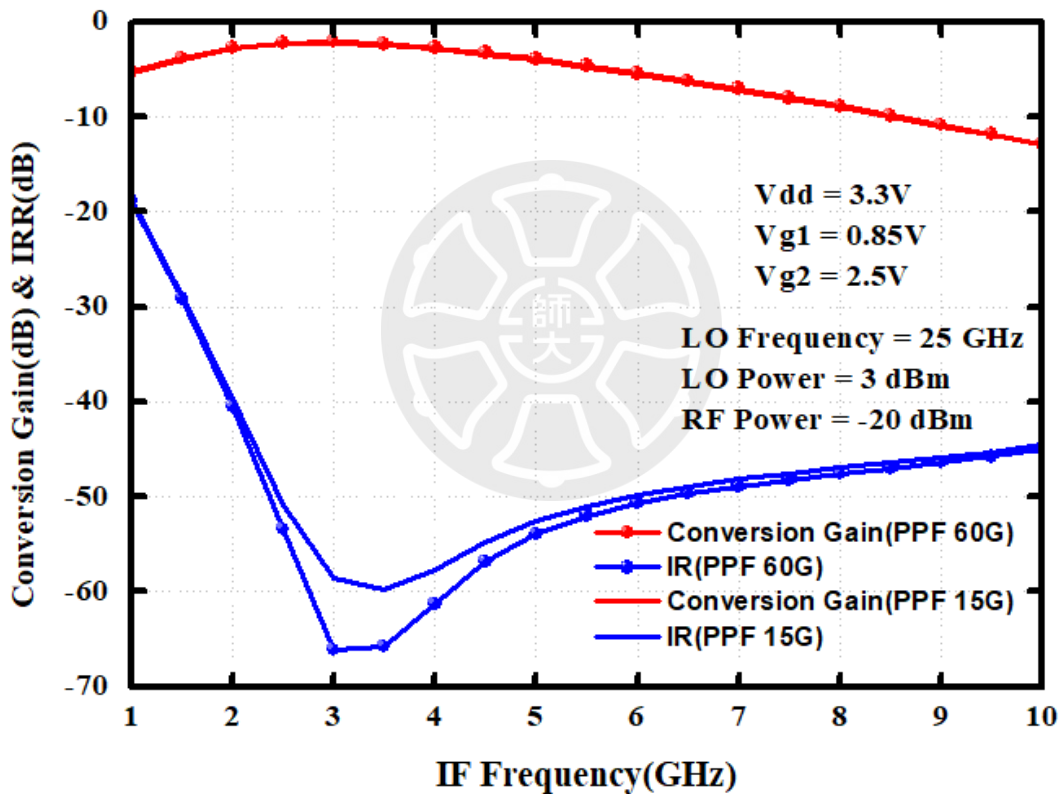


圖 4-10 接收器在 IF 頻率對轉換增益和鏡像拒斥比模擬圖

LNA ($V_{dd} = 3.3V$ $V_{g1} = 0.85V$ $V_{g2} = 2.5V$)

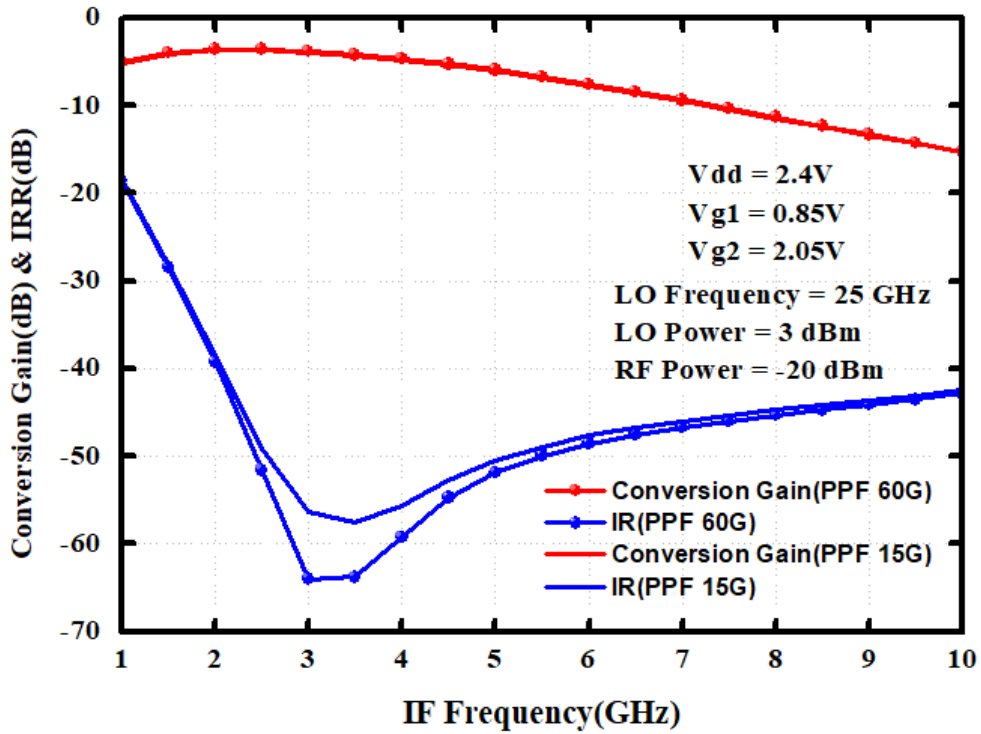


圖 4-11 接收器在 IF 頻率對轉換增益和鏡像拒斥比模擬圖

LNA ($V_{dd} = 2.4V$ $V_{g1} = 0.85V$ $V_{g2} = 2.05V$)

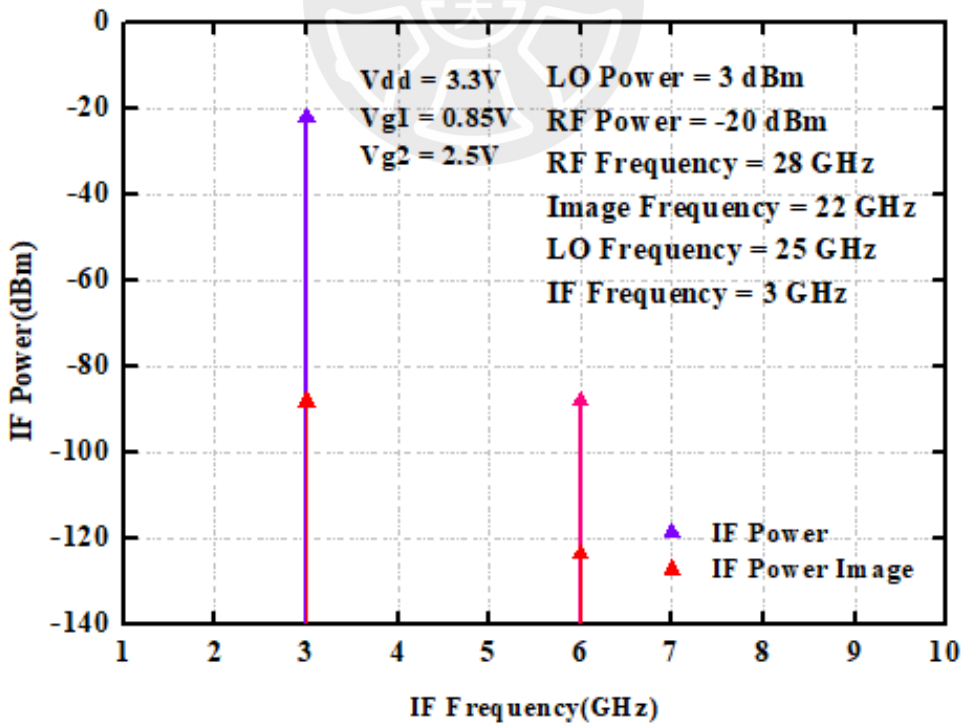


圖 4-12 接收器 IF 頻譜圖

圖 4-13 為 RF 頻率 28 GHz，LO 頻率 25GHz，LO 輸入功率為 3 dBm 時的 P_{1dB} 模擬圖，在 LNA 偏壓 $V_{dd} = 3.3V$ 時 1-dB 壓縮點 OP_{1dB} 約為 -23.24 dBm， IP_{1dB} 約為 -22 dBm，在 LNA 偏壓 $V_{dd} = 2.4V$ 時 1-dB 壓縮點 OP_{1dB} 約為 -25.53 dBm， IP_{1dB} 約為 -23 dBm；LO 輸入功率為 6 dBm 時的 P_{1dB} 模擬圖，在 LNA 偏壓 $V_{dd} = 3.3V$ 時 1-dB 壓縮點 OP_{1dB} 約為 -21.59 dBm， IP_{1dB} 約為 -20 dBm，在 LNA 偏壓 $V_{dd} = 2.4V$ 時 1-dB 壓縮點 OP_{1dB} 約為 -25.13 dBm， IP_{1dB} 約為 -23 dBm；LO 輸入功率為 9 dBm 時的 P_{1dB} 模擬圖，在 LNA 偏壓 $V_{dd} = 3.3V$ 時 1-dB 壓縮點 OP_{1dB} 約為 -21.32 dBm， IP_{1dB} 約為 -20 dBm，在 LNA 偏壓 $V_{dd} = 2.4V$ 時 1-dB 壓縮點 OP_{1dB} 約為 -24.90 dBm， IP_{1dB} 約為 -23 dBm，圖 4-16、圖 4-17 為接收器的隔離度模擬圖，圖 4-18 為接收器的雜訊模擬圖。

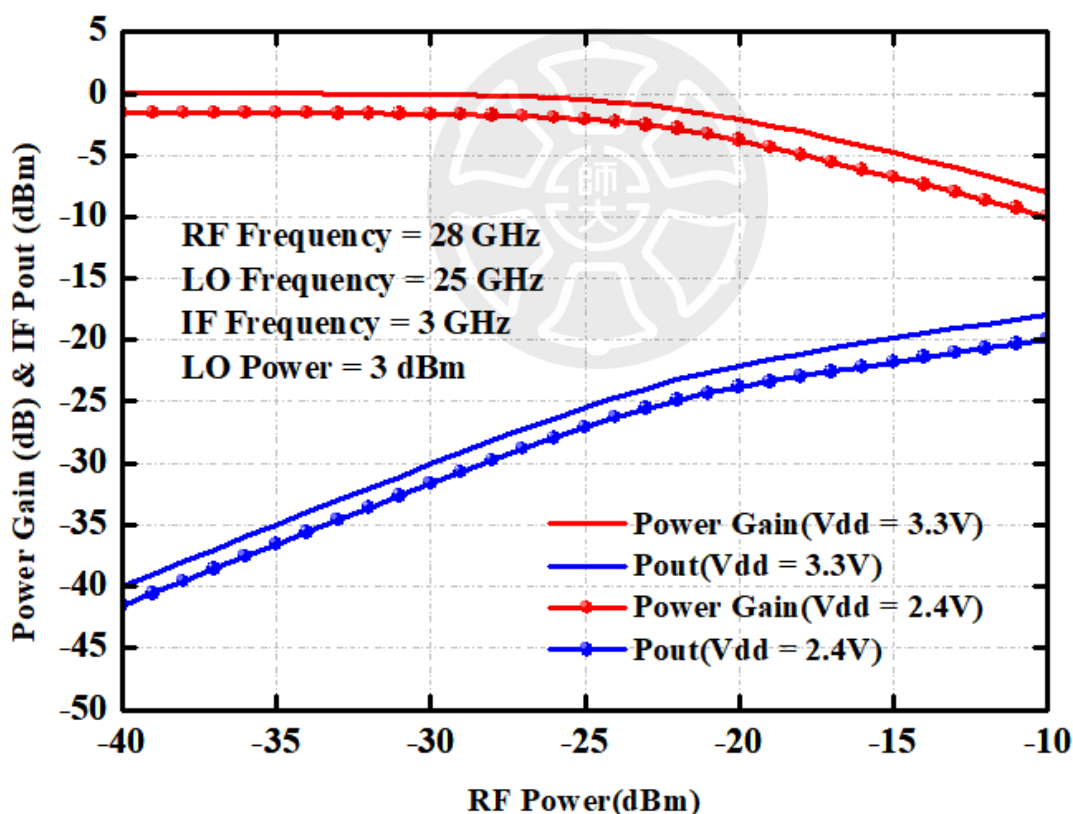


圖 4-13 接收機在 LO 驅動功率 3 dBm 下的 P_{1dB} 模擬圖

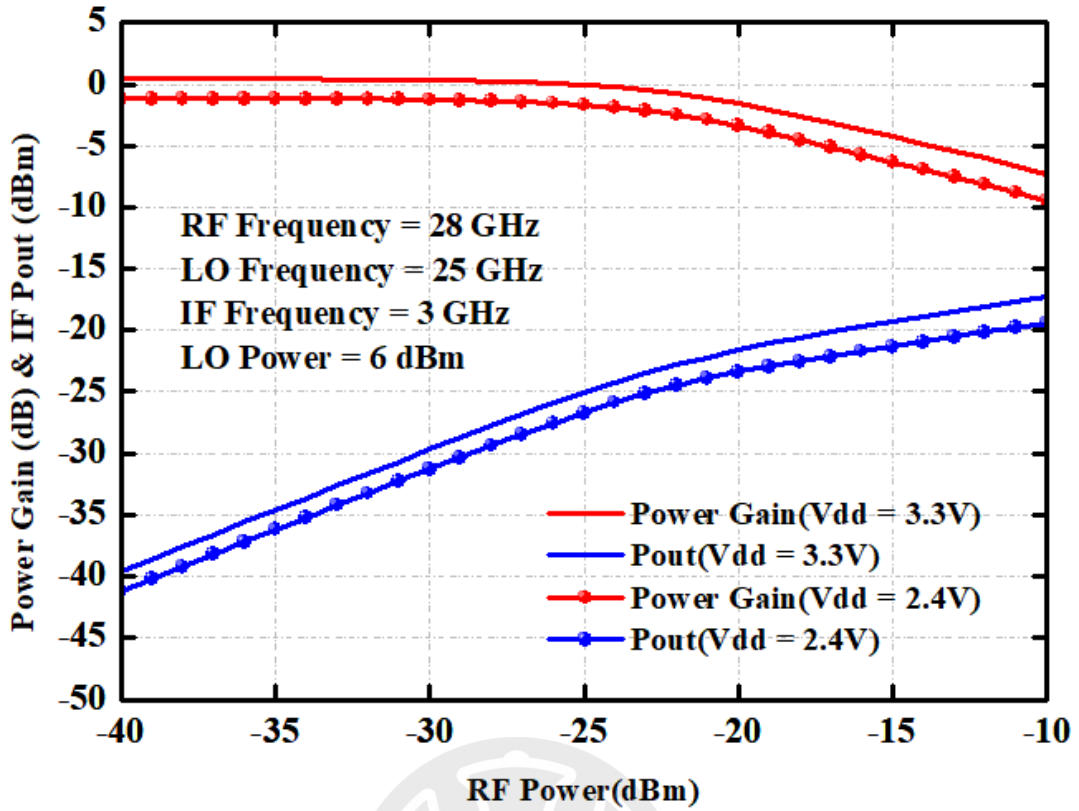


圖 4-14 接收機在 LO 驅動功率 6 dBm 下的 P_{1dB} 模擬圖

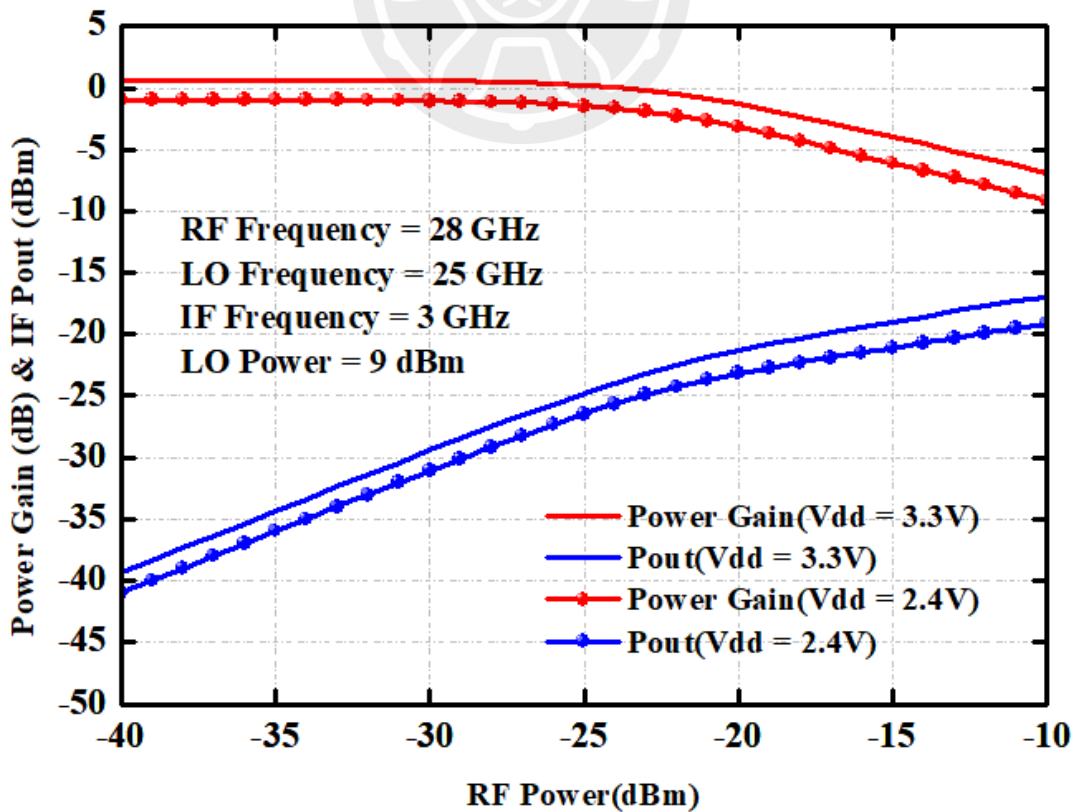


圖 4-15 接收機在 LO 驅動功率 9 dBm 下的 P_{1dB} 模擬圖

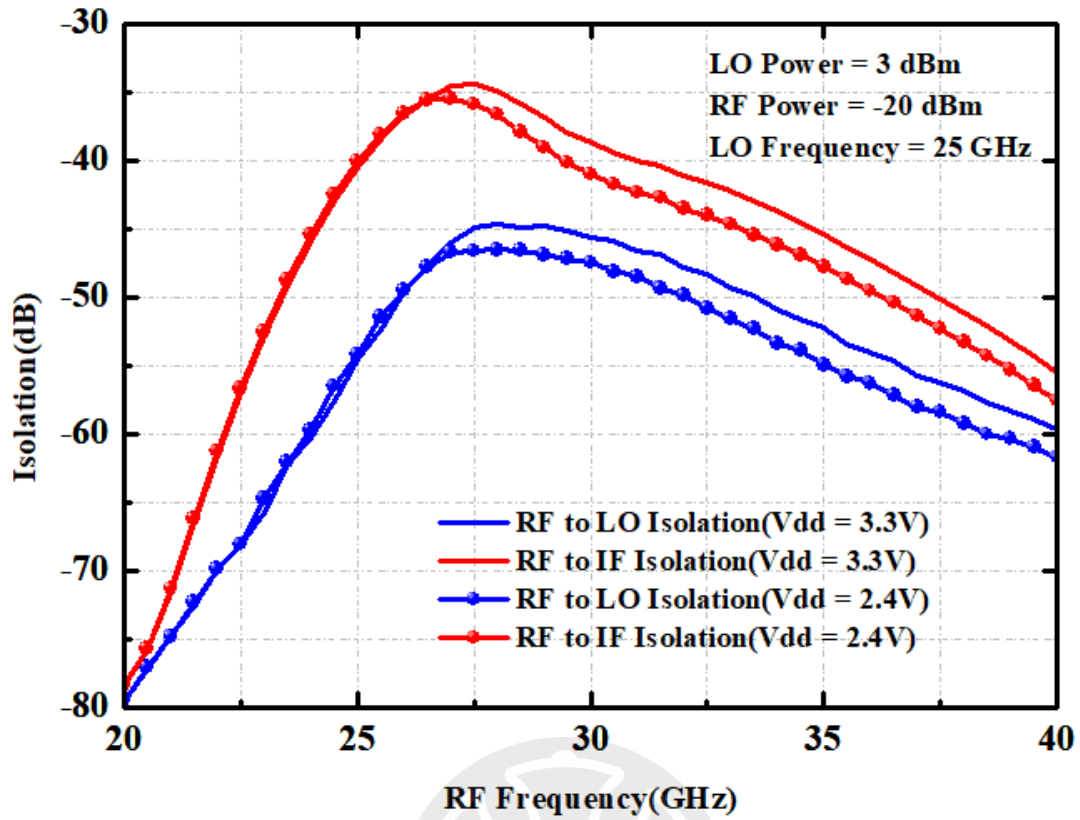


圖 4-16 接收器 RF 到 IF 和 LO 隔離度模擬圖

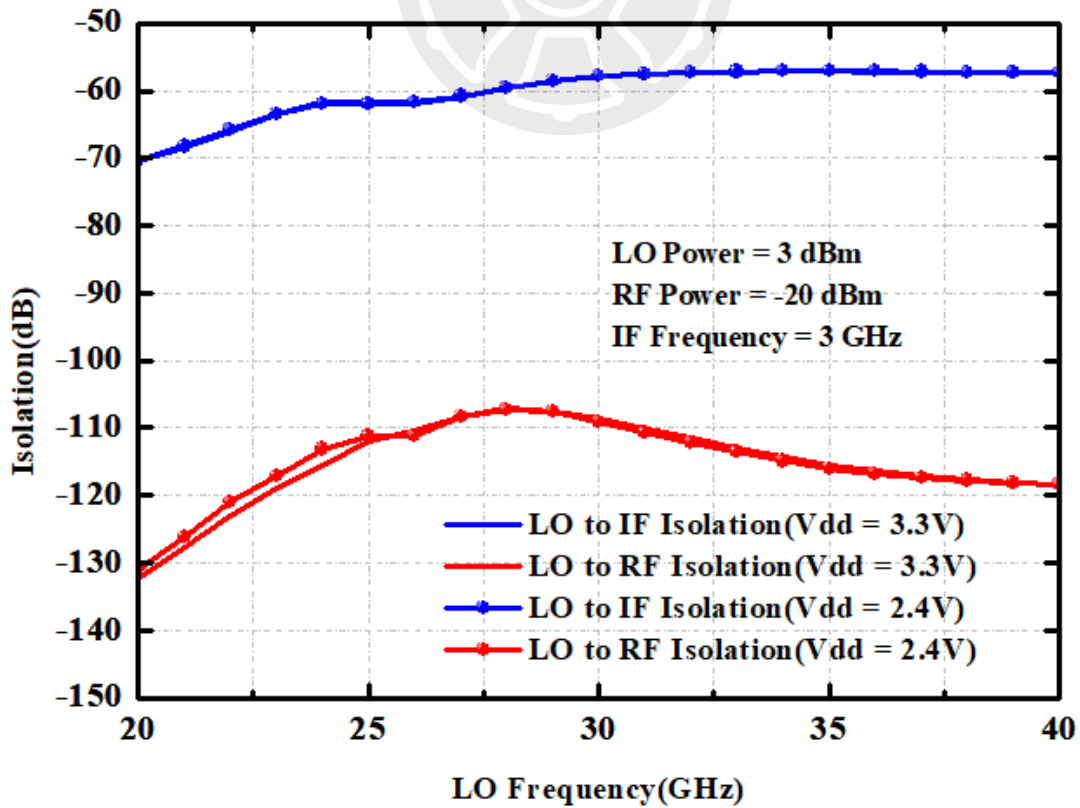


圖 4-17 接收器 LO 到 RF 和 IF 隔離度模擬圖

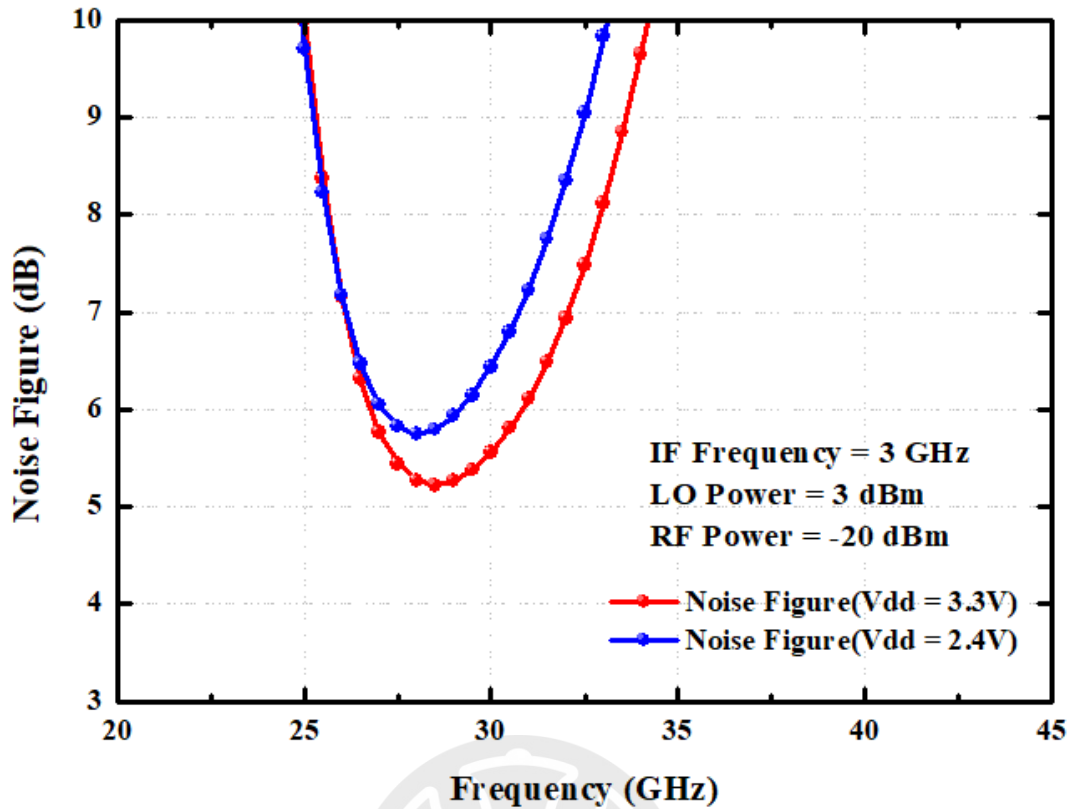


圖 4-18 接收器雜訊指數模擬圖

4.8 28 GHz 鏡像抑制接收器量測結果

圖 4-19 為 28 GHz 鏡像抑制接收器佈局圖，晶片面積 $1200\mu\text{m} \times 700\mu\text{m}$ ，圖 4-20 為 28 GHz 鏡像抑制接收器的量測架設示意圖，圖 4-21 則為 28 GHz 鏡像抑制接收器在量測時拍攝的晶片微影圖，量測於台灣半導體研究中心高頻量測室進行，晶片為 on wafer 量測，使用標準 G-S-G 的 RF 探針和 6-pin DC 針供給。訊號由 LO 跟 RF 端輸入，IF 輸出訊號由外接巴倫合併差動訊號再進入頻譜分析儀分析。

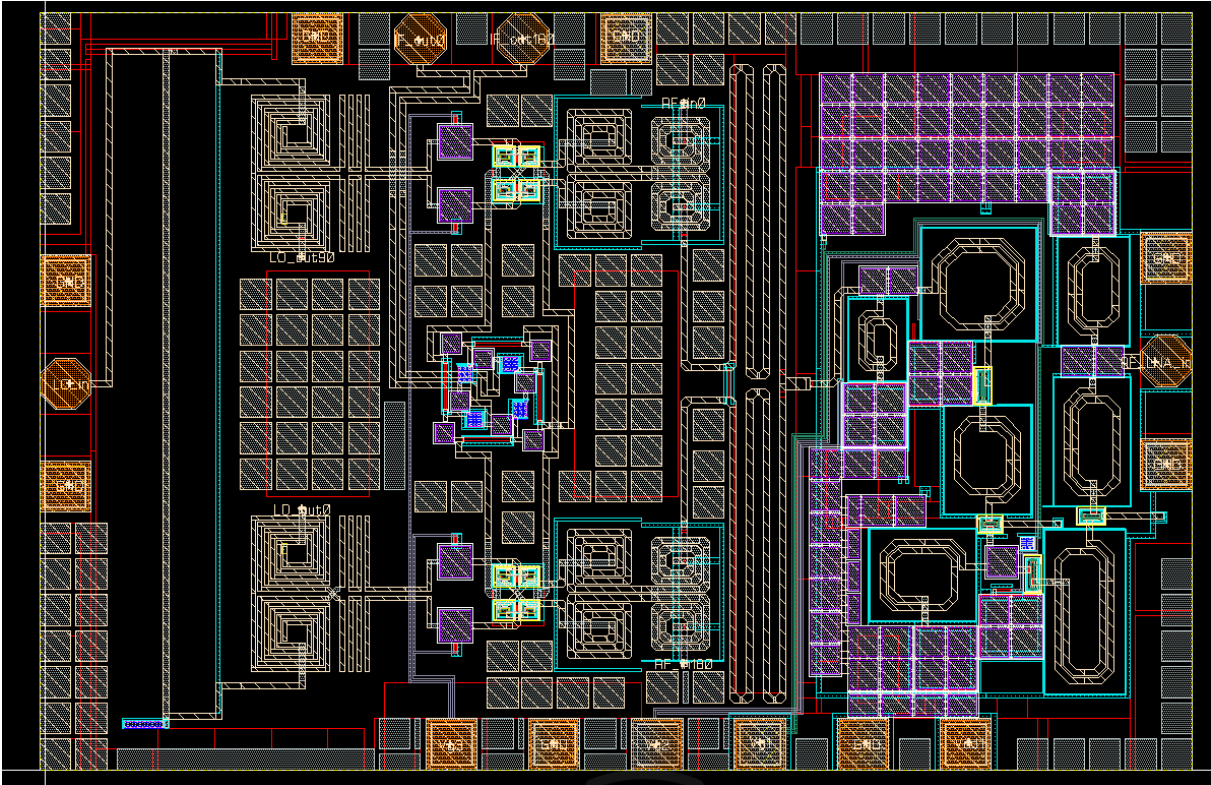


圖 4-19 28 GHz 鏡像抑制接收器佈局圖

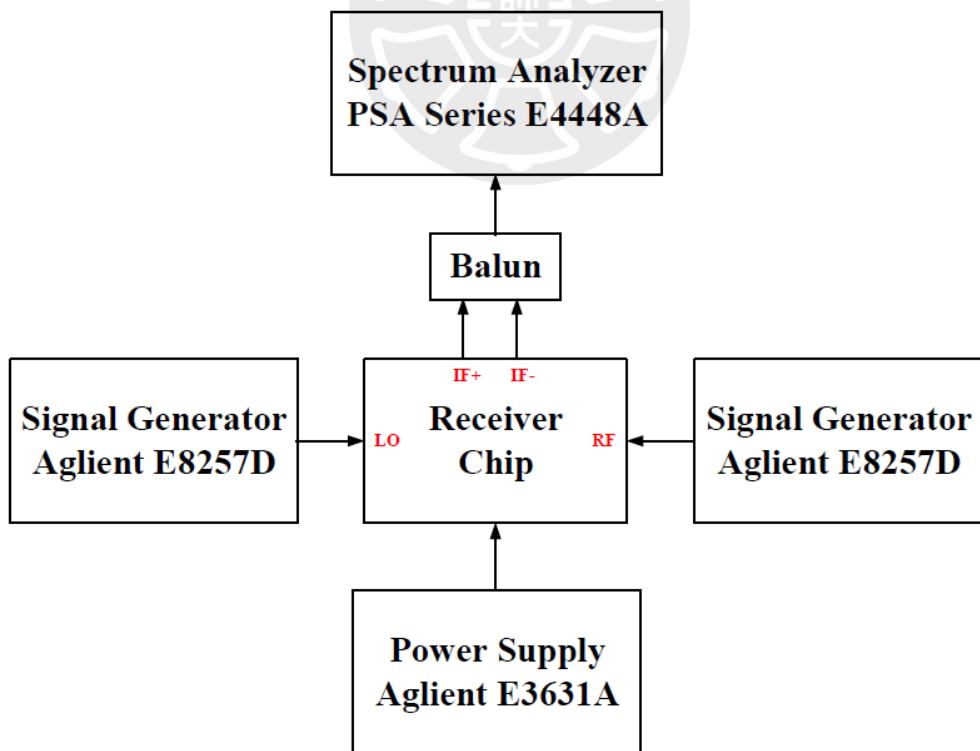


圖 4-20 28 GHz 鏡像抑制接收器量測架設示意圖

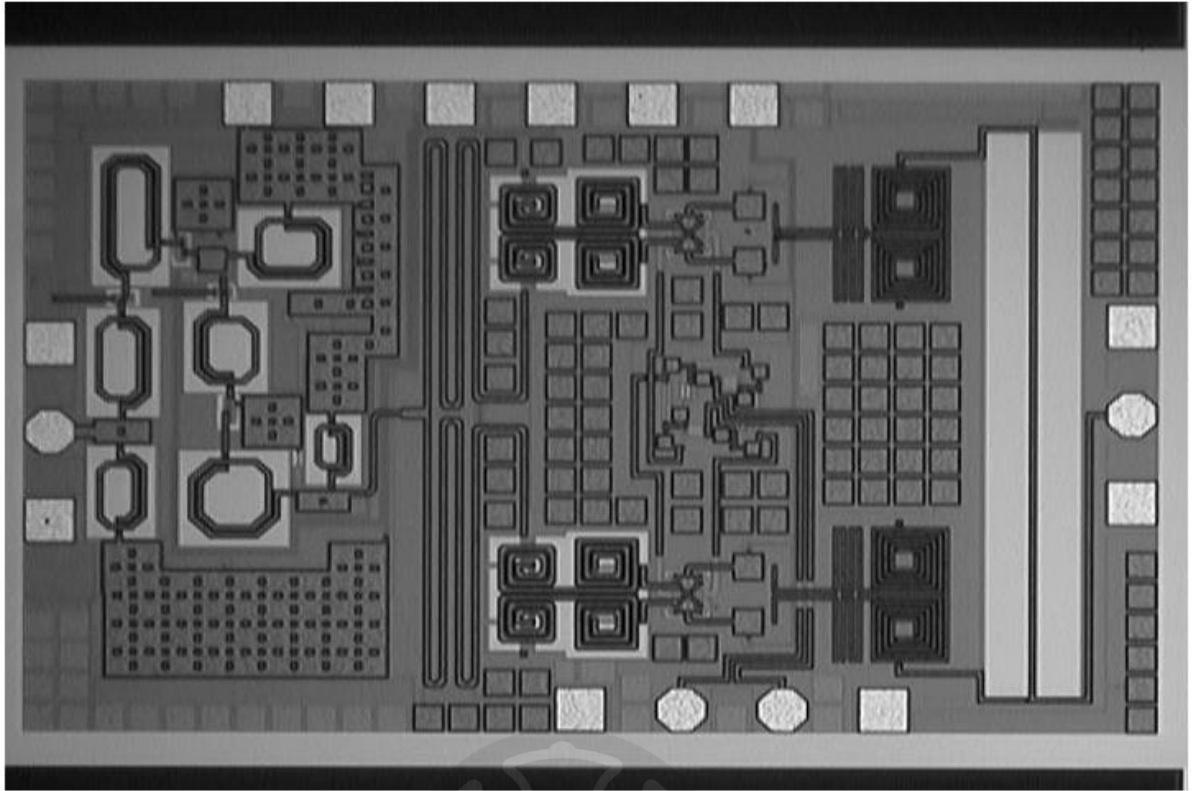


圖 4-21 28 GHz 鏡像抑制接收器晶片微影圖

為了瞭解當低雜訊放大器在不同偏壓下接收器的運作情形，我們將對不同偏壓情況下的接收器進行量測，首先我們先將偏壓定在 $V_{dd1} = 3.3V$ $V_{g1} = 0.85V$ $V_{g2} = 2.5V$ 得到圖 4-22 ~ 圖 4-34 的量測資料。

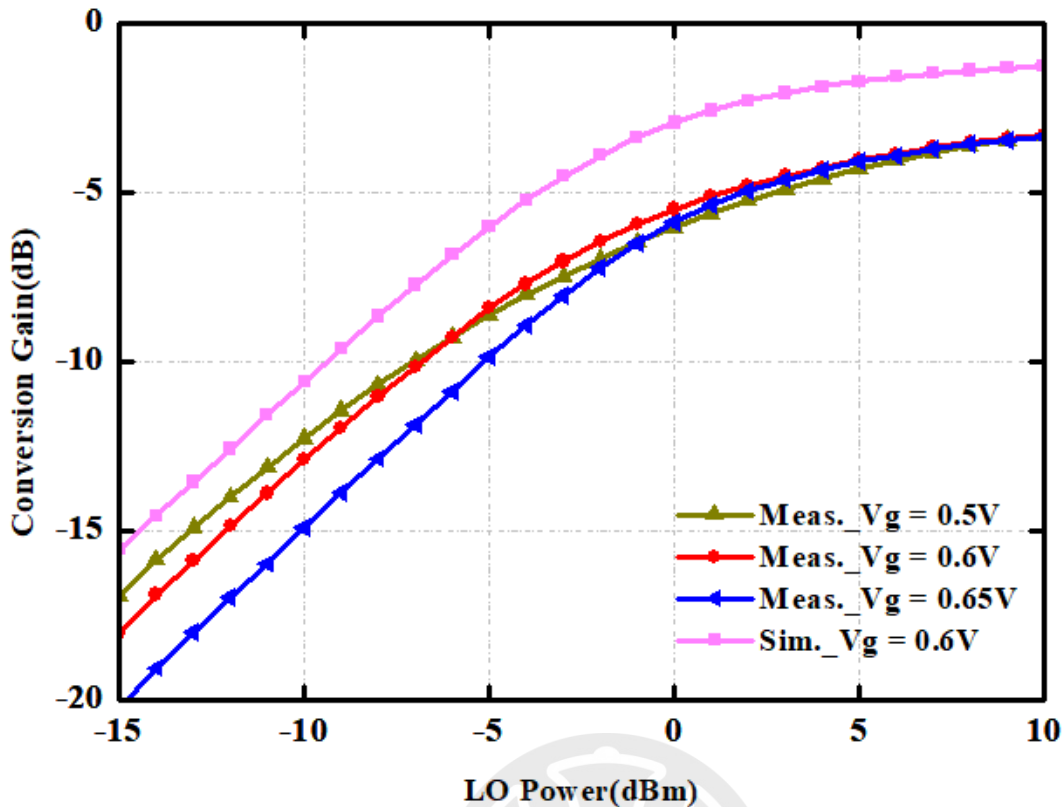


圖 4-22 為模擬和量測在不同偏壓下 LO 功率對轉換增益比較圖

由圖 4-22 可見，混頻器閘極電壓為 0.6V 時有最好的轉換增益，下面混頻器量測時閘極電壓都給與 0.6V 的電壓進行量測，圖 4-23 為 LO 驅動功率供給 3 dBm 時，接收器 RF 頻率對轉換增益和鏡像拒斥比的模擬和量測比較圖，在量測時頻率 28 GHz 時轉換增益約為 -6.4 dB，鏡像拒斥比在 20 GHz ~ 28 GHz 小於 -40 dB，圖 4-24、圖 4-25 則為 LO 驅動功率供給 6 dBm、9 dBm 時，RF 頻寬對轉換增益和鏡像拒斥比的模擬和量測比較圖，由圖 4-23 ~ 25 可見，鏡像拒斥比在較大的 LO 驅動功率下有較好的表現。

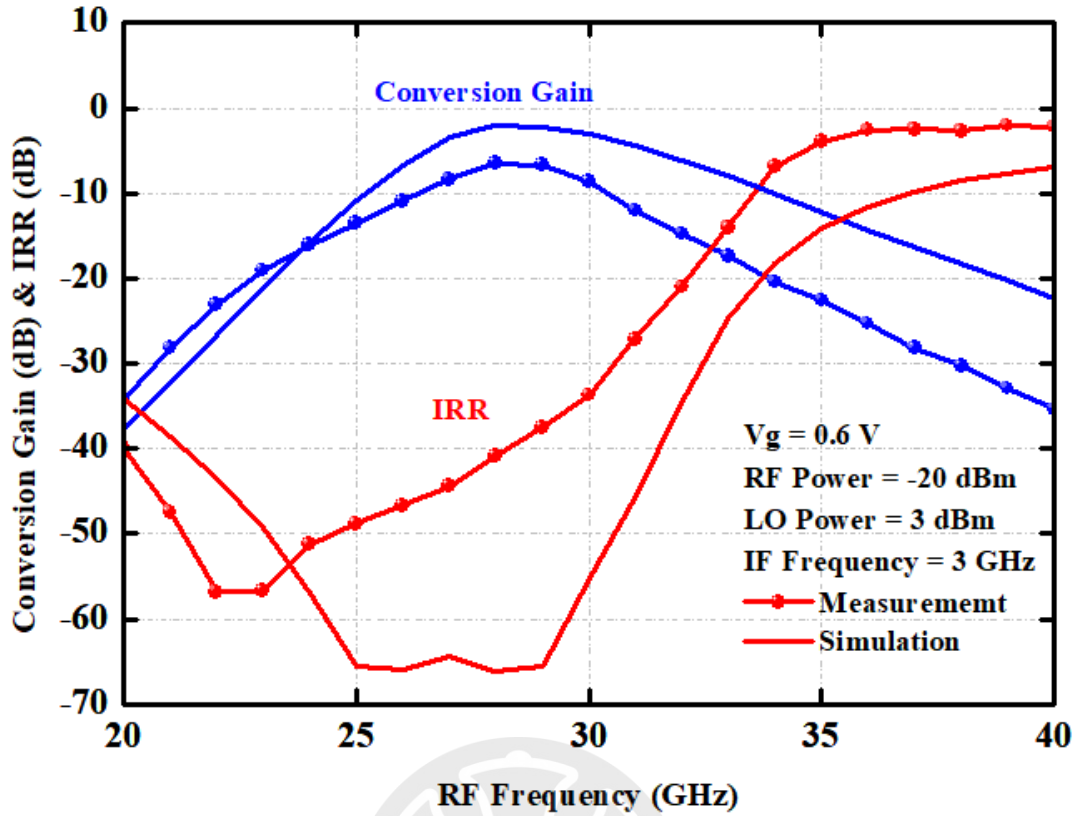


圖 4-23 接收機 LO 3 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

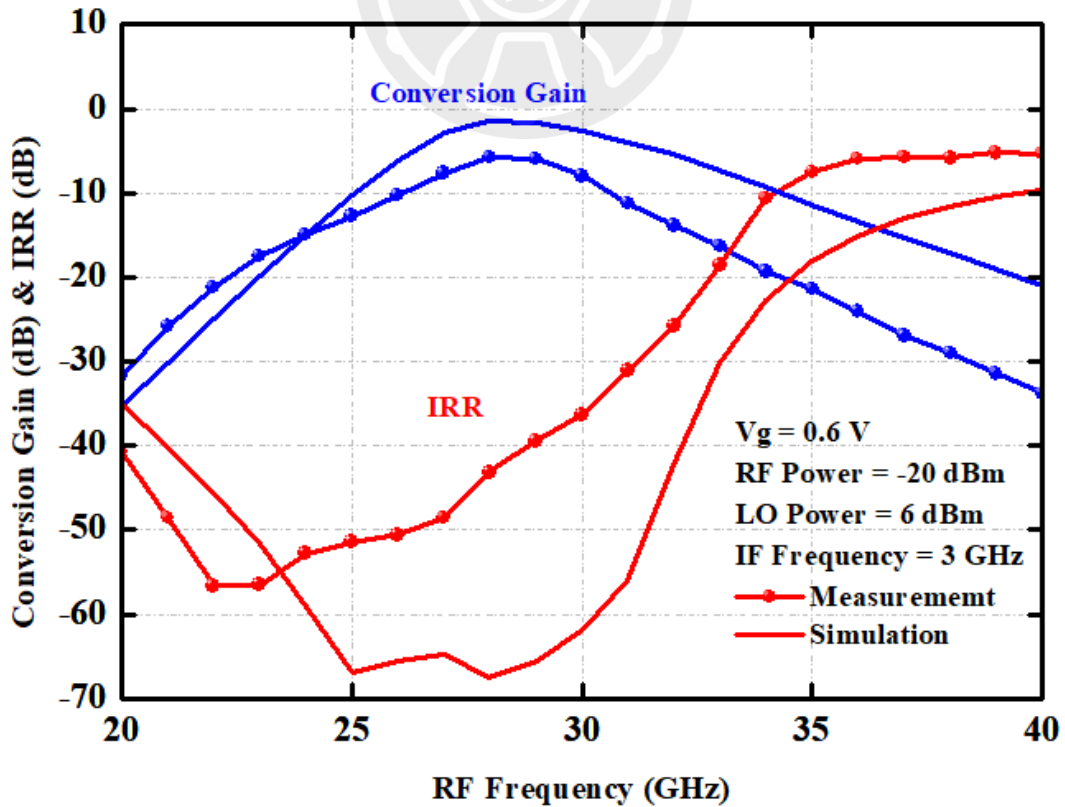


圖 4-24 接收機 LO 6 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

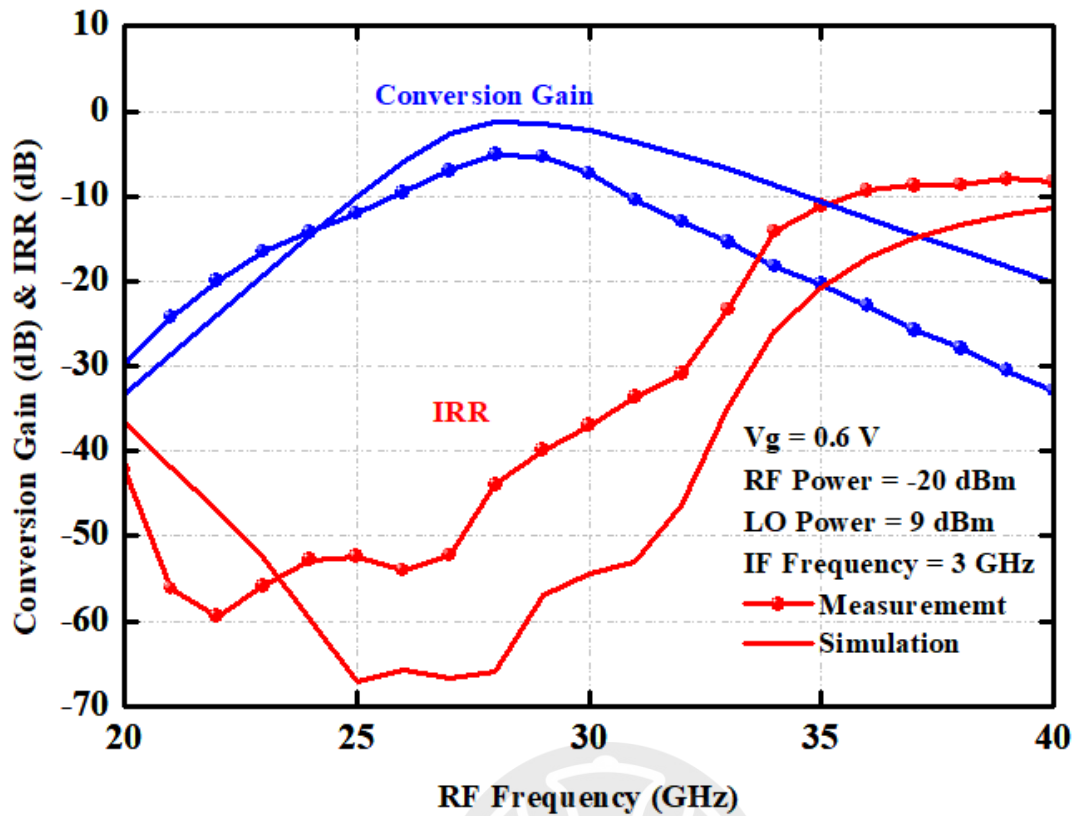


圖 4-25 接收機 LO 9 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

圖 4-26~29 為 LO 驅動功率供給 3、6、9 dBm 時，IF 頻率對轉換增益和鏡像拒斥比的模擬和量測比較圖，在量測 LO 頻率為 25 GHz、LO 驅動功率供給 3 dBm 時，轉換增益最大值為 -6.4 dB，鏡像拒斥比在 3 GHz ~ 5 GHz 小於 -40 dB，當 LO 驅動功率加大時，與 RF 頻寬相同在較大的 LO 驅動功率下鏡像拒斥比有較好的表現。

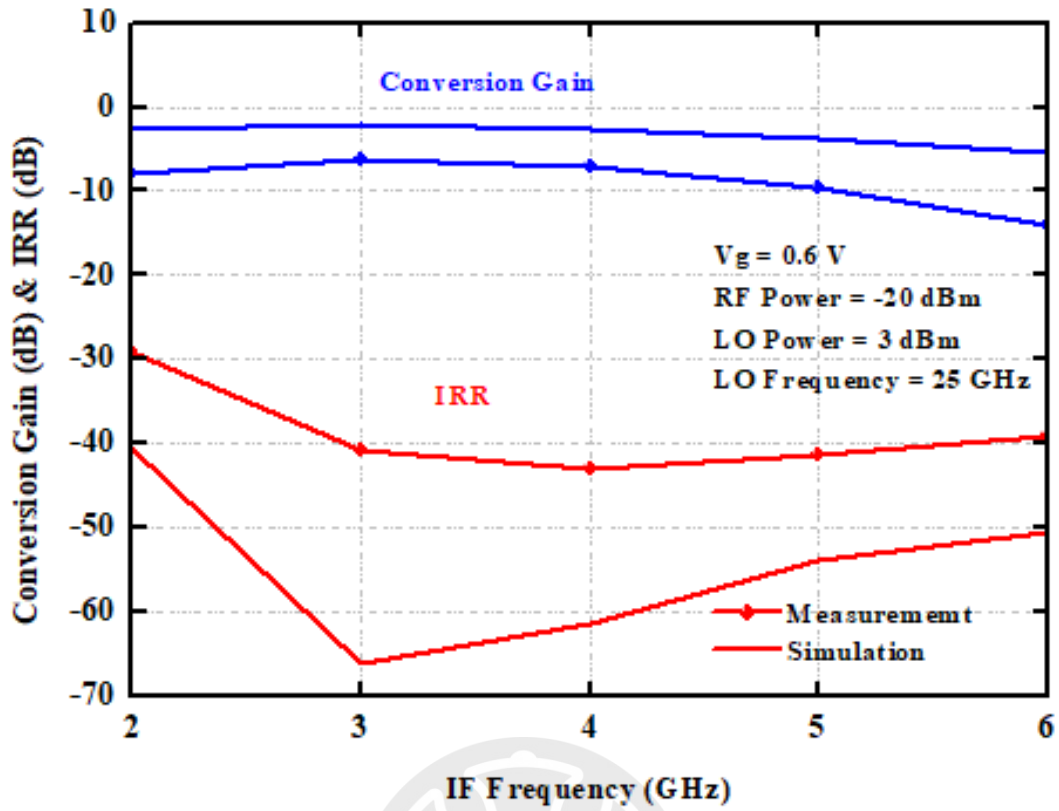


圖 4-26 接收機 LO 3 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

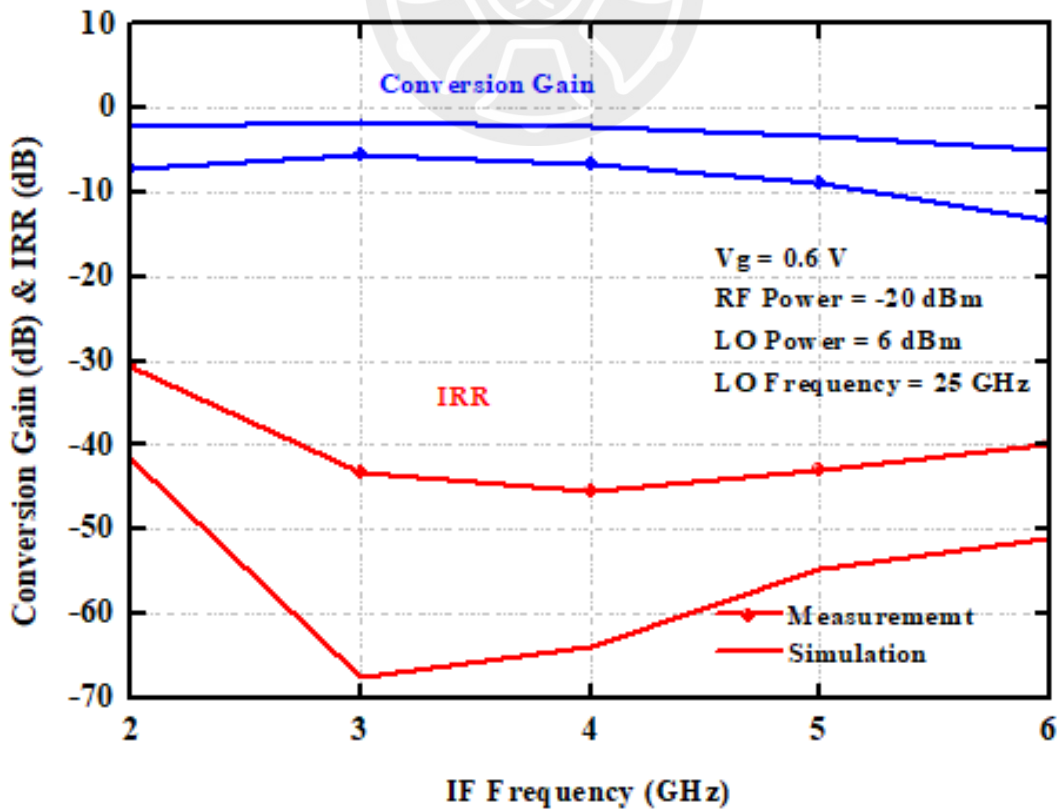


圖 4-27 接收機 LO 6 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

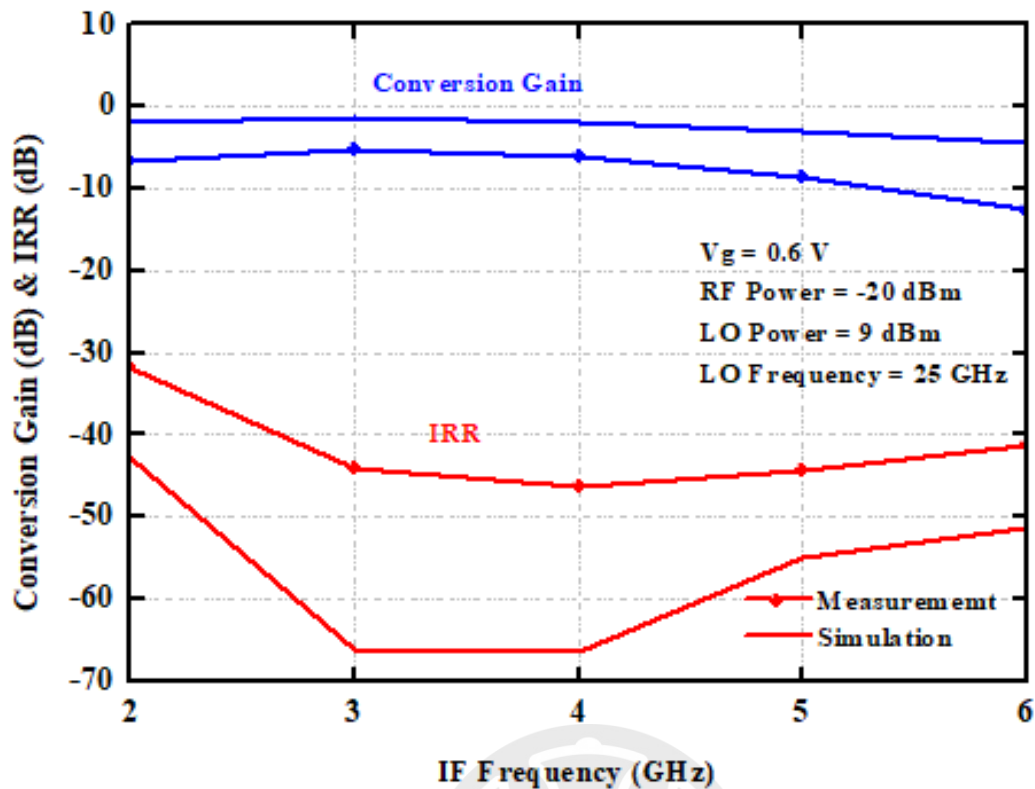


圖 4-28 接收機 LO 9 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

圖 4-29 為 LO 頻率固定在 25 GHz、RF 頻率固定在 28 GHz，LO 驅動功率為 3 dBm 時 P_{1dB} 的量測和模擬比較圖，由圖可見量測時 IP_{1dB} 約為 -21 dBm， OP_{1dB} 約為 -27.15 dBm，圖 4-30 為相同 LO、RF 頻率下、LO 驅動功率為 6 dBm 時 P_{1dB} 的量測模擬比較圖，由圖可見 IP_{1dB} 約為 -21 dBm， OP_{1dB} 約為 -26.41 dBm，圖 4-31 為相同 LO、RF 頻率下、LO 驅動功率為 9 dBm 時 P_{1dB} 的量測模擬比較圖，由圖可見 IP_{1dB} 約為 -21 dBm， OP_{1dB} 約為 -25.91 dBm。

圖 4-32 為 LO 頻率固定在 25 GHz、RF 頻率固定在 28 GHz，LO 驅動功率為 3 dBm 時 IP_3 的量測圖，並且兩訊號頻率間距 10 MHz，三階交互調變項之輸入功率 IIP_3 約為 -12 dBm，三階交互調變項之輸出功率 OIP_3 約為 -19 dBm，圖 4-33 為為 LO 頻率固定在 25 GHz、RF 頻率固定在 28 GHz，LO 驅動功率為 3 dBm 時 IP_3 的量測圖，並且兩訊號頻率間距 100 MHz，三階交互調變項之輸入功率 IIP_3 約為 -11 dBm，三階交互調變項之輸出功率 OIP_3 約為 -16 dBm。

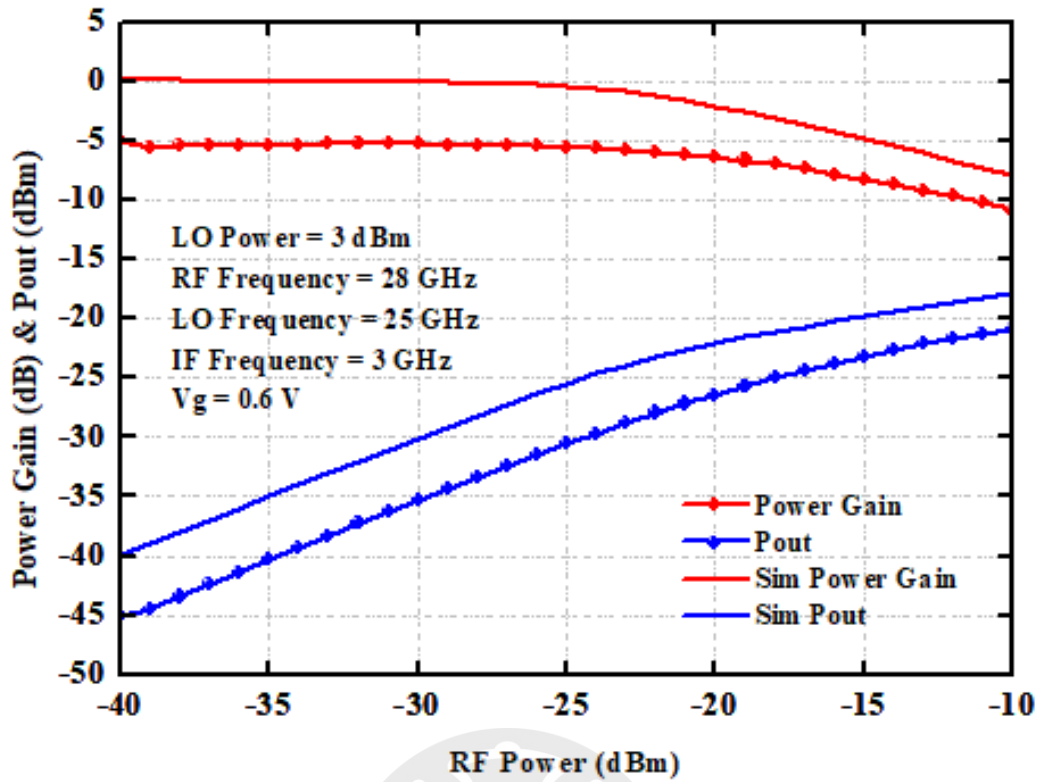


圖 4-29 接收機 LO 3 dBm 下 RF 28 GHz 的 P_{1dB} 模擬量測比較圖

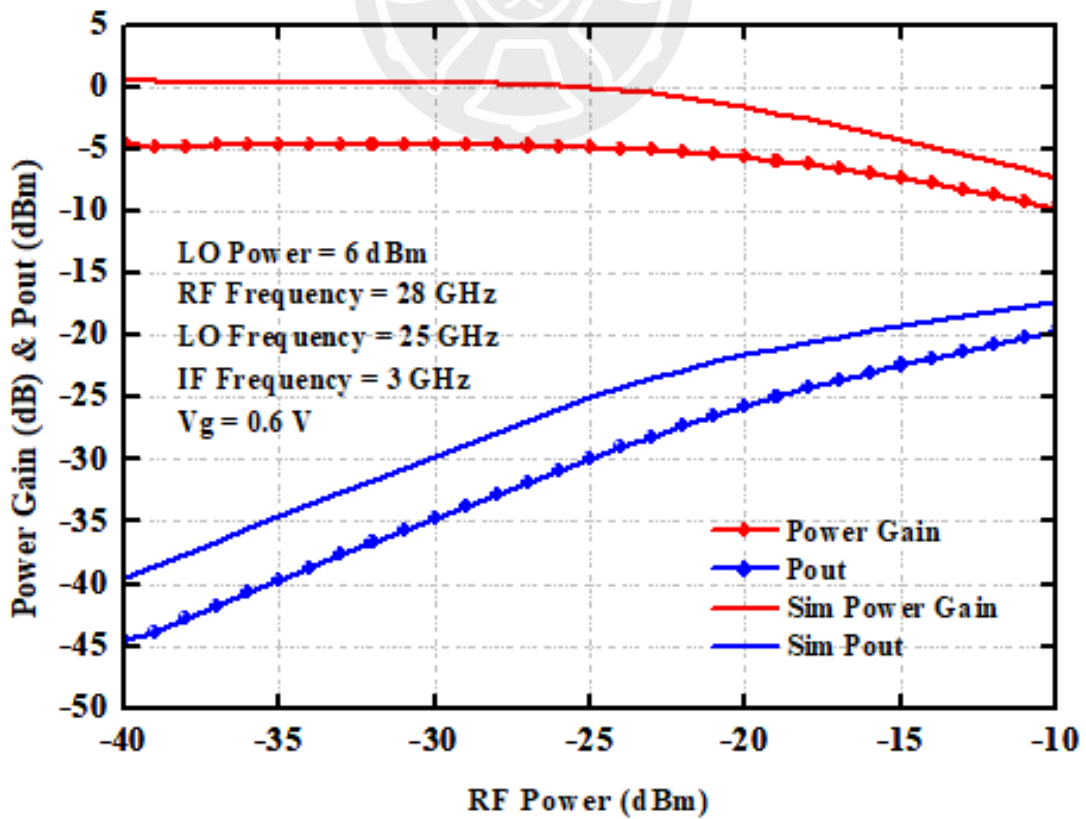


圖 4-30 接收機 LO 6 dBm 下 RF 28 GHz 的 P_{1dB} 模擬量測比較圖

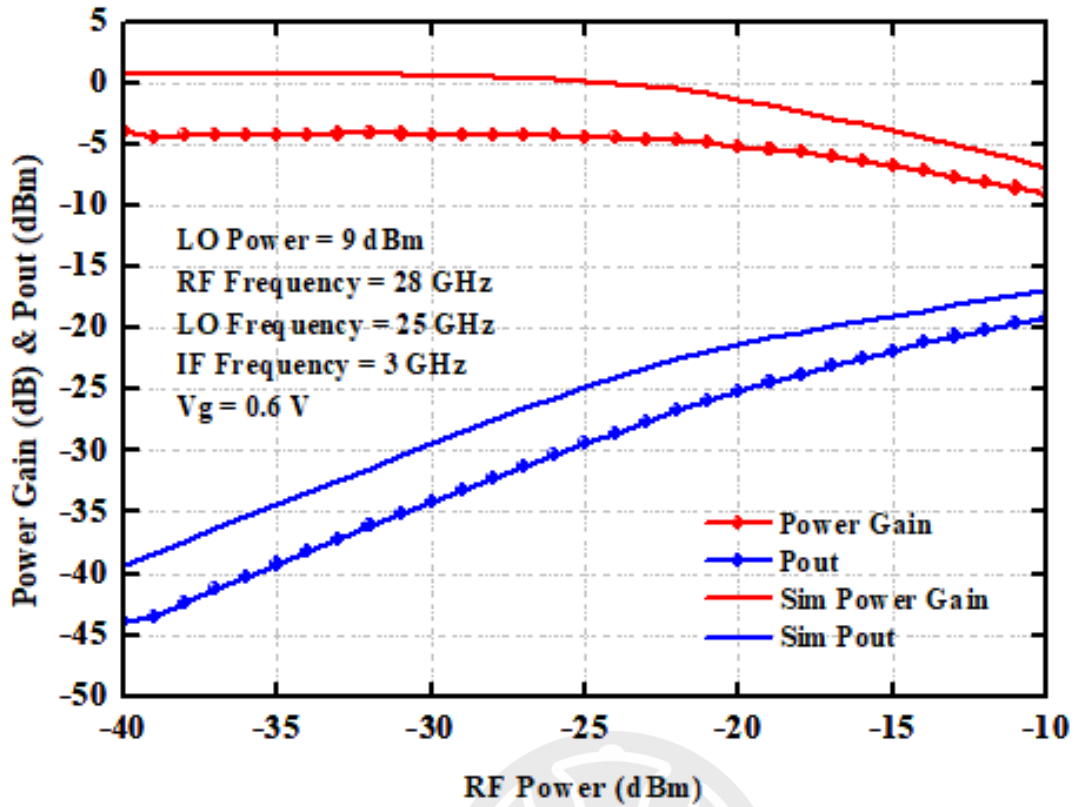


圖 4-31 接收機 LO 9 dBm 下 RF 28 GHz 的 P_{1dB} 模擬量測比較圖

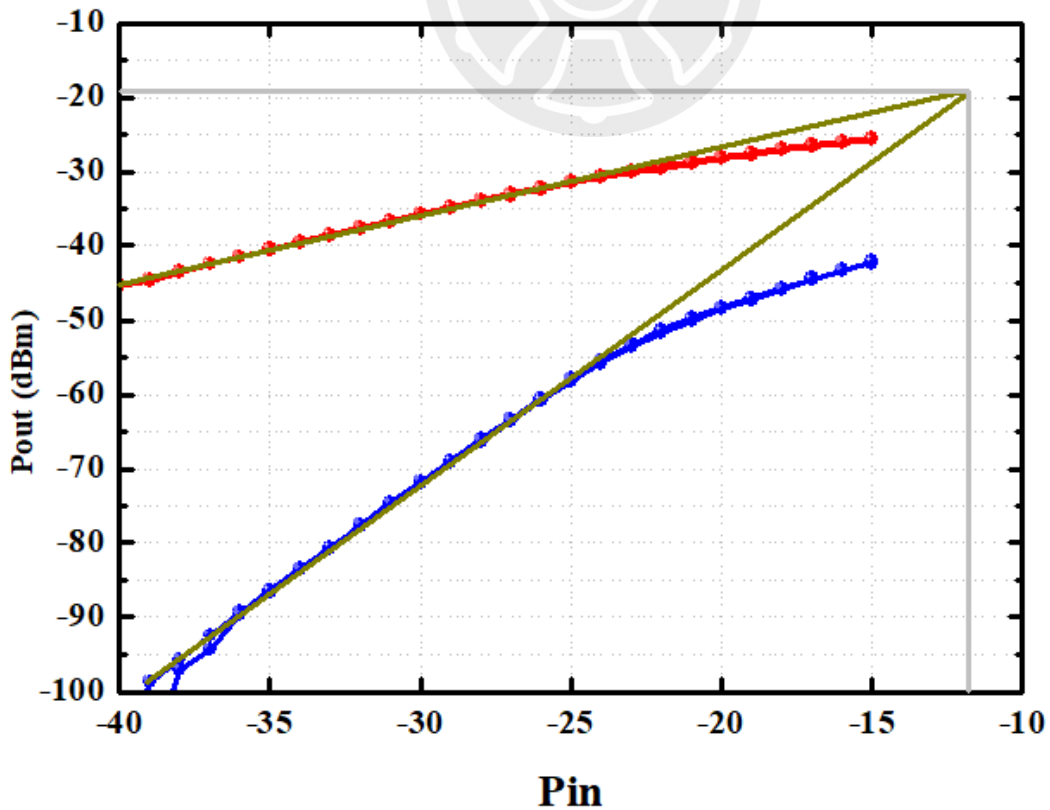


圖 4-32 接收機在兩訊號頻率間距 10 MHz 時 IIP_3 量測圖

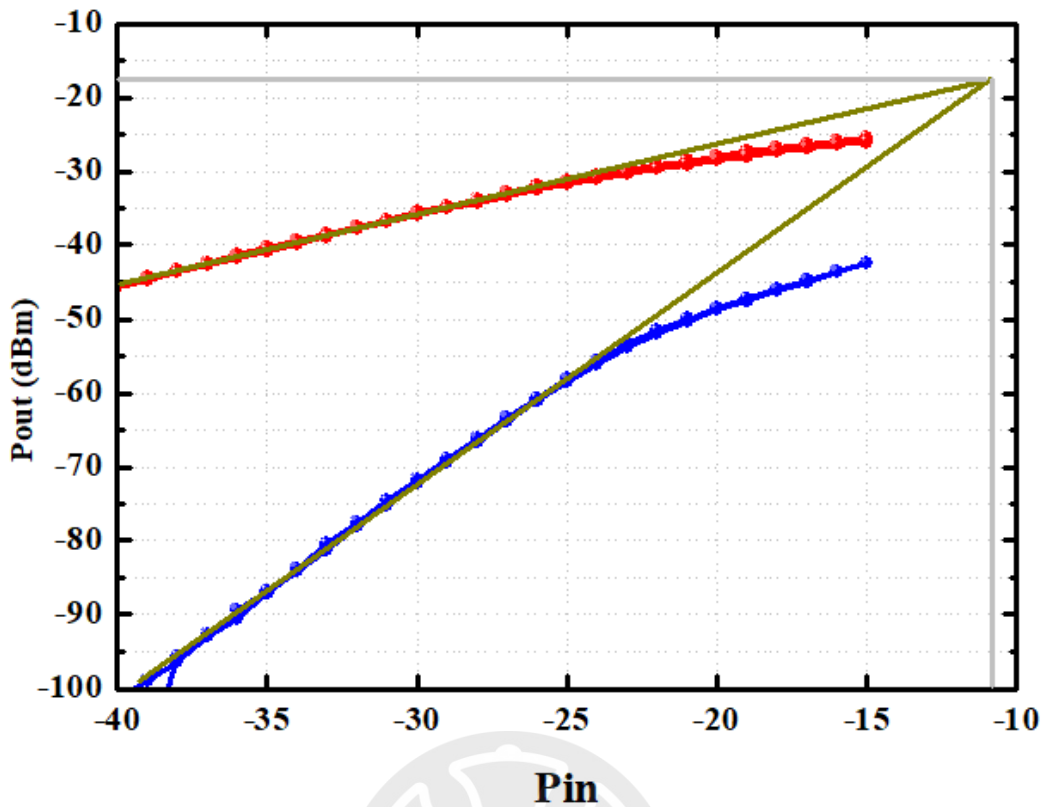


圖 4-33 接收機在兩訊號頻率間距 100 MHz 時 IIP_3 量測圖

圖 4-34 為接收機在 LO 驅動功率在 3、6、9 dBm 下 LO 到 IF 的隔離度模擬和量測比較圖，圖 4-35 則為接收機在 LO 驅動功率在 3、6、9 dBm 下 LO 到 RF 的隔離度模擬和量測比較圖，由圖可見不論是 LO 到 IF 還是 LO 到 RF 的隔離度都有在 -50 dB 以下。

由於本接收器整體增益還是轉換耗損，這對雜訊指數量測十分困難，故本次接收器雜訊指數並未量測，由低雜訊放大器量測的雜訊指數推測，本接收器的雜訊指數應在 8 dB 以下。

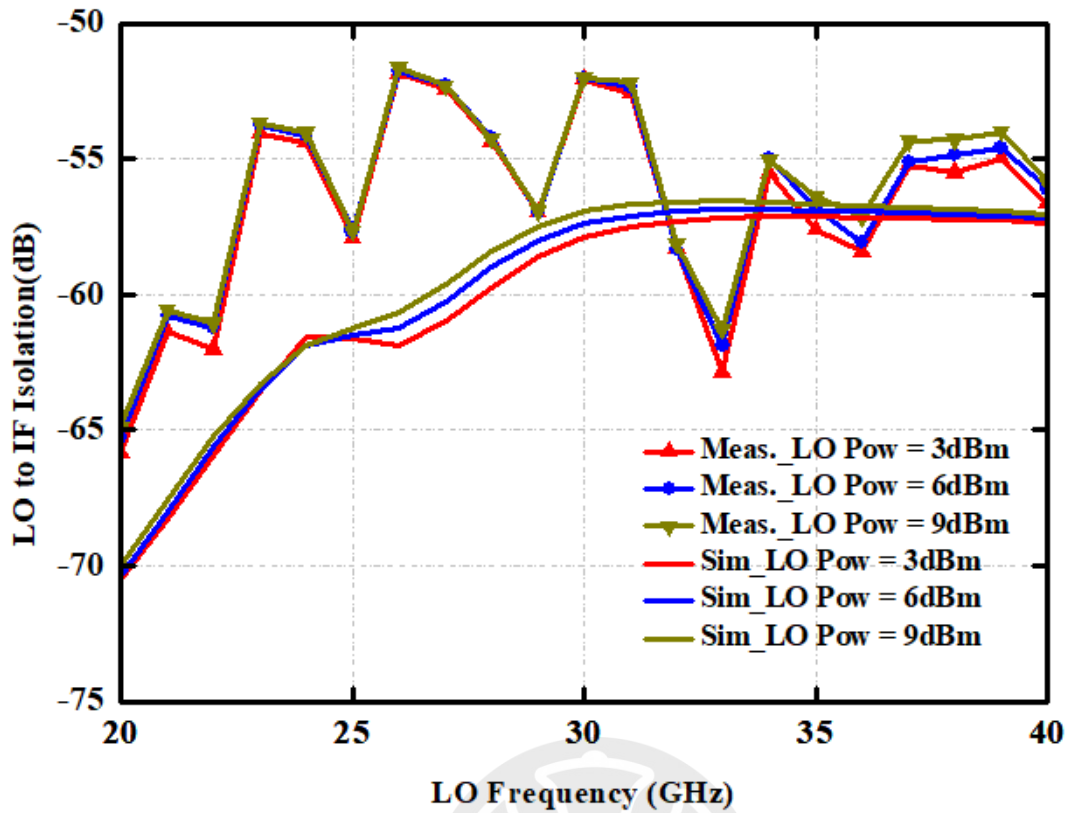


圖 4-34 接收機 LO 到 IF 隔離度模擬量測比較圖

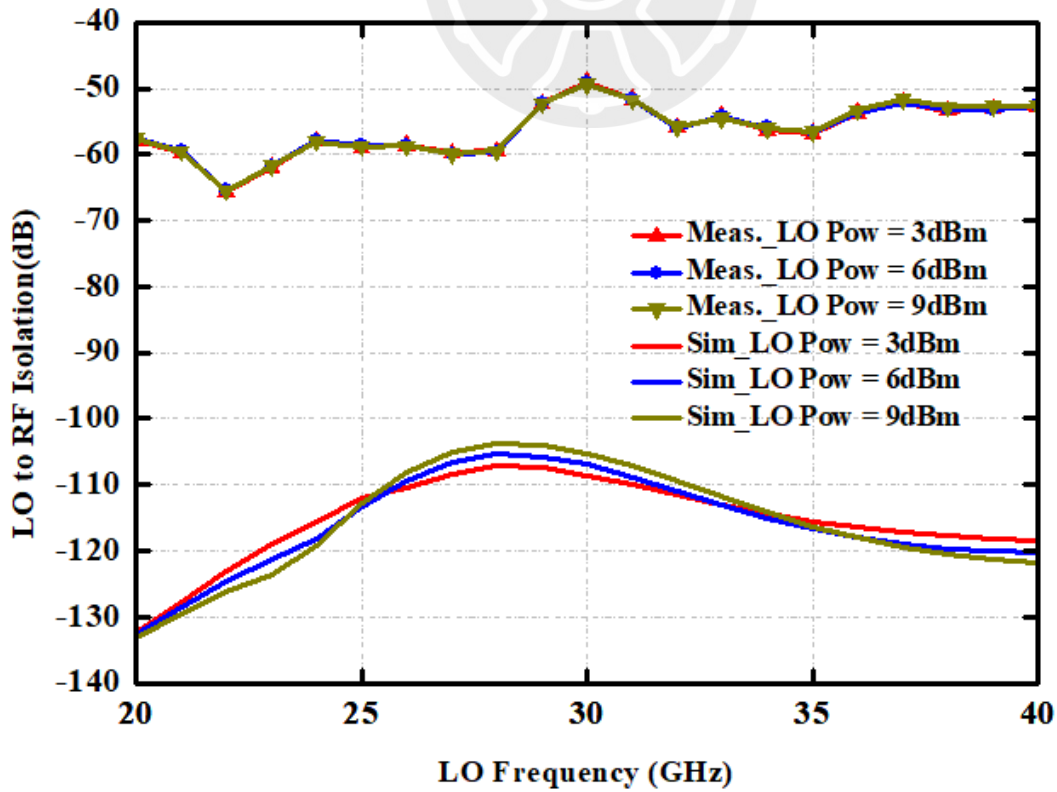


圖 4-35 接收機 LO 到 RF 隔離度模擬量測比較圖

接著我們先將偏壓定在 $V_{dd1} = 2.4V$ $V_{g1} = 0.85V$ $V_{g2} = 2.05V$ 得到圖 4-36 ~ 圖 4-48 的量測資料。

當混頻器量測時閘極電壓將給與 $0.6V$ 的電壓，圖 4-36 為 LO 驅動功率供給 3 dBm 時，接收器 RF 頻率對轉換增益和鏡像拒斥比的模擬和量測比較圖，在量測時頻率 28 GHz 轉換增益約為 -7.93 dB ，鏡像拒斥比在 $21\text{ GHz} \sim 28\text{ GHz}$ 小於 -40 dB ，圖 4-37、圖 4-38 則為 LO 驅動功率供給 6 dBm 、 9 dBm 時，RF 頻寬對轉換增益和鏡像拒斥比的模擬和量測比較圖，由圖 4-36 ~ 38 可見，鏡像拒斥比在較大的 LO 驅動功率下有較好的表現。

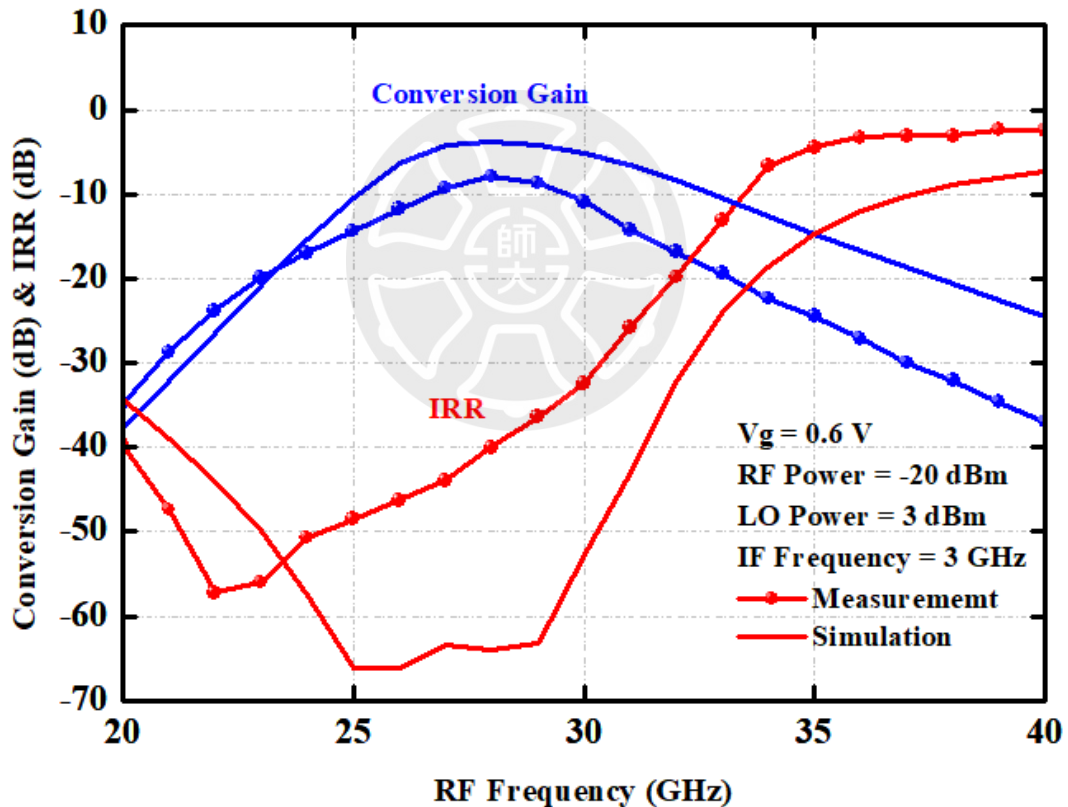


圖 4-36 接收機 LO 3 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

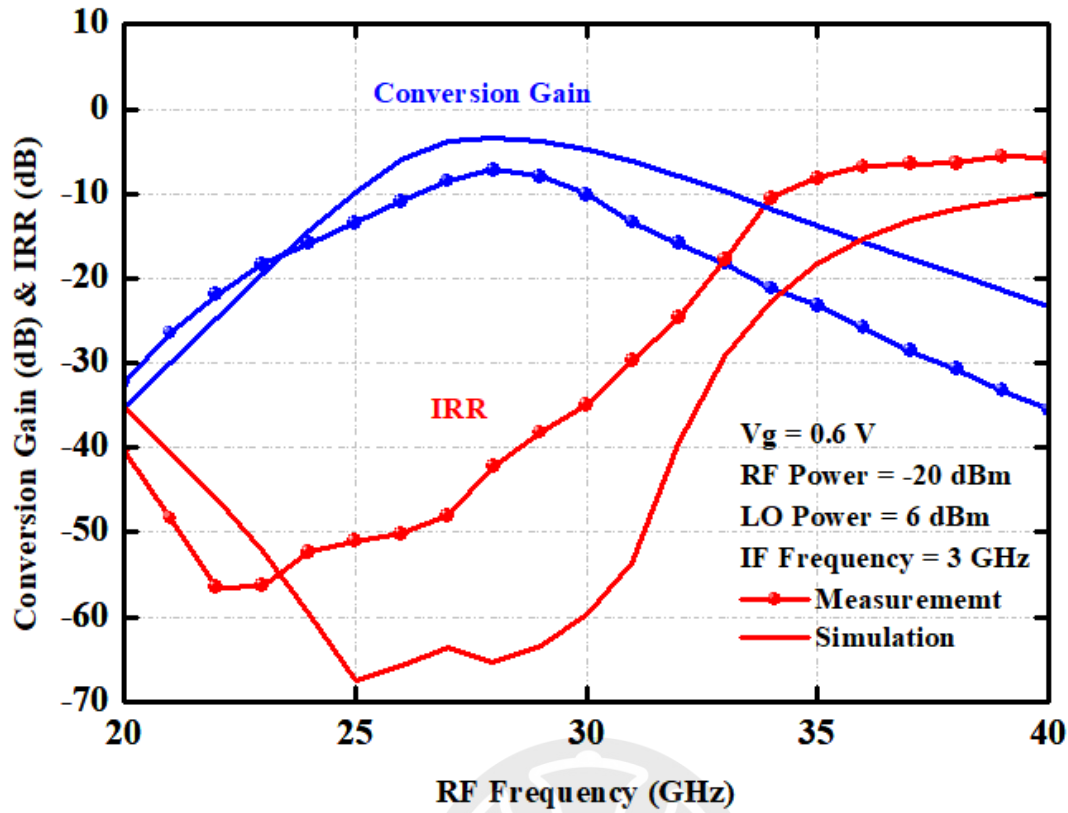


圖 4-37 接收機 LO 6 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

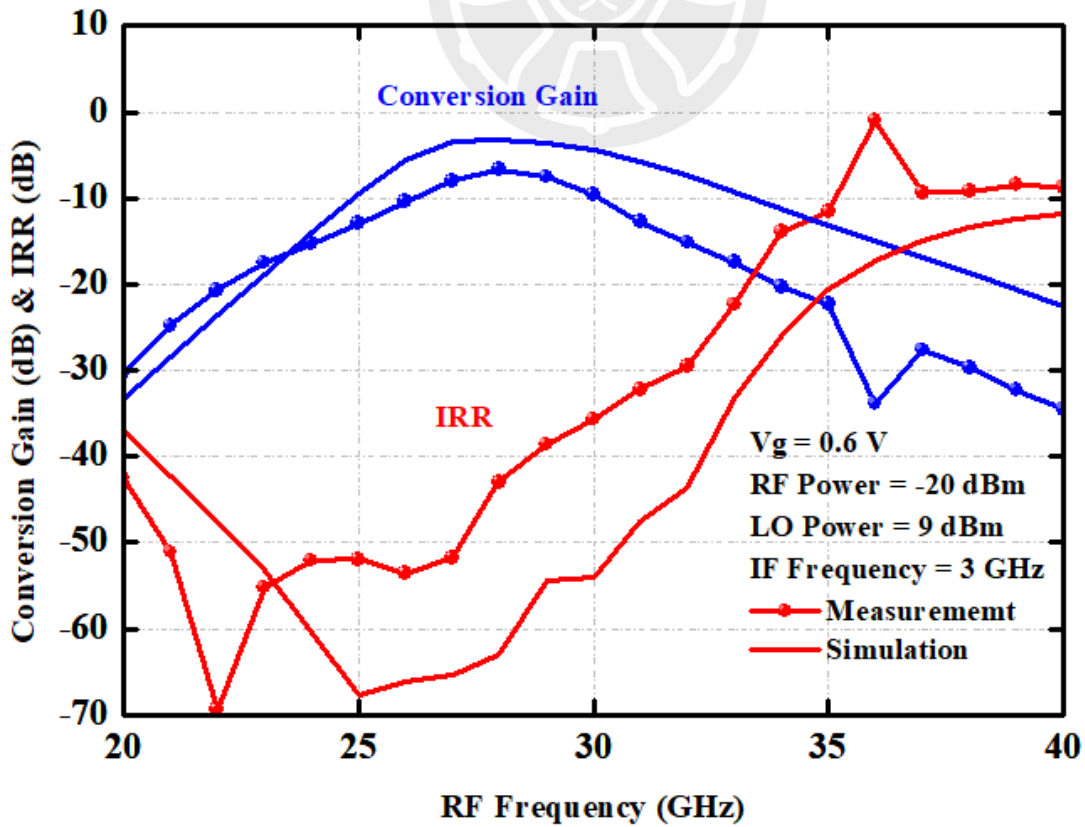


圖 4-38 接收機 LO 9 dBm RF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

圖 4-39~41 為 LO 驅動功率供給 3、6、9 dBm 時，IF 頻率對轉換增益和鏡像拒斥比的模擬和量測比較圖，在量測 LO 頻率為 25 GHz、LO 驅動功率供給 3 dBm 時，轉換增益為 -7.89 dB，鏡像拒斥比在 3 GHz~4 GHz 小於 -40 dB，當 LO 驅動功率加大時，跟 RF 頻寬相同在較大的 LO 驅動功率下鏡像拒斥比有較好的表現。

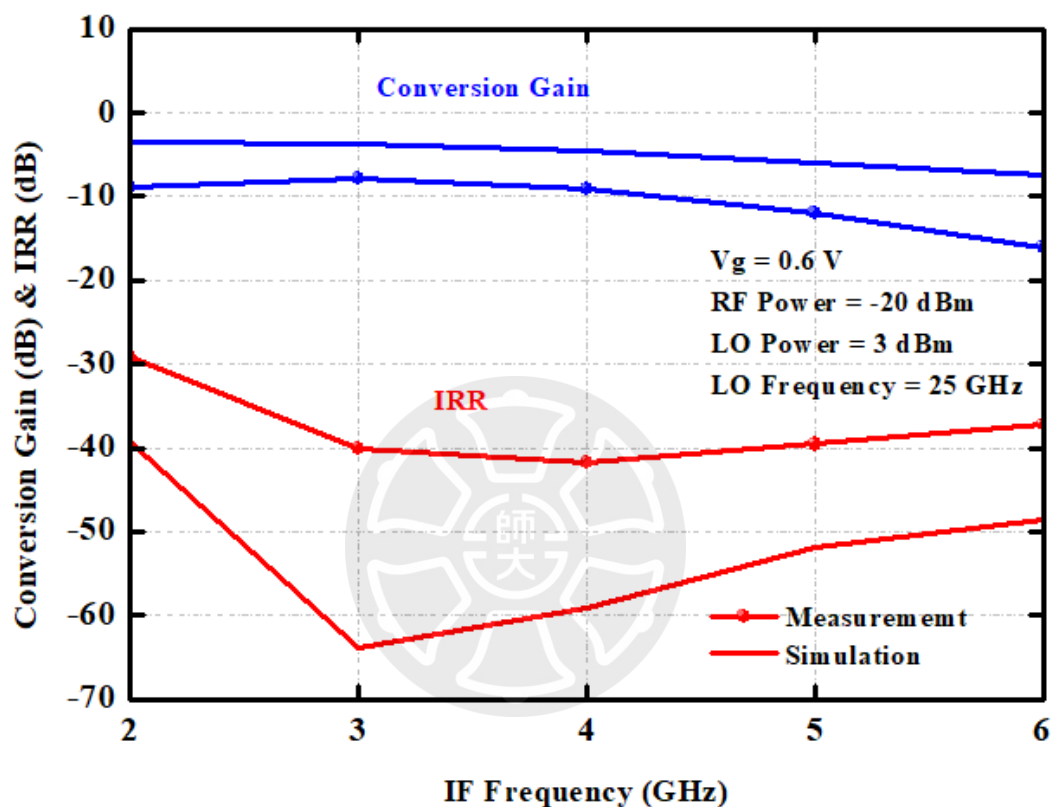


圖 4-39 接收機 LO 3 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

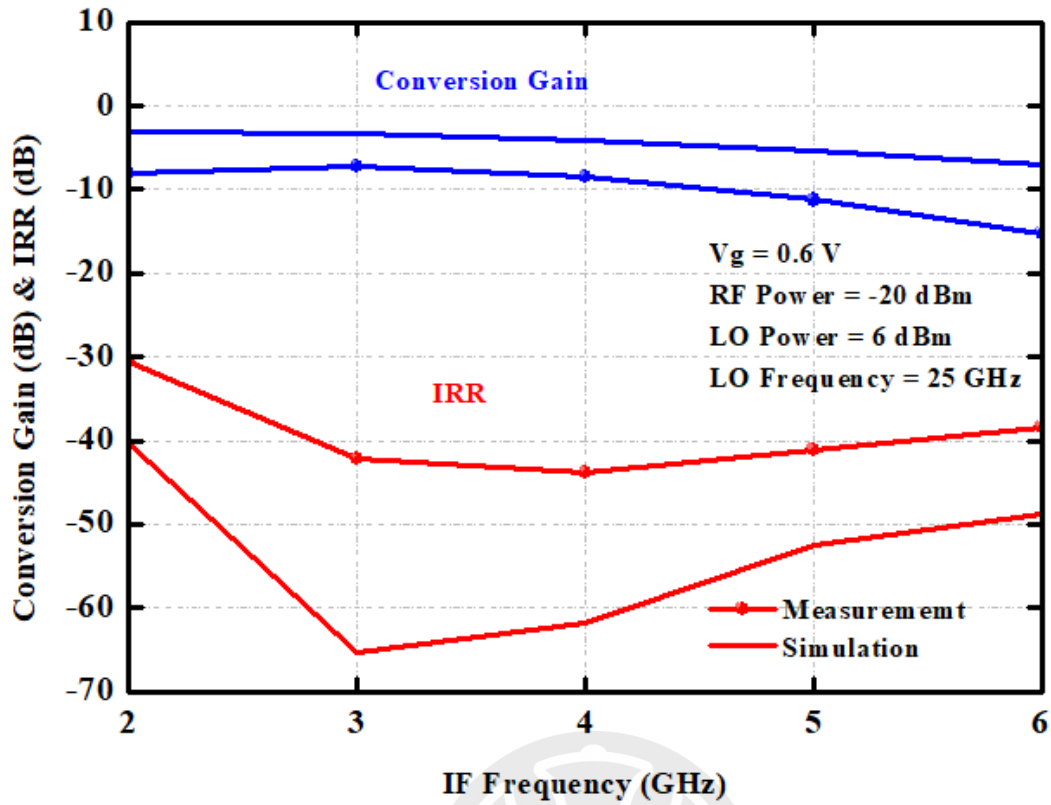


圖 4-40 接收機 LO 6 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

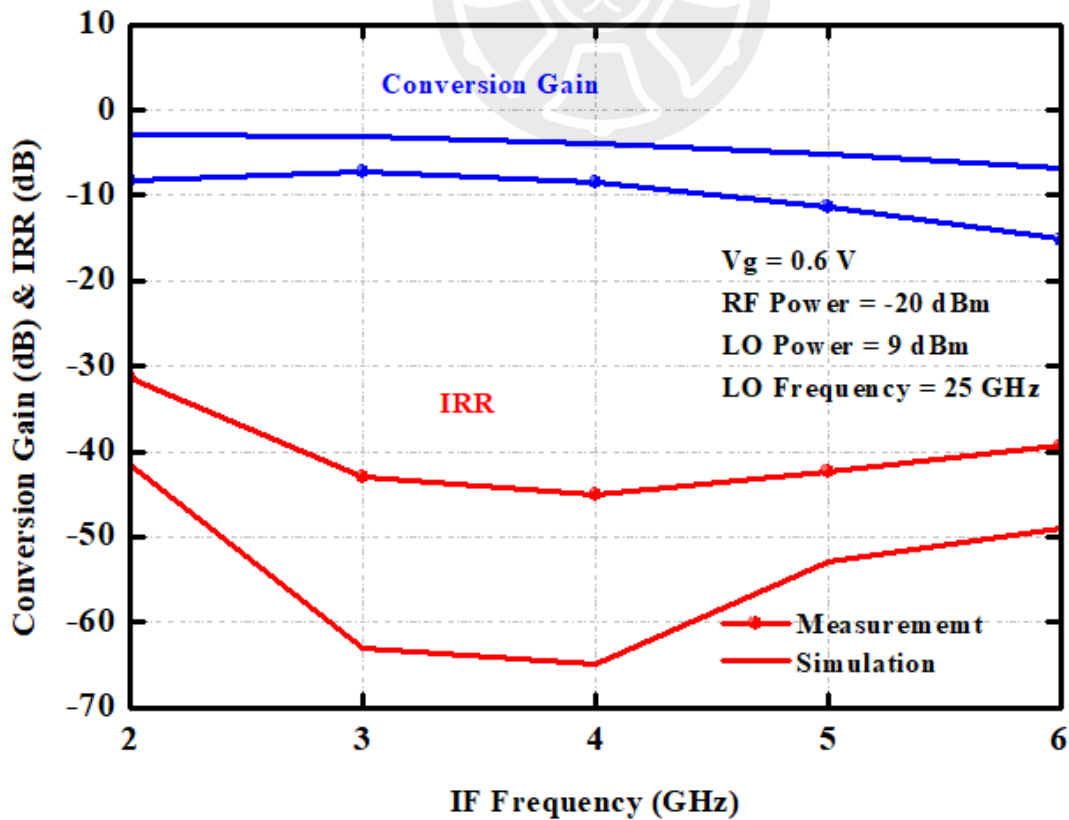


圖 4-41 接收機 LO 9 dBm IF 頻率對轉換增益和鏡像拒斥比的模擬量測比較圖

圖 4-42 為 LO 頻率固定在 25 GHz、RF 頻率固定在 28 GHz，LO 驅動功率為 3 dBm 時 P_{1dB} 的量測和模擬比較圖，由圖可見量測時 IP_{1dB} 約為-21 dBm， OP_{1dB} 約為-28.14 dBm，圖 4-43 為相同 LO、RF 頻率下、LO 驅動功率為 6 dBm 時 P_{1dB} 的量測模擬比較圖，由圖可見 IP_{1dB} 約為-21 dBm， OP_{1dB} 約為-27.44 dBm，圖 4-44 為相同 LO、RF 頻率下、LO 驅動功率為 9 dBm 時 P_{1dB} 的量測模擬比較圖，由圖可見 IP_{1dB} 約為-21 dBm， OP_{1dB} 約為-26.96 dBm。

圖 4-45 為為 LO 頻率固定在 25 GHz、RF 頻率固定在 28 GHz，LO 驅動功率為 3 dBm 時 IP_3 的量測圖，並且兩訊號頻率間距 10 MHz，三階交互調變項之輸入功率 IIP_3 約為-12 dBm，三階交互調變項之輸出功率 OIP_3 約為-21 dBm，圖 4-46 為為 LO 頻率固定在 25 GHz、RF 頻率固定在 28 GHz，LO 驅動功率為 3 dBm 時 IP_3 的量測圖，並且兩訊號頻率間距 100 MHz，三階交互調變項之輸入功率 IIP_3 約為-11 dBm，三階交互調變項之輸出功率 OIP_3 約為-19 dBm。

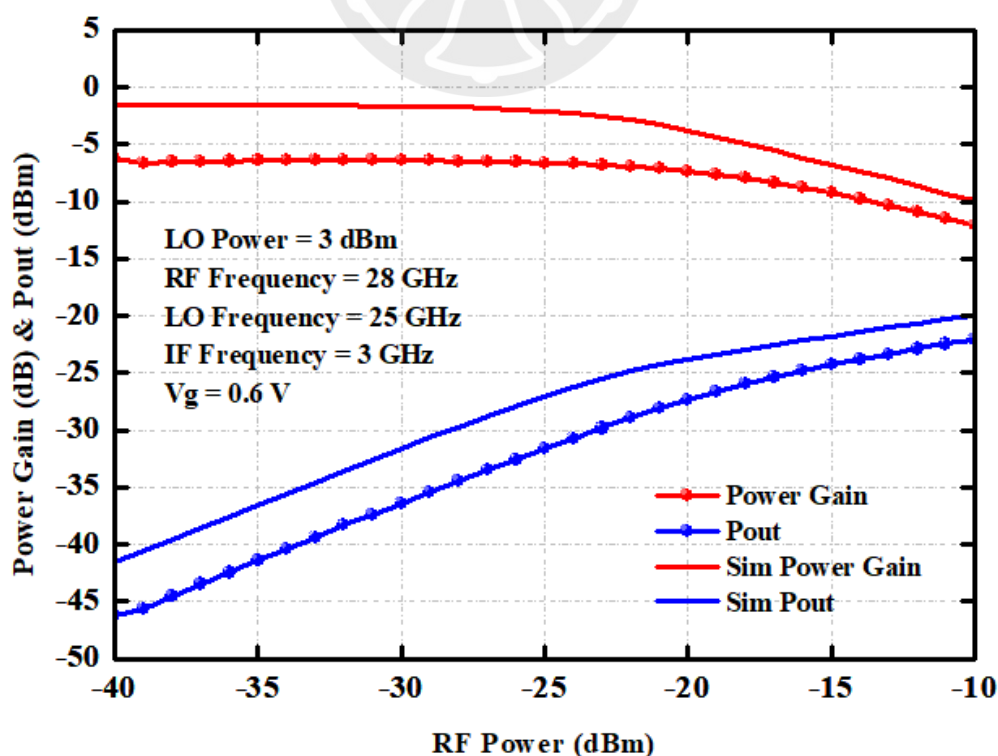


圖 4-42 接收機 LO 3 dBm 下 RF 28 GHz 的 P_{1dB} 模擬量測比較圖

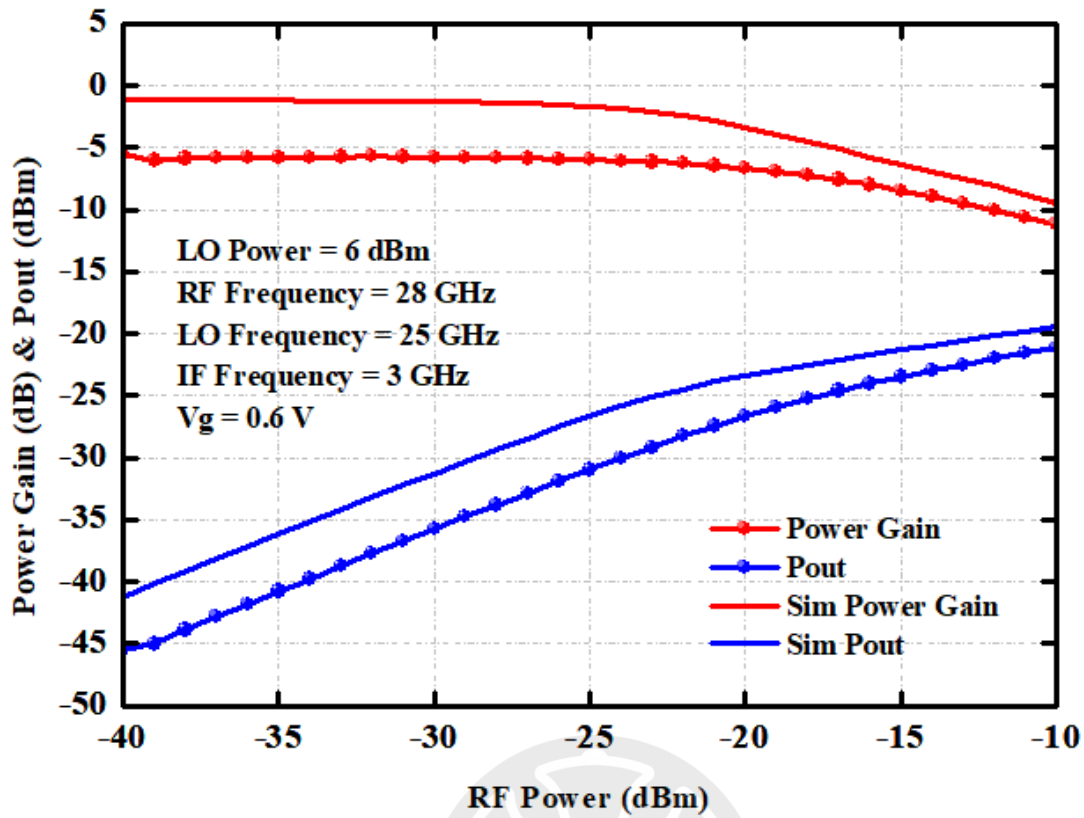


圖 4-43 接收機 LO 6 dBm 下 RF 28 GHz 的 P_{1dB} 模擬量測比較圖

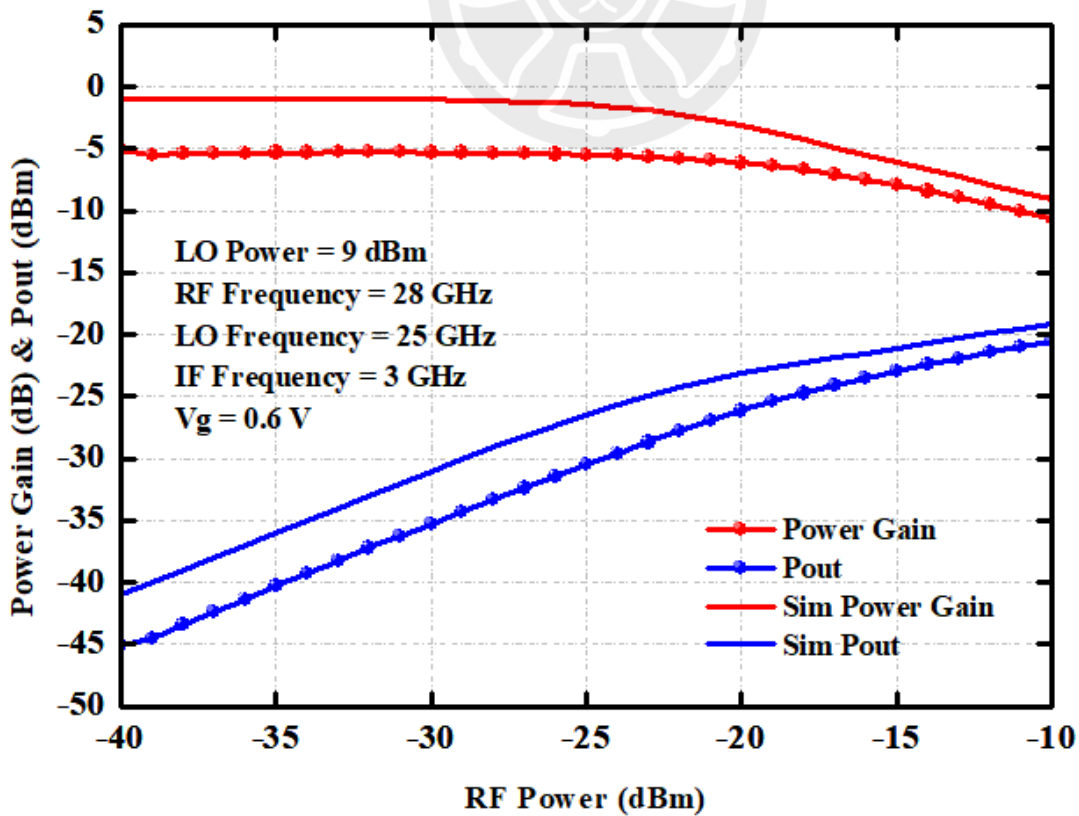


圖 4-44 接收機 LO 9 dBm 下 RF 28 GHz 的 P_{1dB} 模擬量測比較圖

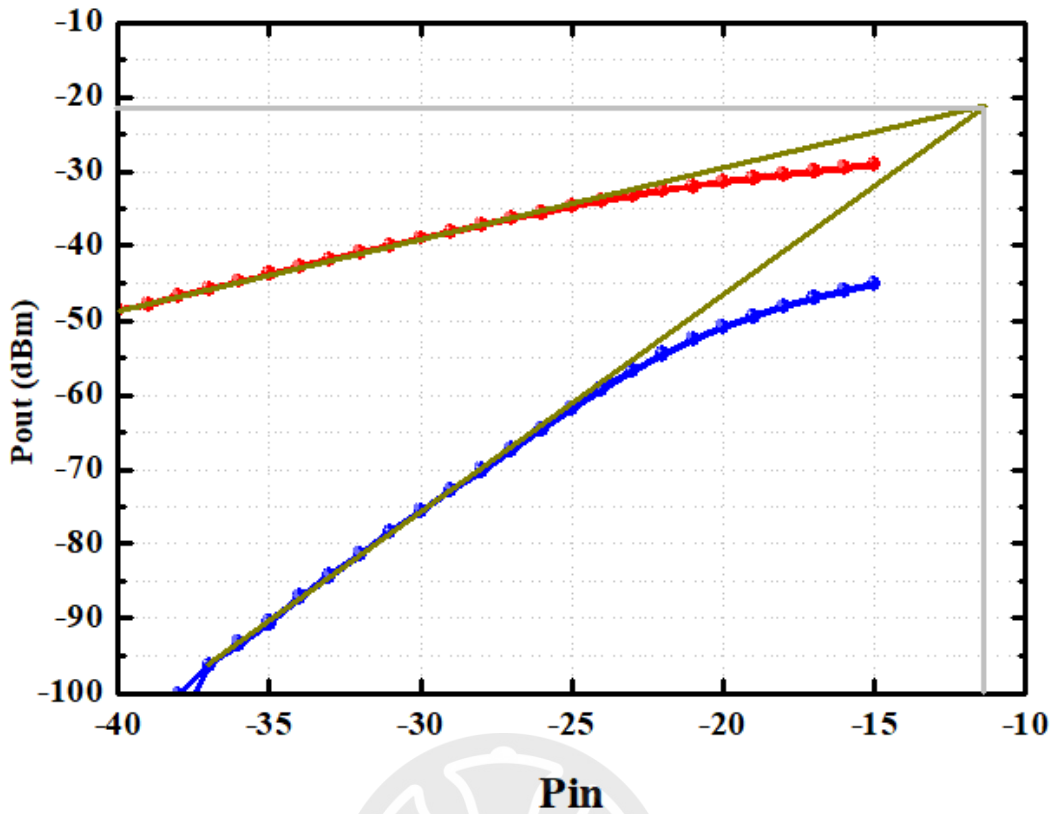


圖 4-45 接收機在兩訊號頻率間距 10 MHz 時 IIP_3 量測圖

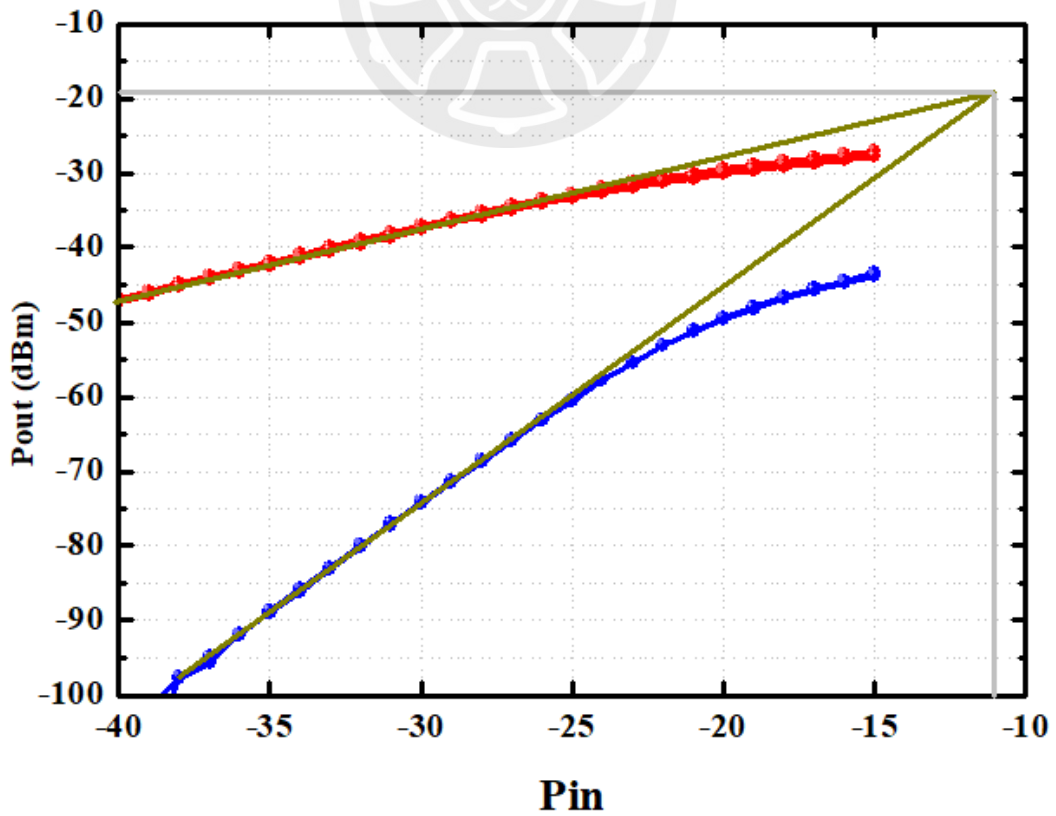


圖 4-46 接收機在兩訊號頻率間距 100 MHz 時 IIP_3 量測圖

圖 4-47 為接收機在 LO 驅動功率在 3、6、9 dBm 下 LO 到 IF 的隔離度模擬和量測比較圖，圖 4-48 則為接收機在 LO 驅動功率在 3、6、9 dBm 下 LO 到 RF 的隔離度模擬和量測比較圖，由圖可見不論是 LO 到 IF 還是 LO 到 RF 的隔離度都有在 -50 dB 以下。表 4-2 為本次鏡像抑制接收器模擬和量測的比較表。

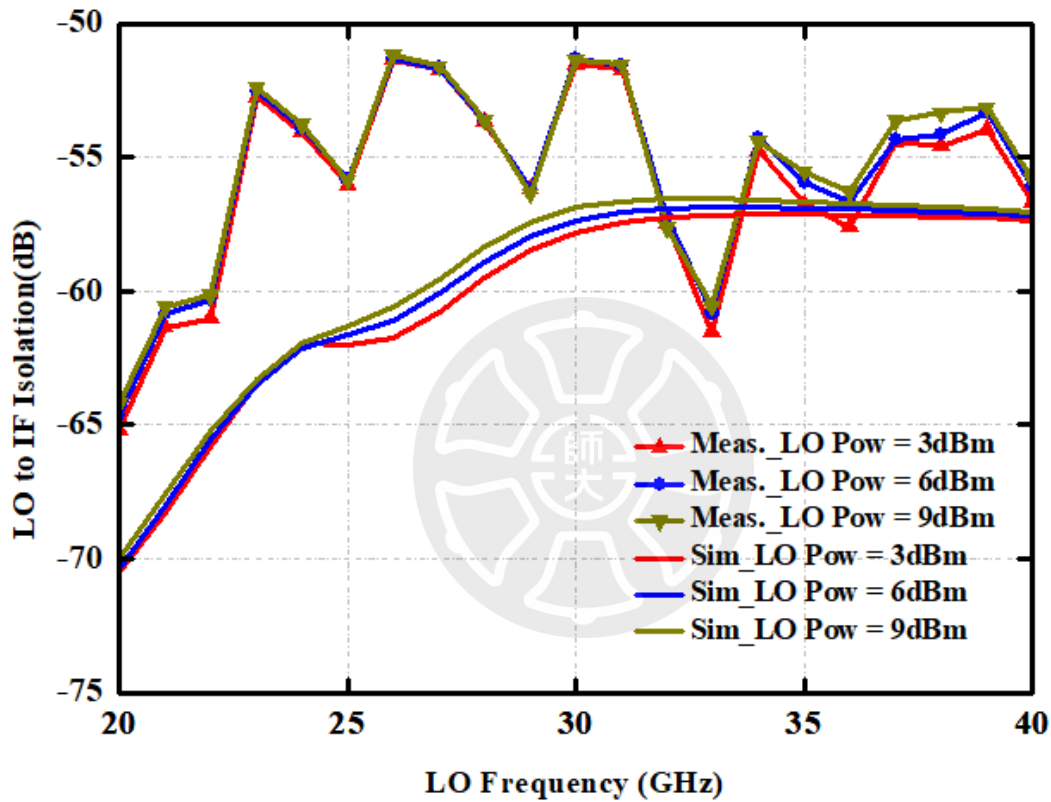


圖 4-47 接收機 LO 到 IF 隔離度模擬量測比較圖

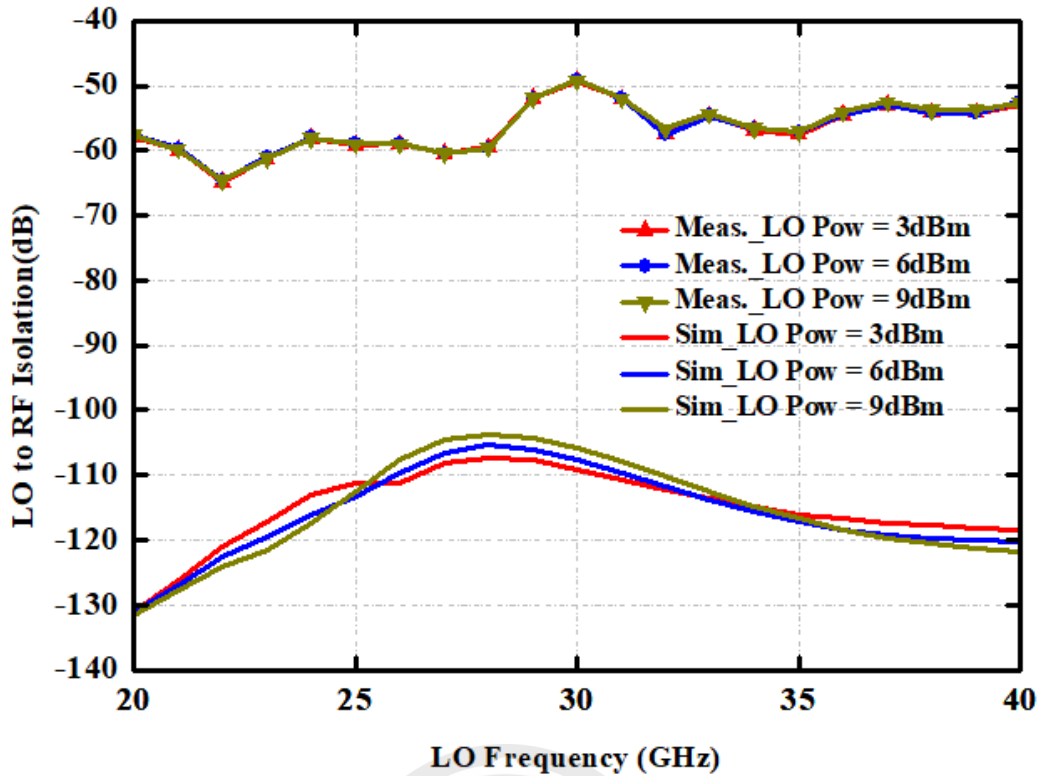


圖 4-48 接收機 LO 到 RF 隔離度模擬量測比較圖

Parameters		Simulation	Measurement
Technology		TSMC 180nm CMOS	
Performances	RF Freq. (GHz)	26-30	26-30
	IF Freq. (GHz)	3	3
	LO Freq. (GHz)	25	25
	LO Power (dBm)	3	3
	Conversion Gain(dB)	-2.07	-6.4
	IRR(dB)	< -40 @21~32 GHz	< -40 @20~28 GHz
	LO to RF isolation (dB)	< -50	< -50
	OP _{1dB} (dBm)	-17.33	-27.15

表 4-2 鏡像抑制接收器模擬與量測的比較表

4.9 結果與討論

4.9.1 製成電晶體變異對轉換增益和鏡像拒斥比影響

由第二章結果討論可知 TSMC 0.18- μm CMOS RF Process 的電晶體在 28 GHz 頻段時電晶體特性會有所影響，我們將低雜訊放大器根據第二章結論作調整後的接收器轉換增益、鏡像拒斥比和量測資料比較如圖 4-50 所示，由圖可見模擬轉換增益在 28 GHz 時為 -6.45 dB 與量測時轉換增益在 28 GHz 時的 -5.38 dB 差距接近，差 1.07 dB，其間轉換增益較不貼齊部分推測於鏡像抑制混頻器的輸出反射係數有關，由圖 4-49 混頻器輸入反射係數小於 -10 dB 大約在 32 GHz 後，這導致 28 GHz 前放大器輸出訊號都會被部分反射，使的接收器量測的轉換增益與模擬不同，鏡像拒斥比部分兩者鏡像拒斥比則還是有段差距。

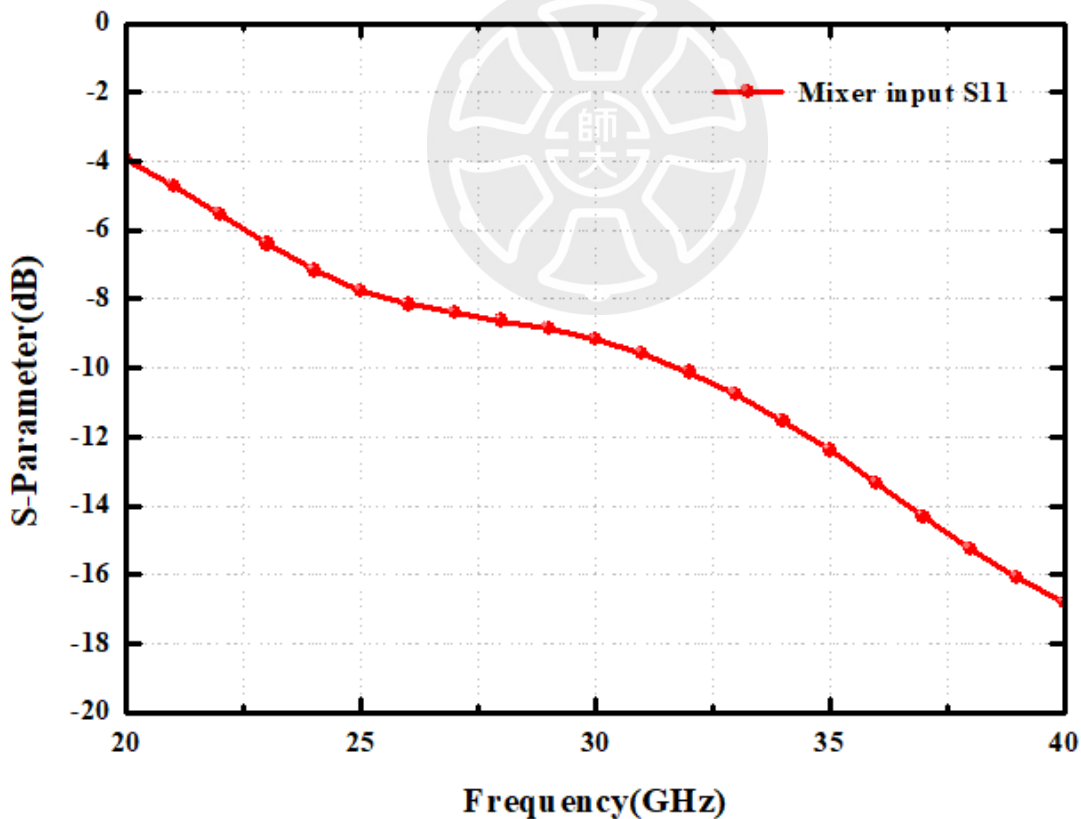


圖 4-49 接收器鏡像抑制混頻器的輸入反射係數

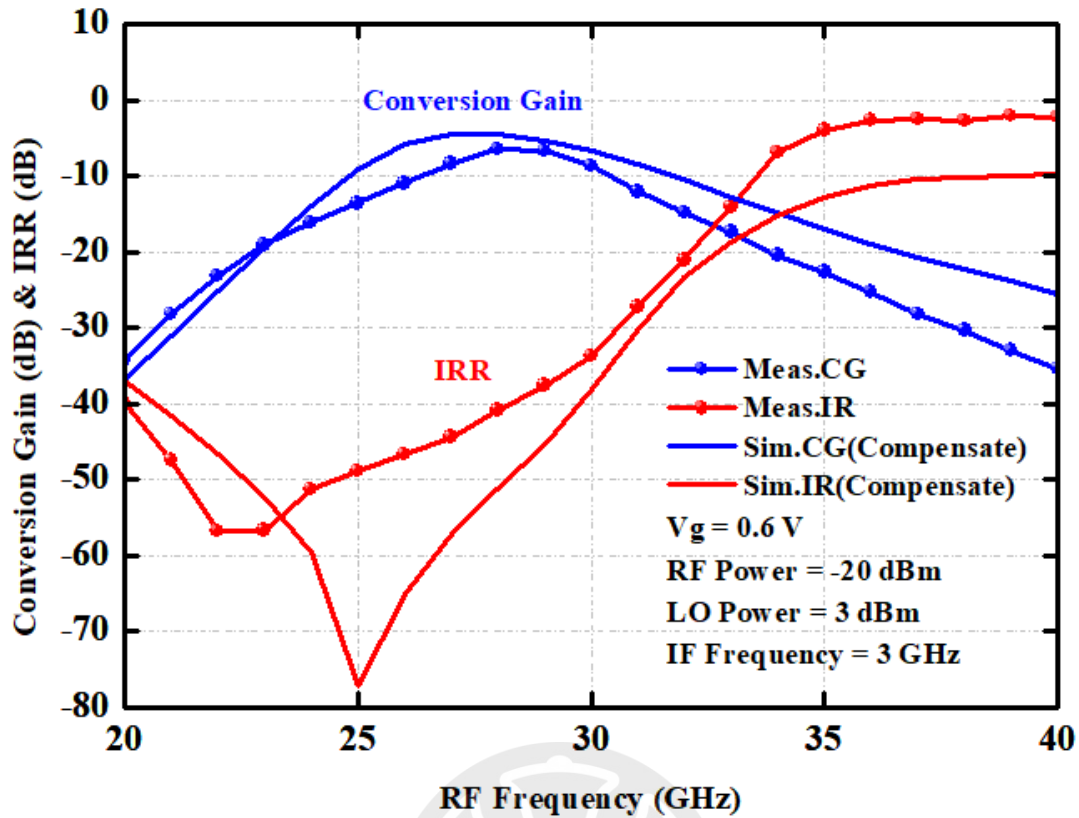


圖 4-50 接收器考慮電晶體變異和電感互感的模擬與實際量測比較圖

4.9.2 混頻器閘極偏壓對轉換增益和鏡像拒斥比影響

由於量測時是閘極偏壓為轉換增益最好時 0.6V 進行量測，但如圖 4-51 混頻器的閘極偏壓會有影響到接收器的鏡像拒斥比，由圖可見鏡像拒斥比雖會隨閘極偏壓變動，但變動趨勢與量測結果並不符合。

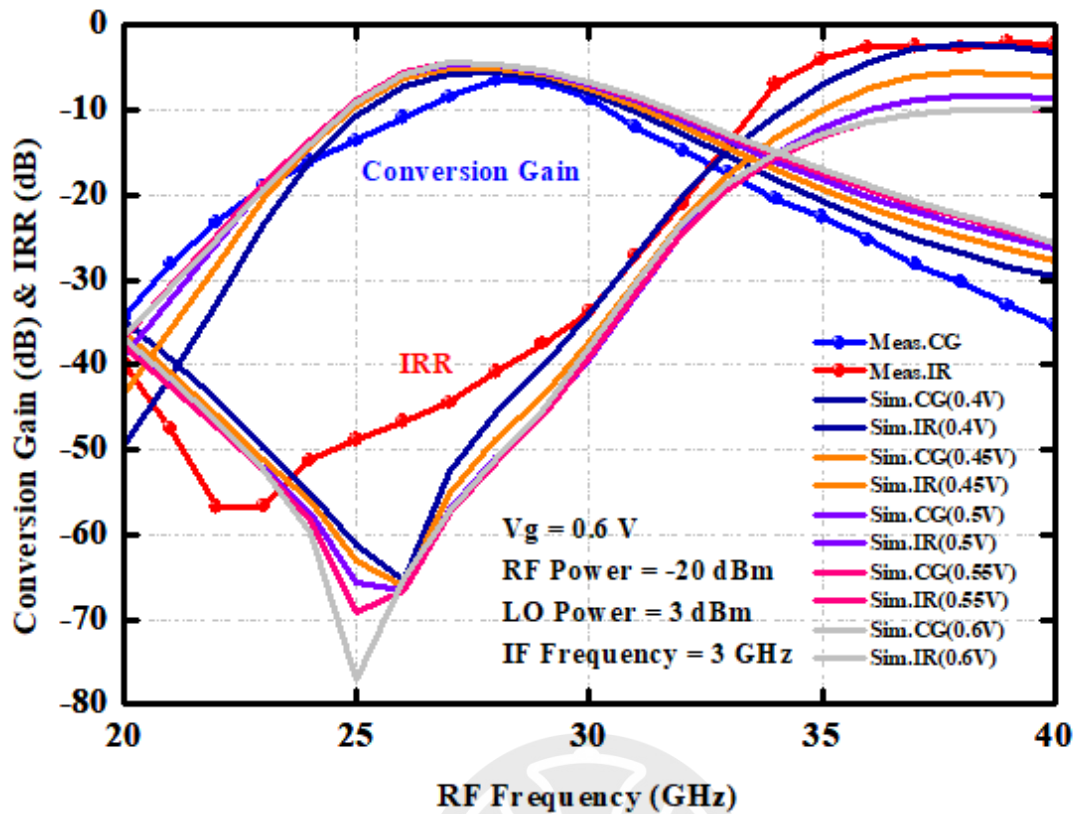


圖 4-51 接收器在不同閘極偏壓的轉換增益和鏡像拒斥比

4.9.3 PPF 電磁模擬模型對轉換增益和鏡像拒斥比影響

由第三章對討論可知不同的 PPF 電磁模擬模型會對鏡像拒斥比造成影響，圖 4-52 可見，不同的 PPF 模型會對確實會影響到鏡像拒斥比，但還是與量測趨勢不同。

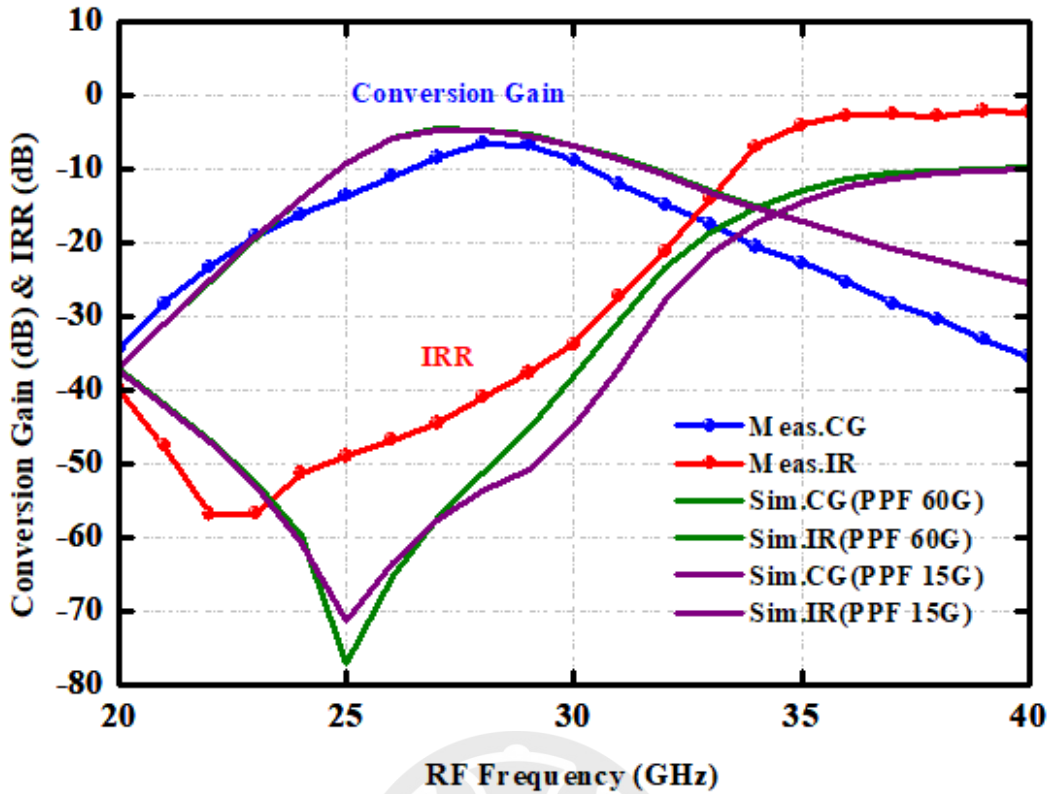


圖 4-52 接收器在不同 PPF 電磁模擬模型下的轉換增益和鏡像拒斥比

4.9.4 PPF 電容電阻變異對轉換增益和鏡像拒斥比影響

PPF 為電阻電容組成，故若電阻電容在製程上發生變異會對接收器的特性造成影響，由圖 4-53 可見當電容減少 20% 時，接收器鏡像拒斥比有向低頻移動的趨勢，又由圖 4-54 可觀察到當電阻減少 10%、20% 時，鏡像拒斥比也有向低頻移動的趨勢，故量測時的鏡像拒斥比向低頻移動的趨勢與電容和電阻變異趨勢相同，故量測時所量測到的特性頻飄推測是由電容和電阻變異造成。

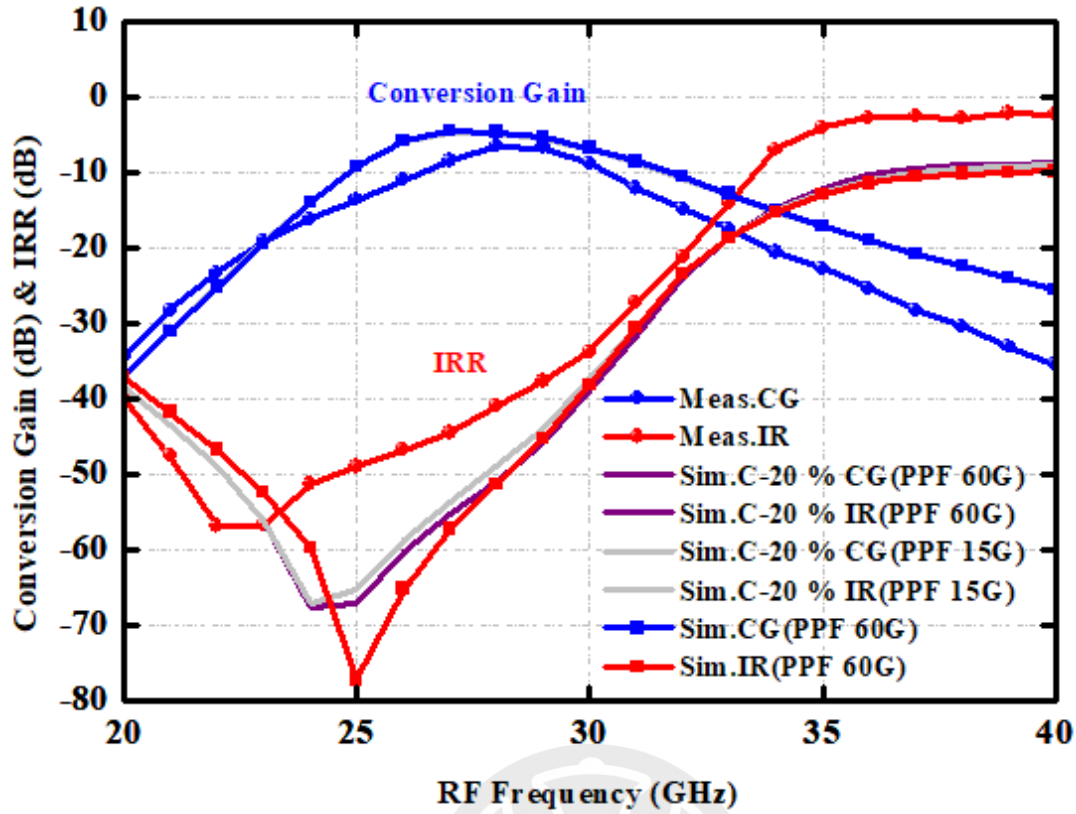


圖 4-53 電容變異對接收器轉換增益和鏡像拒斥比影響

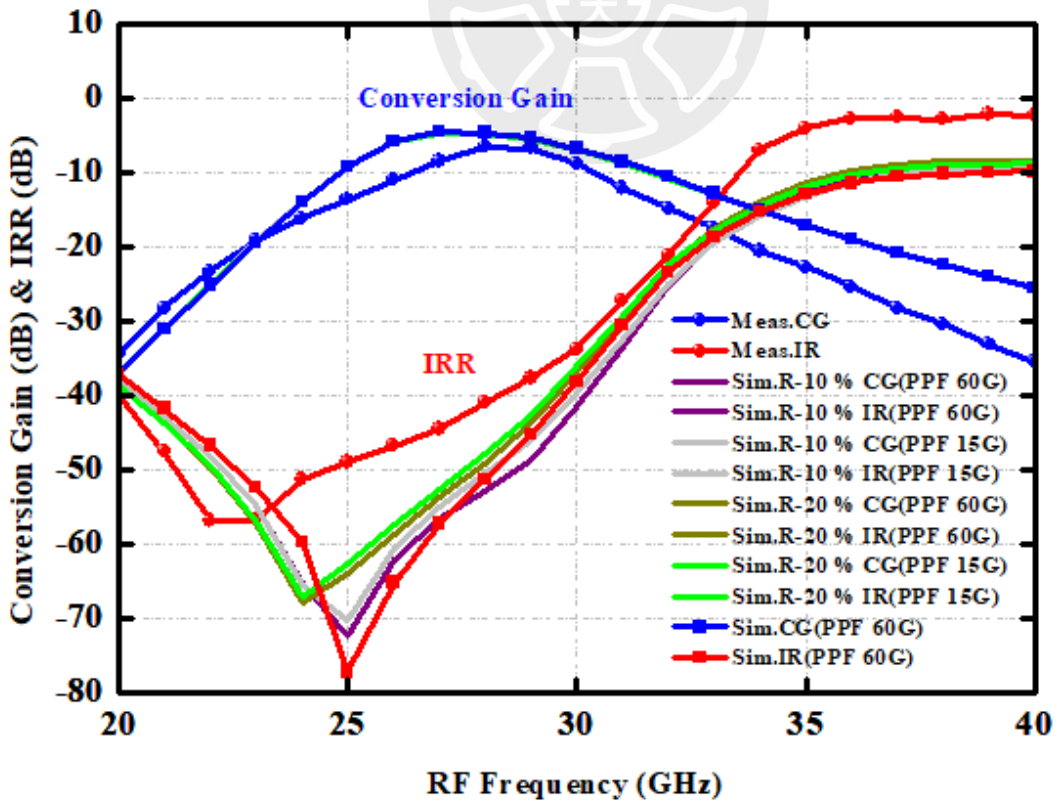


圖 4-54 電阻變異對接收器轉換增益和鏡像拒斥比影響

4.10 總結

本次設計實現了一個 28 GHz 鏡像抑制接收器，結構由兩部分組成，分別是第一極的低雜訊放大器和第二極的鏡像抑制混頻器，低雜訊放大器負責對接收到的訊號作雜訊抑制和放大，第二極的鏡像抑制混頻器則對降頻後的鏡像訊號進行抑制。低雜訊放大器結構上使用兩極串聯疊接放大器來提供較大增益，混頻器結構上則是採用被動式混頻器，因此接收器相對於使用主動式混頻器的接收器消耗較少的直流功耗。製程採用 0.18- μm CMOS RF 設計實現，晶片面積 1200 μm x 700 μm (包含 PAD)。供應電壓 $V_{dd1} = 3.3\text{V}$ ，接收器整體功耗約 19.6 mW，量測時低雜訊放大器共源極偏壓 V_{g1} 為 0.85V、共閘極偏壓 V_{g2} 為 2.5V，混頻器閘極偏壓為 0.6V，當 LO 驅動功率 3 dBm，RF 頻率為 28 GHz、LO 頻率 25 GHz、IF 頻率 3 GHz，RF 輸入功率為 -20 dBm 時，接收器轉換增益最高處約為 -6.4 dB，在頻率 20 ~ 28 GHz 時鏡像拒斥比在 -40 dB 以下，在目標設計頻率 28 GHz 鏡像拒斥比為 -40.89 dB，換增益約為 -6.4 dB，RF 輸入頻率為 28 GHz 時，輸入功率由 -40 ~ -10 dBm， IP_{1dB} 約為 -21 dBm， OP_{1dB} 約為 -27.15 dBm，表 4-3 為本次設計接收器與已發表論文比較表。

表 4-3 28 GHz 鏡像抑制接收機與已發表論文之比較表

Ref.	Process	Topology	RF Freq. (GHz)	LO Power (dBm)	Conversion Gain (dB)	Image Rejection Ratio(dB)	IP1dB (dBm)	LO to RF Isolation (dB)	DC Power (mW)	Chip size (mm*mm)
[20] (2018)	90 nm CMOS	Passive Resistive Ring Mixer with Buffer	34-39	0	-2±1	-35	-35	N/A	28.8	0.48
[34] (2008)	0.13 μm CMOS	Bulk-pumped Gilbert-cell	10-35	13	-1±2	N/A	-4(IIP ₃)	>30	6	0.24
[21] (2019)	45 nm CMOS	Gilbert-cell	24.5-43.5	N/A	35.2	-32 ~ -56	-7	N/A	60	0.14
[35] (2016)	90 nm CMOS	Image Reject Receiver	60	5	20	-33.9	-25.2	N/A	46	0.82
[36] (2018)	0.13 μm SiGe BiCMOS	Image Reject Receiver	56-69	-18	66	<-31	N/A	N/A	180	3.1
[37] (2021)	100 nm GaN-Si	IQ Single balanced	26-40	10.5	-11 ~ -8	N/A	11-15.5	N/A	N/A	5.2
[23] (2020)	65 nm CMOS	Ring Mixer with IF Bufer	37-41	3	-5±1.5	<-40	-7	>35	9.6	0.59
[38] (2022)	28 nm Bulk CMOS	Image Rejection Converter Module	22-31	N/A	17	<-30	N/A	N/A	35	0.25
[24] (2019)	65 nm CMOS	Passive Resistive Ring Mixer with IF Bufer	36-40	3	-5±1	<-40	-8	>35	3.66	0.6
[39] (2020)	100 nm GaAs pHemt	SB Cold-bias Downconverter	20-43	3	-1~2	N/A	-6 @39GHz	33~53	74	1.5
[40] (2020)	0.18 μm BiCMOS	LNA+Different Mixer+IF amp	17.7-21.2	N/A	47.6±1.8	N/A	N/A	N/A	N/A	N/A
[41] (2020)	45 nm SOI CMOS	Resistive feedback LNA + Mixer	18-40	N/A	26.2±0.5	N/A	N/A	N/A	N/A	N/A
[28] (2007)	90 nm CMOS	Heterodyne Receiver	60	N/A	26-31.5	-18.5	-25	-47	80	0.12
This work	0.18 μm CMOS	Image Rejection Receiver	27-30	3	-6.4	<-40 @20 ~ 28GHz	-21	>50	19.6	0.84

第五章 結論

本論文透過 TSMC 0.18- μm CMOS RF 製程設計實現 28 GHz 鏡像抑制接收器，本次設計鏡像抑制接收器由兩部分組成，分別是第一極的低雜訊放大器和第二極的鏡像抑制混頻器，電路完成下線，並已進行量測。

第二章為 28 GHz 低雜訊放大器，結構上為兩極串聯疊接組態已提供較大增益，考量到疊接結構有會造成較高的雜訊指數，因此我們在疊接結構中加入一匹配電感來減少訊號反射，進而使放大器在雜訊抑制和增益上有較好的表現，並且我們還在疊接結構共源極的源極處加上源極退化電感結構來同時達到雜訊匹配和共軛匹配，輸出和極間則作軛匹配。

第三章為鏡像抑制混頻器，結構上由 I Path 和 Q Path 混頻器組成，兩路的混頻器基本一樣，都是採用被動式混頻器結構，兩路相位差 90 度，並在輸出時將 I Path、Q Path 混頻器訊號合併後將鏡像訊號消除來提高接收器靈敏度。

第四章為鏡像抑制接收器，由第二和第三章介紹電路組成一接收機，訊號先經由低雜訊放大器做雜訊抑制和訊號放大，在由鏡像抑制混頻器將鏡像訊號消除掉，量測時混頻器閘極電壓供給 0.6V 時有最佳的轉換增益，在頻率 20 ~ 28 GHz 時鏡像拒斥比在 -40 dB 以下， IP_{1dB} 約為 -21 dBm， OP_{1dB} 約為 -27.15 dBm，當 LO 頻率固定在 25 GHz、RF 頻率固定在 28 GHz，LO 驅動功率為 3 dBm 時兩訊號頻率間距 10 MHz 的 IP_3 ，三階交互調變項之輸入功率 IIP_3 約為 -12 dBm，三階交互調變項之輸出功率 OIP_3 約為 -19 dBm，當兩訊號頻率間距 100 MHz 的

IP_3 ，三階交互調變項之輸入功率 IIP_3 約為-11 dBm，三階交互調變項之輸出功率 OIP_3 約為-16 dBm。

參 考 文 獻

- [1] D. Goovaerts, FCC unanimously opens nearly 11 GHz of spectrum for 5G [Online], Available:<https://www.ecnmag.com/news/2016/07/fcc-unanimously-opens-nearly-11-g-hz-spectrum-5g>, 2016
- [2] G. O. Arican, B. Dokmetas, N. Akcam and E. Yazgan, "28-36 GHz MMIC LNA Design for Satellite Applications," *2019 11th International Conference on Electrical and Electronics Engineering (ELECO)*, 2019, pp. 726-729
- [3] G. O. Arican, N. Akcam and E. Yazgan, "Ku-Band MMIC LNA Design for Space Applications," *2019 6th International Conference on Electrical and Electronics Engineering (ICEEE)*, 2019, pp. 274-278
- [4] G. Polli *et al.*, "Ka-/V-band self-biased LNAs in 70 nm GaAs/InGaAs Technology," *2018 14th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, 2018, pp. 197-200
- [5] C. Zhang, F. Zhang, S. Syed, M. Otto and A. Bellaouar, "A Low Noise Figure 28GHz LNA in 22nm FDSOI Technology," *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2019, pp. 207-210
- [6] C. Zhao and K. Kang, "A Ku-band Miniaturized LNA in 0.18- μ m CMOS Process for Low-cost Phased Array Application," *2019 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, 2019, pp. 1-3
- [7] X. Xu, S. Li, L. Szilagyi, P. V. Testa, C. Carta and F. Ellinger, "A 28 GHz and 38 GHz Dual-Band LNA Using Gain Peaking Technique for 5G Wireless Systems in 22 nm

- FD-SOI CMOS," *2020 IEEE Asia-Pacific Microwave Conference (APMC)*, 2020, pp. 98-100
- [8] S. Kong, H. -D. Lee, S. Jang, J. Park, K. -S. Kim and K. -C. Lee, "A 28-GHz CMOS LNA with Stability-Enhanced Gm-Boosting Technique Using Transformers," *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2019, pp. 7-10
- [9] M. Keshavarz Hedayati, A. Abdipour, R. Sarraf Shirazi, C. Cetintepe and R. B. Staszewski, "A 33-GHz LNA for 5G Wireless Systems in 28-nm Bulk CMOS," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 10, pp. 1460-1464, Oct. 2018
- [10] Y. -T. Lo and J. -F. Kiang, "Design of Wideband LNAs Using Parallel-to-Series Resonant Matching Network Between Common-Gate and Common-Source Stages," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 9, pp. 2285-2294, Sept. 2011
- [11] I. C. H. Lai and M. Fujishima, "An Integrated 20-26 GHz CMOS Up-Conversion Mixer with Low Power Consumption," *2006 Proceedings of the 32nd European Solid-State Circuits Conference*, 2006, pp. 400-403
- [12] E. Zheng and D. Zhao, "A Ka-band Up-Conversion Mixer in 65-nm CMOS," *2021 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA)*, 2021, pp. 147-148
- [13] Y. -T. Chang and H. -C. Lu, "An E-Band Gate-Pump SSB Mixer for Vital Signs Doppler Radar," *2018 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, 2018, pp. 1-3
- [14] M. -H. Wu, J. -H. Tsai and T. -W. Huang, "Ka-Band Calibration-Free High Image-Rejection Up/Down Mixers With 117% Fractional IF Bandwidth for SATCOM Applications," in *IEEE Access*, vol. 8, pp. 182133-182145, 2020
- [15] C. Huynh, J. Lee and C. Nguyen, "A K-band SiGe BiCMOS fully integrated

- up-conversion mixer," *2013 Asia-Pacific Microwave Conference Proceedings (APMC)*, 2013, pp. 185-187
- [16] J. -H. Tsai, "Design of 1.2-V Broadband High Data-Rate MMW CMOS I/Q Modulator and Demodulator Using Modified Gilbert-Cell Mixer," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 5, pp. 1350-1360, May 2011
- [17] P. Liu *et al.*, "A 15-27 GHz Low Conversion Loss and High Isolation Resistive Ring Mixer for Direct Conversion Receiver," *2019 International Conference on Microwave and Millimeter Wave Technology (ICMMT)*, 2019, pp. 1-3
- [18] J. -H. Chen, C. -C. Kuo, Y. -M. Hsin and H. Wang, "A 15-50 GHz broadband resistive FET ring mixer using 0.18- μm CMOS technology," *2010 IEEE MTT-S International Microwave Symposium*, 2010, pp. 784-787
- [19] F. Zhu, K. Wang and K. Wu, "Design Considerations for Image-Rejection Enhancement of Quadrature Mixers," in *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 3, pp. 216-218, March 2019
- [20] C. -Y. Chen, J. -L. Lin and H. Wang, "A 38-GHz High-Speed I/Q Modulator Using Weak-Inversion Biasing Modified Gilbert-Cell Mixer," in *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 9, pp. 822-824, Sept. 2018
- [21] M. -Y. Huang, T. Chi, F. Wang, S. Li, T. -Y. Huang and H. Wang, "A 24.5-43.5GHz Compact RX with Calibration-Free 32-56dB Full-Frequency Instantaneously Wideband Image Rejection Supporting Multi-Gb/s 64-QAM/256-QAM for Multi-Band 5G Massive MIMO," *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2019, pp. 275-278
- [22] J. -Y. Hsieh, T. Wang and S. -S. Lu, "A 90-nm CMOS V-Band Low-Power Image-Reject Receiver Front-End With High-Speed Auto-Wake-Up and Gain Controls," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no.

- 2, pp. 541-549, Feb. 2016
- [23] 童義倫, 38GHz 鏡像抑制混頻器與可變增益放大器設計, 國立臺灣師範大學電機工程學系研究所碩士論文, 2020 年
- [24] 林芳銘, 3.5GHz 向量合成式相移器與 38GHz 鏡像抑制降頻器設計, 國立臺灣師範大學電機工程學系研究所碩士論文, 2019 年
- [25] P. Song and H. Hashemi, "mm-Wave Mixer-First Receiver with Passive Elliptic Low-pass Filter," *2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2020, pp. 271-274
- [26] C. Wilson and B. Floyd, "20–30 GHz mixer-first receiver in 45-nm SOI CMOS," *2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2016, pp. 344-347
- [27] D. Gharaba and E. Cohen, "A 2mW, 60GHz Mixer First I/Q Receiver in 28nm CMOS," *2021 IEEE Texas Symposium on Wireless and Microwave Circuits and Systems (WMCS)*, 2021, pp. 1-5
- [28] B. Razavi, "A mm-Wave CMOS Heterodyne Receiver with On-Chip LO and Divider," *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, 2007, pp. 188-596
- [29] C. Li, O. El-Aassar, A. Kumar, M. Boenke and G. M. Rebeiz, "LNA Design with CMOS SOI Process-1.4dB NF K/Ka band LNA," *2018 IEEE/MTT-S International Microwave Symposium - IMS*, 2018, pp. 1484-1486
- [30] A. A. Nawaz, J. D. Albrecht and A. Çağrı Ulusoy, "A Ka/V Band-Switchable LNA With 2.8/3.4 dB Noise Figure," in *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 10, pp. 662-664, Oct. 2019
- [31] F. Ellinger, "26-42 GHz SOI CMOS low noise amplifier," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 3, pp. 522-528, March 2004
- [32] David M. Pozar, *Microwave Engineering*, 4/e, Wiley, 2011

- [33] Razavi, Behzad, *RF Microelectronics*, Prentice Hall, 2011
- [34] C. -L. Kuo, B. -J. Huang, C. -C. Kuo, K. -Y. Lin and H. Wang, "A 10–35 GHz Low Power Bulk-Driven Mixer Using 0.13 μm CMOS Process," in *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 7, pp. 455-457, July 2008
- [35] J. -Y. Hsieh, T. Wang and S. -S. Lu, "A 90-nm CMOS V-Band Low-Power Image-Reject Receiver Front-End With High-Speed Auto-Wake-Up and Gain Controls," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 2, pp. 541-549, Feb. 2016
- [36] M. Frounchi, C. Coen, C. D. Cheon, N. Lourenco, W. Williams and J. D. Cressler, "A V-Band SiGe Image-Reject Receiver Front-End for Atmospheric Remote Sensing," *2018 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, 2018, pp. 223-226
- [37] D. Parveg, M. Varonen, M. Kantanen and J. Pusa, "A Full Ka-band Highly Linear Efficient GaN-on-Si Resistive Mixer," *2021 IEEE MTT-S International Microwave Symposium (IMS)*, 2021, pp. 645-648
- [38] F. Quadrelli *et al.*, "A Broadband 22–31-GHz Bidirectional Image-Reject Up/Down Converter Module in 28-nm CMOS for 5G Communications," in *IEEE Journal of Solid-State Circuits*, vol. 57, no. 7, pp. 1968-1981, July 2022
- [39] C. -N. Chen, T. -Y. Kuo and H. Wang, "A 20-43 GHz Low Noise GaAs Downconverter with Gbps Data-Links for Full 5G K/Ka-Band Backhauls," *2020 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, 2020, pp. 235-237
- [40] S. S. H. Hsu, P. -Y. Wang, P. -C. Su, M. -C. Chou, Y. -C. Chang and D. -C. Chang, "Design of Ku/Ka band down-converter front-end for digital broadcast satellite receivers," *2015 IEEE International Wireless Symposium (IWS 2015)*, 2015, pp. 1-4
- [41] Y. Wang, J. Cui, R. Zhang and W. Sheng, "Fully differential Ultra-wideband

LNA-Mixer for K to Ka Band receiver in 45nm CMOS SOI technology," 2019
IEEE Asia-Pacific Microwave Conference (APMC), 2019, pp. 16-18

- [42] 黃柏智，微波及毫米波射頻端靜電放電保護電路及毫米波多疊接低雜訊放大器之研究，國立臺灣大學電機資訊學院電信工程學研究所博士論文，2010 年

自 傳

我是鄧凱駿，於民國 109 年進入國立臺灣師範大學電機工程學系就讀，在就讀大學時就對電路設計感興趣，因此在大學畢業後選擇進入蔡政翰教授的射頻積體電路實驗室，並在此期間開始接觸到射頻積體電路設計和相關知識，主要研究方向為接收器電路，包含低雜訊放大器、鏡像抑制混頻器等，在碩士班期間學習到的電路設計和下線經驗使我能對電子電路的運作原理有更深入的了解，下線過程中也了解到團隊合作和互相溝通的重要性，在求學過程中也學到分析問題的方法和實事求是培養學問、獨立思考的態度。

學 術 成 就

1. 實現一 28 GHz 低雜訊放大器，在疊接組態中加入匹配網路，達到降低疊接組態整體雜訊指數。
2. 實現一 28 GHz 鏡像抑制混頻器，透過加入匹配架構達到寬頻鏡像抑制。
3. 實現一 28 GHz 鏡像抑制接收器，結合上述兩電路，有足夠的鏡像抑制效果和較好的雜訊抑制。