

第四章 聰明型攝影機之系統整合

本論文以 SOPC Nios Stratix 嵌入式系統為平台發展聰明型攝影機。此聰明型攝影機除了 Nios Stratix 發展電路板外，主要包括 CMOS 攝影機、硬體化 Morphology 電路及 Lancelot VGA controller。為了控制 CMOS 攝影機及擷取影像，我們以 VHDL 發展 camera controller。為了對物件偵測、影像處理，我們以 VHDL 發展 Morphology 電路。為了驗證我們的處理結果，我們發展灰階調色盤之 VGA controller interface，將處理結果以灰階影像顯示在螢幕上。

4.1 聰明型攝影機系統外觀

本論文之聰明型攝影機系統外觀如圖 4.1。PROTO1 及 PROTO2 是 Nios Stratix 發展電路板之擴充槽，此擴充槽上有許多排針。我們將 CMOS 攝影機安裝在 PROTO1，Lancelot VGA controller 安裝至 PROTO2。camera controller、Morphology 電路及 VGA controller interface 在 Nios Stratix 發展電路板之 FPGA 內合成。雖然 CMOS 攝影機內部使用電壓為+3.3 伏特，但輸入電壓需+5 伏特，而 PROTO1 裡的 J12 可提供相同的電壓。Lancelot VGA controller 安裝在 Nios Stratix 發展電路板後，輸出的接頭連接至螢幕上。

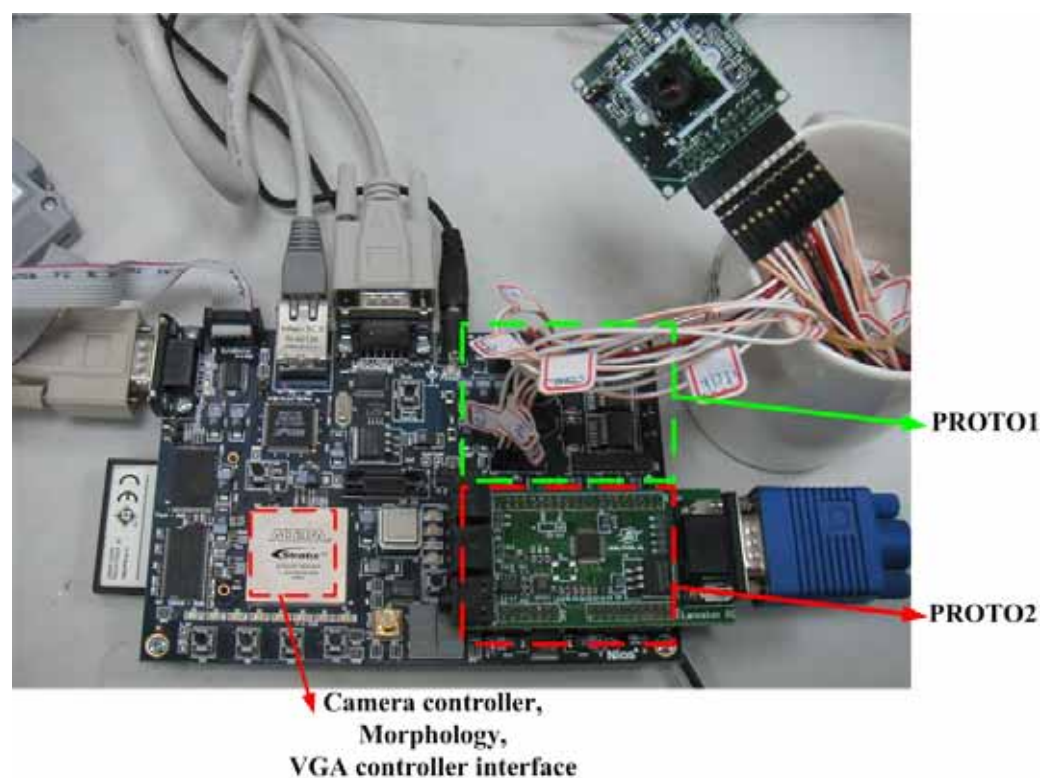


圖 4.1 聰明型攝影機系統外觀

4.2 SOPC Builder 設計

當我們完成設計 camera controller、Morphology 及 VGA controller interface 電路後，使用 SOPC Builder 整合每個元件。這也代表將此元件和 Avalon 匯流排連接，成為 Nios Stratix 發展電路板之可用週邊。圖 4.2 為我們 SOPC Builder 設計。在 SOPC Builder 上，將 camera controller 命名為 user_defined_camera 並加入表單裡。表單中有模組名稱(Module Name)為 vga_controller 的自訂硬體。此 vga_controller 模組名稱包含 Morphology 及 VGA controller interface 電路。將這兩個電路合併有下面兩個優點：

- (1) 可使用 DMA 將資料從 SDRAM 傳送至 Morphology 電路。

- (2) 經過 Morphology 電路運算後之結果不需再存回記憶體占用空間，同時將此結果直接由 VGA controller interface 處理可節省資料傳送及記憶體讀取時間。

本論文之聰明型攝影機系統中，DMA 可直接對 SDRAM 作讀寫的動作。

因此在 SOPC Builder 裡 SDRAM 之 DMA 設定為可讀取及可寫入。

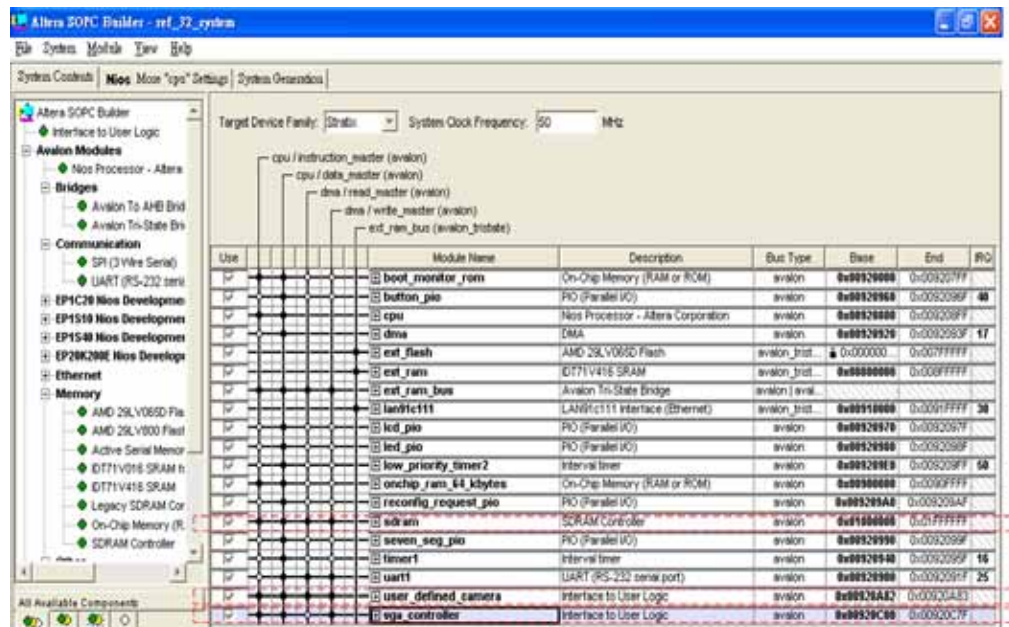


圖 4.2 SOPC Builder 設計

4.3 Block Design File 設計

圖 4.3 為本論文聰明型攝影機系統之 block design file (bdf) 設計。

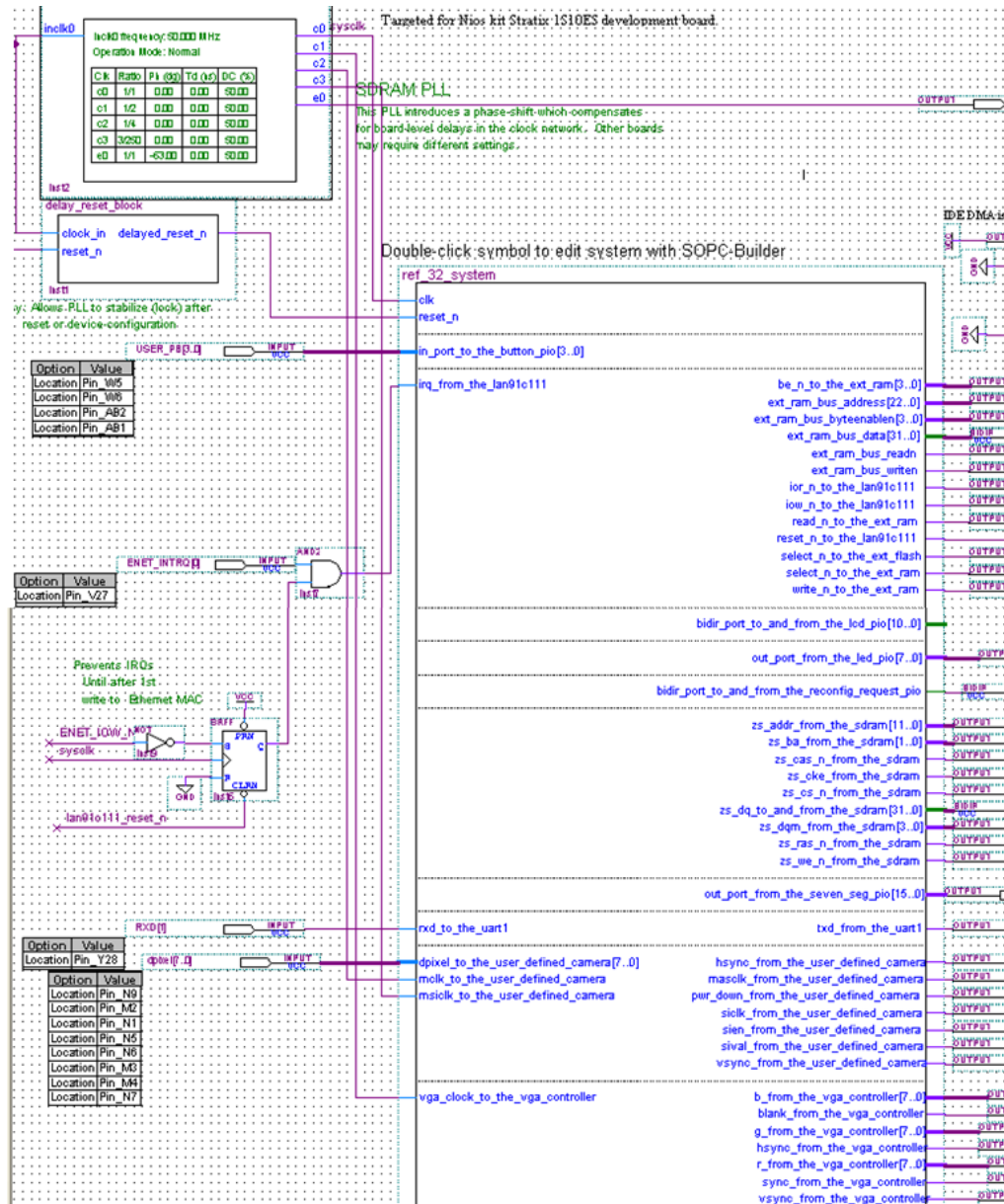


圖 4.3 聰明型攝影機系統之 bdf 設計

當 SOPC Builder 產生整個系統後，我們可以得到 block design file。然而
仍需作一些設定以成為圖 4.3 之設計：

- (1) 設定腳位(Pin assignment)。需將 PROTO1 及 PROTO2 相對應的腳位在此
做設定。以連接 CMOS 攝影機至 camera controller 電路，及 Lancelot VGA
controller 至 VGA controller interface 電路。
- (2) 我們可使用 SDRAM_PLL 模組產生所需要的時脈。
- (3) 在聰明型攝影機系統中，camera controller 電路之 mclk 需 12.5 MHz，
SDRAM_PLL 產生 12.5 MHz 的 c2，提供時脈來源。
- (4) 由於 SDRAM_PLL 能產生之最低時脈頻率為 600 KHz，SDRAM_PLL
產生 600 KHz 的 c3，以提供 camera controller 電路之 msiclk。在 camera
controller 電路中，設計 divider(除頻器)，將 600 KHz 轉成 300 KHz。
- (5) 在聰明型攝影機系統中，SDRAM_PLL 產生 25 MHz 的 c1，以提供 VGA
controller interface 電路。

4.4 聰明型攝影機系統之合成結果

我們使用 Altera QuartusII 3.0 來編譯及合成本論文之聰明型攝影機系統。

得到的結果見表 4.1。表 4.1 之聰明型攝影機系統具 Morphology 電路之 dilation 及 erosion 運算。

Family	LEs	Pins	DSP block	Total memory bits
Stratix	10494(99%)	211 (49%)	0(0%)	718336 (78%)

表 4.1 聰明型攝影機具 Morphology 電路之 dilation 及 erosion 之合成結果

4.5 同步及驅動程式

CMOS 攝影機及 VGA controller 皆需使用到相同的 SDRAM，然而若 camera controller 和 VGA controller interface 在同一時間對 SDRAM 作存取的动作，將會有衝突問題產生。另外，CMOS 攝影機、VGA controller 及 SOPC Nios Stratix 發展電路板各自使用不同的時脈。因此，同步也是非常困難的問題。我們使用 C 語言來作資料流程的控制並使它們同步。同時 C 語言也是用來驅動各週邊的驅動程式。圖 4.4 為 C 語言資料控制流程圖。

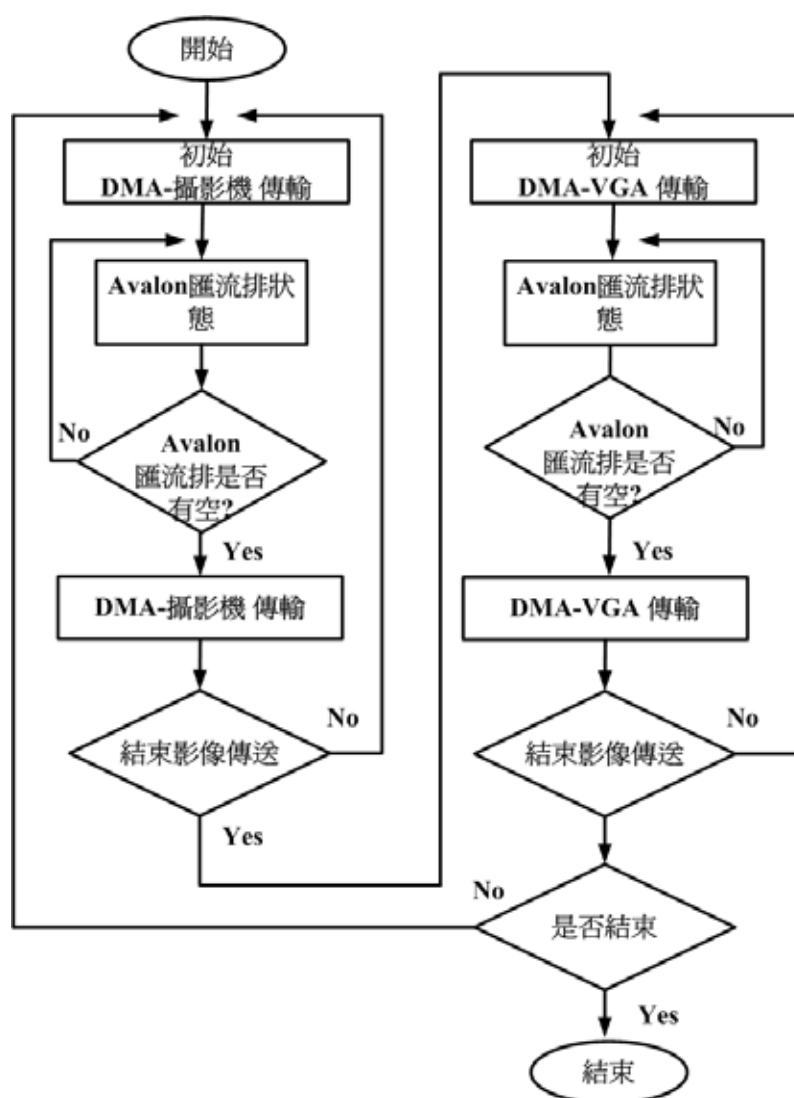


圖 4.4 C 語言資料控制流程圖

首先 CMOS 攝影機擷取影像，然後利用 DMA 傳送資料至 SDRAM。在使用 DMA 前，Nios 系統必須先初始 DMA 的狀態，確定 DMA 已準備好。然後檢查 Avalon 匯流排是否有空，以取得 Avalon 匯流排之使用權，當取得使用權後，才開始影像的擷取。CMOS 攝影機完成擷取影像後，才開始使用 Lancelot VGA controller 以顯示影像。在使用 DMA 從 SDRAM 傳送資料至

VGA controller interface 前，必須先初始 DMA 的狀態，確定 DMA 已準備好。

然後檢查 Avalon 匯流排是否有空，以取得 Avalon 匯流排之使用權，當取得使用權後，才開始影像的傳送。

本論文使用 C 語言發展聰明型攝影機之驅動程式。週邊元件的驅動可由軟體彈性規畫。在此可彈性規畫：

- (1) 透過 Avalon 匯流排，DMA 傳輸讀取之位址及寫入目標。
- (2) Morphology 電路之 structuring element 大小及形狀。
- (3) 各週邊之使用。
- (4) 資料流程控制。
- (5) 記憶體之讀取與寫入。